

摘 要

本项目的目的是设计一种 8 位高精度、低功耗的 (DAC) 数模转换器。

本文首先分析讨论了数模转换器的主要性能参数如建立时间、线性精度、功耗等, 这些参数是对电路性能好坏的界定, 是进行结构选择和电路设计的依据和目标。

其次, DAC 输入采用并行数字输入结构, 输出采用互补电流输出结构, 在保证精度和功耗设计要求基础上实现数据快速转换。在比较了数模转换器的众多结构之后, 决定采用电流型倒梯形 R-2R 电阻网络结构, 该结构速度较快, 便于实现高精度, 电路面积较小; NMOS 管相对于 PMOS 管速度更快, 有更高的电流驱动能力和高的跨导, 在本设计中作为倒梯形 R-2R 电阻网络中各支路的电流开关。从集成度、功耗、成品率等各个因素考虑, MOS 工艺尤其是 CMOS 工艺明显优于双极型工艺, 本设计采用 N 衬底 P 阱 CMOS 工艺, 在功耗方面有较好的表现。

数模转换器的内部电路由控制选择电路、数字输入锁存电路、R-2R 电阻网络及电流开关网络构成, 属于数模混合电路。由于数字电路结构相对简单, 所以采用和模拟电路设计一致的设计方法, 并使用 Hspice 进行电路模拟仿真, 在 Cadence 平台上进行版图设计。

最后, 设计完成的数模转换器在电源电压为 5V 情况下, 建立时间约为 28ns, 微分线性度达到 $\pm 0.28\text{LSB}$, 积分线性误差达到 $\pm 0.15\text{LSB}$, 功耗低于 10mW。指标达到设计要求, 具有一定的先进性和实用意义。

关键词: 数模转换器 倒梯形 R-2R 电阻网络 CMOS 线性精度 建立时间

Abstract

The purpose of this project is to realize a design of an 8-bit high accuracy, low power digital-analog converter (DAC).

In this paper, the performance parameters of DAC are introduced firstly, such as settling-time, linearity precision, power, etc. These parameters are the gist and goal of structure selection and circuit design.

Secondly the mode of input and output is confirmed to be parallel-input and complementary current-output, which is adapt to the requirement of quickly data-convert with high accuracy and low power. After comparing with many structure of DAC, the segmented inverted R-2R ladder architecture is decided, which can help DAC to get high speed and high accuracy and the area of the circuit is smaller. NMOS is used as current switch, which has faster speed compare with PMOS and has high current drive capability and g_m . The CMOS technology is better than bipolar technology. Thus the N sub P well CMOS technology is be used, which help the circuit get lower power.

The DAC consists of analog circuit blocks (inverted R-2R ladder architecture and current switch) and digital circuit blocks (control and data-latch). So it's a mixed signal circuit. Because the digital part's design is strict and its structure is simple comparatively, we use the same method as analog part to design it. And the Hspice is used for DAC circuit simulation. The layout of the circuit is designed and drawn with the tool of Cadence.

Finally, the 8 Bit DAC is finished. Its settling-time is 28ns with 5V supply, DNL is $\pm 0.28\text{LSB}$ and INL is 0.15LSB , power is lower than 10mW. The data achieve the target of the design, and the circuit has good capability and applied value.

Key word: digital-analog converter (DAC) , inverted R-2R ladder architecture, CMOS, linearity precision, settling-time.

独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名： 黄太平 日期： 2005 年 4 月 7 日

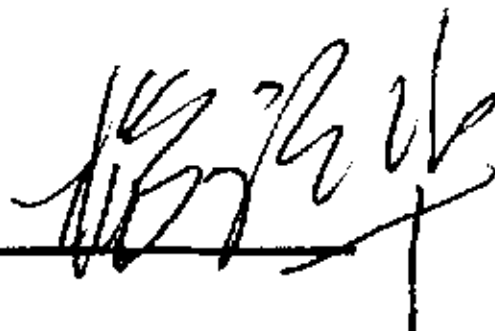
关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

签名： _____

导师签名



日期： 2005 年 月 日

第一章 引言

数模转换器 (Digital-Analog Converter, 简称 DAC) 是一种将输入的
数字信号转换成模拟信号输出的电路, 它被广泛地应用在信号采集
和处理、数字通信、自动检测、自动控制和多媒体技术等领域。

无论是在工业生产还是在科学研究中, 常常要对某些系统参数进
行采集、加工和控制。它们往往是非电学的模拟量, 例如声、光、磁、
热和机械参数等、为了用电子技术处理这些信号, 先要通过传感器把
这些非电信号变换为相应的电信号。例如, 我们可以用热电偶产生随
温度变化的电压, 或者可以用半导体应变片接入桥路来获取随压力变
化的电压。经传感器变换产生的电信号往往仍是模拟信号, 对它们的
处理通常有模拟和数字两种方法。

模拟的方法是用模拟电路处理模拟信号, 其结果用模拟仪表显示
或者用来驱动执行机构。由于模拟电路对电磁干扰、器件参数的变化
比较敏感, 因此要实现高精度是比较困难的, 即使能达到高精度, 其
代价往往是很高的。

随着数字技术的迅速发展和成熟, 尤其是微处理器的迅速发展和
广泛应用, 使得数字信号的大量存储和快速处理成为很容易的事, 因
而用数字技术处理模拟信号已越来越受到重视。其方法是先把模拟电
信号变换成为数字信号, 即模数转换, 再利用数字技术对数字信号加
工处理, 处理结果根据需要再转换为模拟信号, 即数模转换, 以适应
后面显示或执行机构的要求, 实现对模拟信号的显示或控制。

1.1 论文背景及意义

数模转换器的发展经历了从电子管、晶体管到集成电路的过程。
它是随着人们生产生活的迫切需求而产生发展的, 其发展的每一阶段
都和最新科技成就相关联。

20 世纪 40 年代后期, 人们开始了对数字通信的研究和实践, 例如
研究脉冲编码调制式通信。它要求发送部分将要传送的声音、图像等
连续变化的模拟量转换成数字形式发送出去, 而信号接收部分要求把

接收到的数字信号还原成声音、图像。于是研制了由电子管组装成的模数和数模转换器，使这种可靠和经济的数字通信得以实现。

随着晶体管工艺的发展和成熟，到 50 年代后期，转换器中的电子管逐步由晶体管替代，使转换器的体积和重量大大减小。

数字计算机的兴起、发展和应用领域的不断扩大，促进了集成电路和转换技术的迅速发展。到 60 年代中期，构成数模转换器的主要功能单元电路——如运算放大器、基准电压源、电阻网络、模拟电子开关和逻辑控制电路等已陆续实现了集成化，特别是集成化放大器已开始进入大规模工业生产阶段。在此基础上人们逐渐摒弃了全部由分立元器件组装数模转换器的传统方法，开始选用某些现成的具有某一种单一功能的集成电路——如集成化运算放大器、逻辑集成电路或集成基准电压源等集成单元电路，并外加一些必要的元器件，来组装数模转换器。这种结构形式的数模转换器，与完全用分立元器件组装的转换器相比，在一定程度上简化了组装结构。

无论是完全由分立元器件组装的数模转换器，还是由集成电路单元附加许多分立元器件组装的转换器，都被称为组件式转换器。其中，前者被人们称为第一代组件型数模转换器，而后者被称为第二代组件型转换器。显然，第二代组件型转换器是全集成化数模转换器的先声。

与此同时，薄膜集成电路和厚膜集成电路也有很大的发展。薄膜集成电路是利用真空蒸发、溅射、光刻等薄膜技术，将构成电路的电子元器件及连线，以薄膜形式制作在绝缘基板（例如微晶玻璃片或陶瓷基片）上所构成的整体电路。薄膜集成电路的膜厚通常在 $1\mu\text{m}$ 以下。厚膜集成电路是采用丝网印刷、喷涂、聚合或烧结等厚膜技术，将组成电路的电子元器件及连线，以厚膜形式制作在绝缘基板（例如微晶玻璃片或陶瓷基片）上所构成的整体电路。厚膜集成电路的膜厚一般为几 μm 到几十 μm 。结合薄膜、厚膜和半导体集成电路三种工艺的长处，用半导体工艺制作有源器件，用薄膜或厚膜工艺制作无源器件及连线，再把有源器件外接到薄膜或厚膜集成电路的基片上，构成薄膜或厚膜混合集成电路。混合集成电路工艺应用到数模转换器制造领域，制成的混合集成电路型数模转换器，性能上有很大提高，结构上也大为简化。

70年代初,所有元件都被集成在一个芯片上的单片集成数模转换器研制成功。它标志着数模转换器真正达到了工业化大批量生产的阶段,摆脱了精心挑选转换器中元器件的麻烦,从而大大降低了制造成本,提高了可靠性。此后,数模转换器得到迅速发展,新的设计思想、新的制作工艺和新的种类不断增加,性能不断提高。工艺上,不但双极型器件的工艺进一步得到改进,使全双极型转换器内部的逻辑电路可采用高速 ECL 电路或高集成度的集成注入逻辑电路,而且增加了 MOS 工艺,特别是 CMOS 工艺,使数模转换器的集成度和功耗有很大的改善。

随着工艺上的进一步发展,产生了标准双极型工艺和 CMOS 工艺结合起来的组合技术,例如 ADI 公司的 BIMOS 和 LC^2MOS 工艺技术,将速度和精度方面占优势的线性双极型器件与高集成度、低功耗的 CMOS 双向模拟开关及逻辑电路集成在同一芯片上,构成双极-MOS 相容型数模转换器。

数模转换器的品种和功能随着制造工艺的发展而迅速增加。例如采用先进的 CMOS 工艺的集成电路,功耗小、集成度高,制成的模拟开关有双向特性。利用这种模拟开关可制成有乘法特性的数模转换器,即转换器的输出和基准电压及输入数码的乘积成正比。CMOS 工艺也很适用于制作与微机兼容的数模转换器。在数模转换器的功能方面,也有了一些为特定应用领域研制的特殊的数模转换器。例如用于视频调色显示的视频数模转换器,代替手工调整电位器而设计的数字电位器,以及专门用于把数字音频信号转换成模拟信号的音频数模转换器等。

单片集成数模转换器已经是数模转换器的主流。

在集成数模转换器的内部,既含有模拟集成电路,又包括逻辑集成电路,因此通过单片式集成数模转换器的制作,在设计技巧和工艺技巧方面,使模拟集成电路和数字电路彼此融合在一起,为模拟与数字系统的进一步结合开创了良好的先例。

目前计算机、数字信号处理的速度已经得到了很大的提高,然而作为模拟输出和数字处理中间必不可少的数模转换器的速度却没有很大的提高。我国目前数模转换器的发展和国际水平相比还存在着较大

的差距，而且国外的器件产品价格昂贵，只依赖进口国外的高性能转换器而不开发本国的产品，不利于我国电子事业的发展，并且近年来，模数和数模转换器市场成稳步增长的发展趋势，具有巨大的市场前景，所以由我们自行设计生产高性能的转换器已经成为当务之急。

本次课题正是在此前提下开展的，对国外同类高性能数模转换器进行研究，进而设计出更好的 DAC 以满足更高要求的信号转换需求。

应用于各种不同领域的 DAC 有不同的要求，但对高性能 DAC 的普遍要求主要有：

- 1) 集成度高，通过高度集成化，可以大大降低成本，提高性能。
- 2) 高分辨率，即高位 DAC。
- 3) 高精度，精度越高即误差越小。
- 4) 低功耗，价格低，功耗越低越节能。

8 位 DAC 是 DAC 的典型代表，广泛应用于军事和民用的各种设备上，市场应用前景广阔，而且它的理论依据也具有广泛的代表性，开展它的研究在理论上可以为今后设计研究更高速和更高精度 DAC 提供理论借鉴，工艺上也可利用 CMOS 工艺进行 DAC 生产提供实验依据。

1.2 国内外研究现状及发展趋势

国内数模转换器的发展起步较晚，但是近年来已经得到了各方面的重视，在数模和模数方面都投入了一定的研究力量。目前，我国已经研制和生产出了 8 到 16 位的 DAC，取得了很大进步，例如中电集团第二十四研究所研制生产的 10 位电流型 DAC 和含相加器的高速 12 位 DAC 等都是国内 DAC 的典型产品。但我国的 DAC 技术和国际水平相比还存在很大差距。国内 A/D、D/A 方面的研究主要集中在中等转换速度、中等精度的范畴，对高速、高精度的新型 ADC、DAC 的研究尚不多见，如国外流行的 Σ - Δ 结构仅有少数大学作过研究。

对于其它的主流新结构和新技术，国内由于受到工艺条件、基础研究与设计水平的限制，也很少有人涉及。有些大学的实验室曾作过有益的探索工作，但是也仅限于电路的模拟仿真阶段，未能达到真正

与工业界接口，并未达到工艺投片实现的水平。

在国外，很多公司和著名大学都在进行 ADC 和 DAC 的研发工作，他们大多是针对某一特定的应用而展开的，工作颇具特色，在该领域的许多方面都取得了长足进步。

在美国国家科学基金资助下，伊利诺斯大学的 Alex.R.Bugeja 等人研制出了 14Bit 100M（采样速率）CMOS DAC，采用了 Floating MSB 电流源和跟踪/衰减输出级电路，在确保良好静态线性度的同时得到高的动态线性度，并提高了输出驱动电流。此设计主结构采用了电流定标结构，这种结构输出电流可以直接驱动一个电阻负载，而不需要电压缓冲器，因此这种方式的 DAC 的线性度很好。它的缺点是其静态特性受到电流源中组件参数匹配的限制，因此对工艺要求较高。加入自修正电路，可以克服传统电流定标 DAC 的静态线性度不好的缺点，自修正电路的核心是一个可修正的浮动 MSB（最高位）电流源，为了保证修正是自发进行的，修正电路必须工作在两个过程下：测量过程和校正过程。这样，它就增加了电路的复杂程度。也就是说，良好的静态线性度是以增加电路拓扑结构的复杂程度来获得的。

1999 年，比利时 Leuven 大学的 Geert A..M.Van der Plas 等人提出一种四象限随机流向开关的新型电流控制结构，实现转换器梯度误差、系统误差因子比传统结构的误差改善了大约 50 倍，并且无需专门的校准即可获得良好的静态线性度。该电路的最主要的特点是采用了四象限随机流向开关技术，以克服电流舵型 DAC 所具有的因工艺参数不匹配而导致的静态线性度不佳的缺点。Geert A..M.Van der Plas 等人采用电流源随机选取，这样可以利用误差分析中误差分布互相抵消的特点，减小总误差。测试表明，系统误差和累积误差都得到有效缩减。并且这个结构还有一个优点，其芯片面积和功耗与采用了自修正的或特殊版图、工艺的芯片相比，都比较小。

伴随 DAC 电路结构研究的进步，生产工艺也有迅速的发展，先进的 CMOS 工艺被大量使用，工艺水平达到 $0.35\mu\text{m}$ 、 $0.25\mu\text{m}$ 甚至更高，使 DAC 的集成度和功耗有很大的改进。2004 年报道台湾学者研制成功的 8 位 ADC，采用了 $0.25\mu\text{m}$ 标准 CMOS 工艺，采样速率为 10MSPs，在 2V 工作电压下，整个 DAC 的功耗仅为 2mW，同时具有

很高的线性精度。

可见，国外已不再局限于传统的转换器技术，而是开始开发更新型的，可以大大提高转换器性能的拓扑结构和适合大规模集成化的新型电路拓扑结构。目前国内外另一个主要方向集中在对已经证实为可靠转换器的技术进行完善上，以期待更高性能的产品出现。

1.3 数模转换器的类别

DAC 作为数字系统和模拟系统之间的接口器件，输入数字量，输出模拟量，其内部电路具有数字电路和模拟电路的各种特点，因此 DAC 品种繁多，分类方法也是多种多样的。主要有以下四种分类方法。

1. 按 DAC 主要功能单元的特点分类

集成 DAC 的主要功能单元有模拟开关、权电流产生电路、基准电源和输出电路。

模拟开关的基本类型有电压型和电流型两种，DAC 按模拟开关的类型不同可以分为电压型和电流型两种。电压型模拟开关在工艺上易于实现，但工作时对寄生电容的充放电会影响开关速度。电流型开关在切换时，由于开关两端的电压没有明显变化，因此寄生电容的影响小，开关速度比电压型模拟开关快，在高速数模转换器中应用较多。

按 DAC 中权电流或者权电压发生电路的形式分，常见的有权电阻网络、权电容网络、梯形电阻网络、电压分段网络和电流源阵列等。

至于基准电源和输出电路，不是所有的集成 DAC 中都有这两个单元。有的 DAC 的基准电源是外接的，用户可以根据需要灵活配置不同精度的基准电源。输出电路主要是运算放大器，它把 DAC 转换成的电流模拟量变为电压输出。很多电流输出 DAC 不带运算放大器，而由用户根据自己的需要配置。

2. 按 DAC 的性能特点分类

DAC 常常按它的主要性能指标进行分类，如转换速度、转换精度、分辨率等。

按转换速度不同，DAC 可分为低速（建立时间大于 $100\mu\text{s}$ ）、中

速（建立时间为 $1-100\mu s$ ）、高速（建立时间为 $50ns-\mu s$ ）和超高速（建立时间小于 $50ns$ ）四种。

按分辨率分类，DAC 可分为 4 位、6 位、8 位、10 位、12 位、14 位、24 位等等。

3. 按输入和输出的特点分类

根据输入数字编码的不同，DAC 可分为二进制输入型、BCD 码输入型和格雷码输入型等。

按数字码输入方式，可分为并行输入和串行输入。其中，串行输入方式又可分为 2 线式和 3 线式。并行输入的速度比串行输入要快。

按转换器的输出是电压还是电流，DAC 可分为电压输出型和电流输出型。电流输出型比电压输出型的转换速度要快。

4. 按组成 DAC 的器件和工艺分类

按工艺分类，集成 DAC 可分为组件式、混合集成电路式和单片集成电路式。其中单片集成电路式的 DAC 按内部有源器件类型来分，又可分为全双极型、全 MOS 型和双极-CMOS 相容型（BiCMOS 和 LC^2MOS ）。

以上 DAC 的分类，是从不同侧面考察 DAC 得到的，因此，同一个 DAC，按不同的分类方法，可列入不同的类别中。

1.4 CMOS 基础

在微电子领域，集成电路的制造有两种主要的实现技术：双极技术和 MOS 技术。双极技术是以 NPN 与 PNP 晶体管为基本元件，融合其他的集成元件构造集成电路的技术方法。双极器件以其速度高和驱动能力大、低噪声等优良特性，在集成电路的设计制造领域，尤其是模拟集成电路的设计制造领域占有一席之地。但是双极器件的功耗大，在对功耗要求严格的电路中其应用受到限制，本文所设计的 DAC 电路作为微处理器的接口电路，要求有较低的功耗，因此并未使用双极器件。

MOS 技术是以 NMOS 晶体管和 PMOS 晶体管为基本元件，辅以其

他的集成元件构造集成电路的方法。当 NMOS 晶体管和 PMOS 晶体管以互补配对的形式作为基本电路单元时，这种结构即为 CMOS 工艺。CMOS 工艺以其结构简单，集成度高，功耗小等优点，成为当今集成电路制造的主流工艺。本课题设计的 DAC 电路就采用典型的 N 衬底 P 阱 CMOS 工艺。

金属氧化物半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-effect Transistor) 简称 MOSFET，是大规模集成电路设计的主流。在 MOS 工艺制造的集成电路中基本有源器件是 MOS 晶体管。MOS 工艺可以分为 PMOS 工艺、NMOS 工艺、和 CMOS 工艺三种。PMOS 器件的电流由空穴传导，NMOS 器件的电流由电子传导。在常温条件下，硅衬底材料中的电子迁移率为 $1350\text{cm}^2/\text{Vs}$ ，空穴迁移率为 $500\text{cm}^2/\text{Vs}$ ，电子迁移率是空穴迁移率的 2.7 倍，所以在相同的条件下，使用 NMOS 工艺设计的集成电路比使用 PMOS 工艺设计的集成电路具有更高的工作速度。而 CMOS (Complementary MOS) 工艺则包含以上两种工艺。一般情况下，CMOS 电路中，NMOS 管和 PMOS 管是成对出现的，其主要特点是功耗低、抗干扰能力强、输出电压逻辑摆幅大。随着集成电路的不断发展，与其他工艺相比，CMOS 工艺的发展已经非常成熟，占据了集成电路市场的绝大部分份额，并且随着工艺向深亚微米级别的不断发展和工艺的不断改进，CMOS 工艺的产品在速度上也具有了很大的优势。

1.5 课题目标

本文讨论设计了一种基于倒梯形 R-2R 电阻网络结构的 8 位电流型 DAC。

全文分为三部分，第一部分主要介绍并讨论了 DAC 的基本原理和概念。第二部分通过不同结构的比较，选择恰当的电路拓扑以实现电路设计的要求，对各个单元电路进行设计从而设计出 8 位 DAC 的总体拓扑图。然后对所设计电路进行模拟仿真，进行电路的拓扑结构的验证。第三部分是电路的版图设计。

要求设计出的 8 位 DAC 性能指标达到：

- 1) 满量程建立时间: $\leq 50\text{ns}$
- 2) 分辨率: 8 位
- 3) 线性误差: $\leq \pm 0.2\% \text{FS}$ ($1/2\text{LSB}$)
- 4) 功耗: $\leq 10\text{mW}$

第二章 数模转换器的基本原理和常用结构

2.1 数模转换器的基本工作原理

数模转换器的功能就是把数字量转换成模拟量，通常这种转换是线性的。设数模转换器输入的数字量为 n 位二进制码 D ($D=D_1D_2\cdots D_n$)， D_1 为最高位 (Most Significant Bit, 简称 MSB)， D_n 为最低位 (Least Significant Bit, 简称 LSB)，则输出模拟量 A 与输入数字量 D 之间的函数关系可以用下式来表示：

$$A = KD = K(D_1 2^{n-1} + D_2 2^{n-2} + \cdots + D_n 2^0) = K \sum_{i=1}^n D_i 2^{n-i} \quad (2.1-1)$$

式中 K 为模拟参考量，当模拟参考量为电压时， $K = U_R / 2^n$ ，当模拟参考量是电流时， $K = I_R / 2^n$ 。其中 U_R 为参考电压， I_R 为参考电流。 D_i 为数字量 D 的第 i 位代码，其值为 0 或者 1，由数字对应位的逻辑电平来决定。 2^{n-i} 为第 i 位的权。

式 (2.1-1) 表明，输出模拟量与输入数字量成正比。输出模拟量由一系列二进制分量叠加而成的，每一个二进制分量为该位的权与模拟参考量 K 的积。DAC 的结构原理如图 2-1 所示。

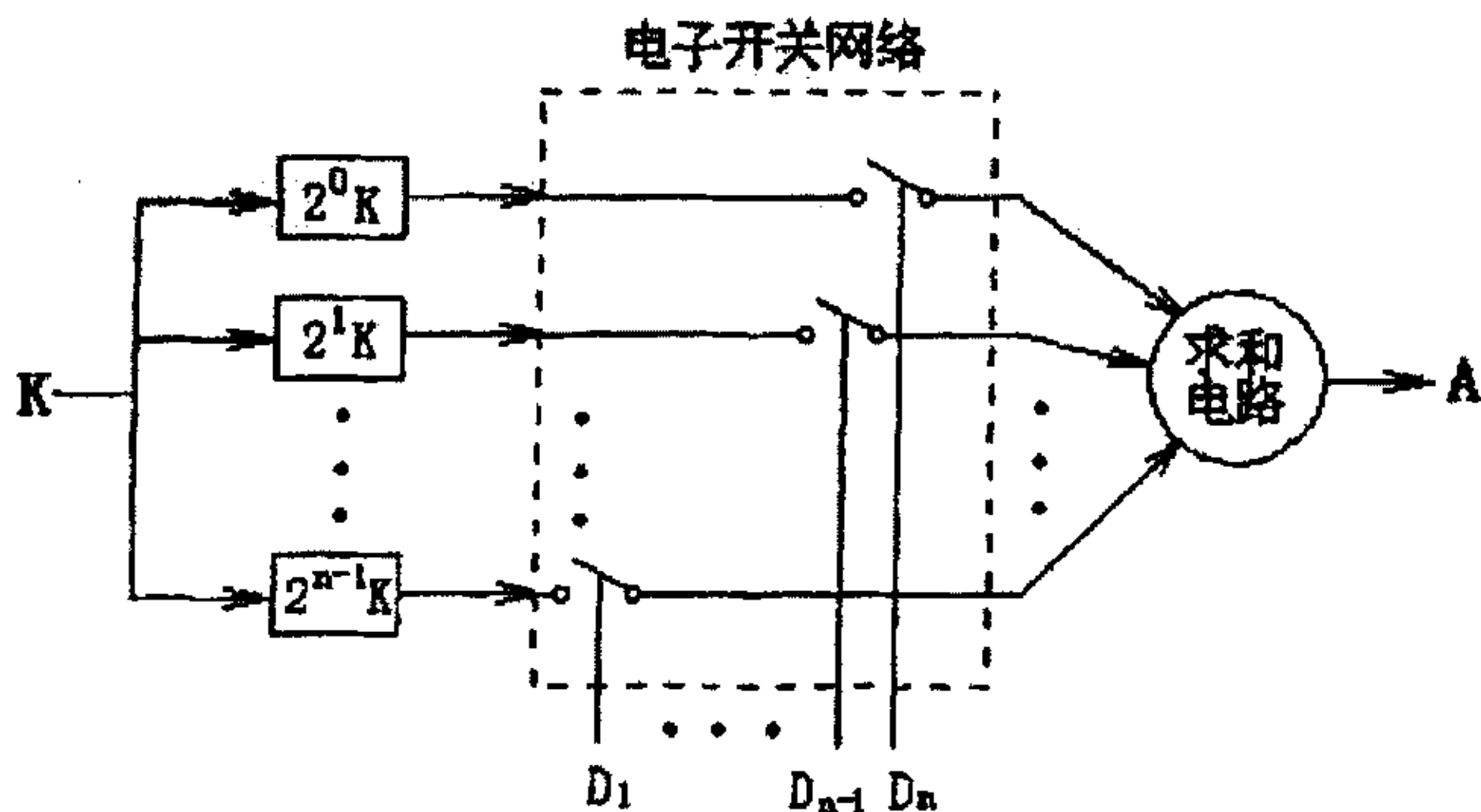


图 2-1 DAC 结构原理图

由模拟参考量 K 形成了各位权对应的二进制分量 (2^0K 、 2^1K 、 $\dots$ 、 $2^{n-1}K$)，各分量送入电子开关网络控制相应的电子开关。电子开关网络输出的各分量经求和电路相加，最后输出模拟量 A 。

在图 3-1 中，若模拟参考量为电压，则 2^0K 、 2^1K 、 $\dots$ 、 $2^{n-1}K$ 表示二进制各位的权电压，求和电路完成的是数字量相应位权电压相加，输出模拟量为电压，数模转换器实现了数字量转变为电压量的功能。若图中模拟参考量为电流，则 2^0K 、 2^1K 、 $\dots$ 、 $2^{n-1}K$ 表示二进制各位的权电流，求和电路完成的是数字量相应位权电流相加，输出模拟量为电流，数模转换器实现了数字量转变为电流量的功能，若想把输出电流转变为电压，则再加一级电流变电压的电路。

综上所述，数模转换器的基本工作原理是基于权的控制，即权电压相加或权电流相加。

2.2 数模转换器的常见结构

通常 DAC 中含有三个基本部分：参考电压源（可以外接）、加权网络和电子开关网络。比较完备的 DAC 还含有电流—电压转换器及数字量输入接口（输入锁存器）等环节。大多数 DAC 的基本结构框图如图 2-2 所示。

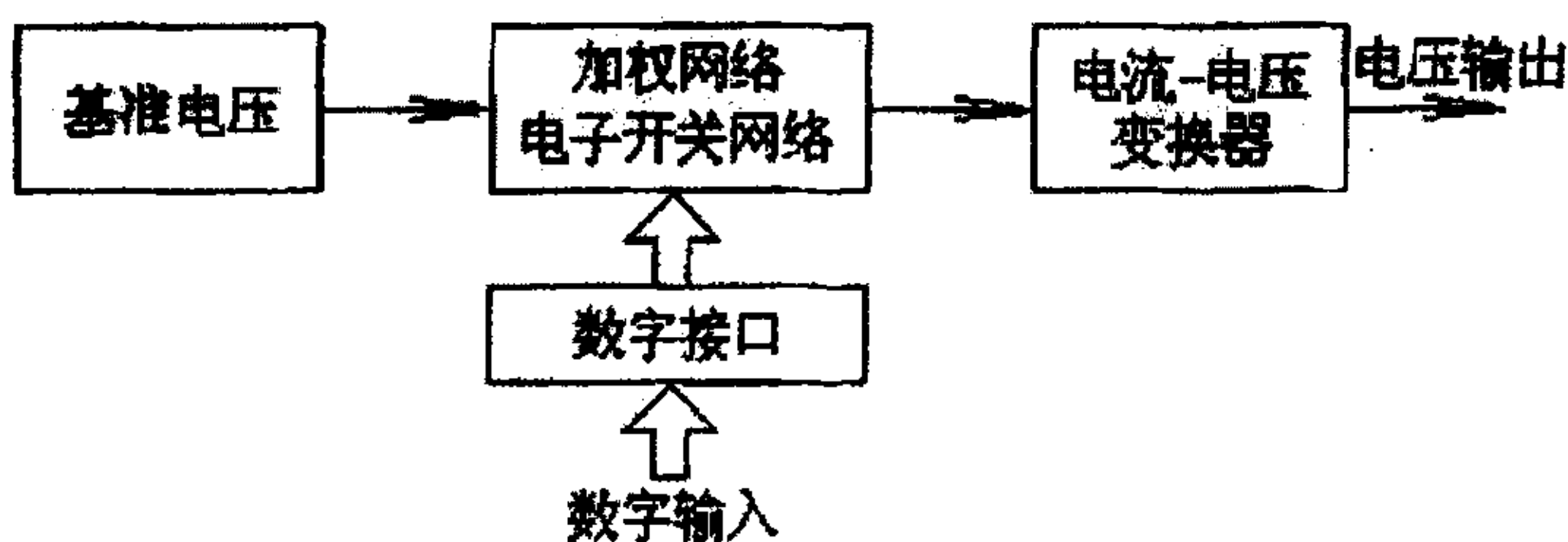


图 2-2 DAC 的基本结构框图

根据加权网络等部分实现方法的不同，常见的 DAC 结构可以分为电流型、电压型、电荷型等，每一类又可以分为很多小类，接下去将分别加以简单介绍。

2.2.1 电流型的 DAC

一、 权电阻型 DAC

图 2-3 为权电阻型 DAC 的电路图。

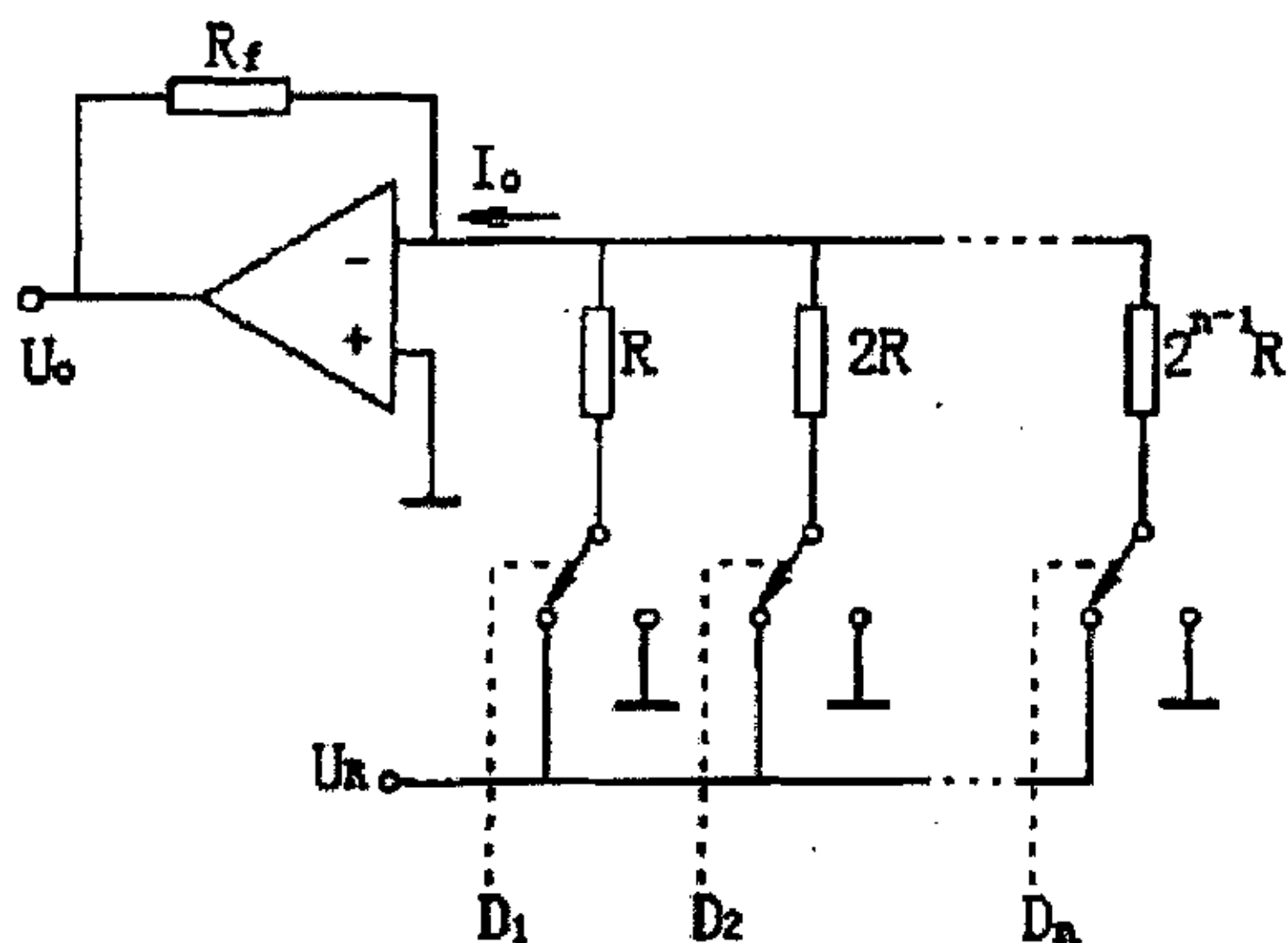


图 2-3 权电阻型 DAC

图中包含 n 个并列支路，每个支路由一个电阻和一个模拟开关串连而成。各个支路电阻的阻值按二进制权系数关系递增排列，而其中的模拟开关分别受各位输入数码的控制，最高位数码控制阻值最小的支路开关，最低位数码控制阻值最大的支路开关。当某位数码为 1 时它所控制的那位开关接通参考电压源，在运算放大器反相端总线上出现与该位电阻值成反比的权电流分量。当某位数码为 0 时，它所控制的那位开关关闭，在总线上就没有这一位的权电流分量。对于任意一个二进制输入数字，网络输出的总电流 I_o 为各位输出权电流的分量之和，即

$$I_o = \sum_{i=1}^n I_i = D_1 \frac{U_R}{R} + D_2 \frac{U_R}{2R} + \cdots + D_n \frac{U_R}{2^{n-1}R} = \frac{U_R}{2^{n-1}R} (D_1 2^{n-1} + D_2 2^{n-2} + \cdots + D_n 2^0) \quad (2.2.1-1)$$

$$\text{输出电压为: } U_o = -I_o R_f \quad (2.2.1-2)$$

权电阻 DAC 是实现二进制数字—电压转换的最简单的一种网络

结构。其缺点是当位数明显增多时，电阻的取值范围过大，如要实现 8 位数模转换，电阻比值将高达 128:1，这一比值在工艺制造上几乎难以实现。另外，对最高位电阻精度要求过于苛刻也是不易做到的。因此，这种结构的 DAC 很少见到产品，仅在某些特殊电路中以分立元件的形式出现。

二、 分组衰减的权电阻网络

为了克服上述缺点，在构成多位 DAC 时，采用分组衰减的权电阻网络。把 n 位电阻网络分成若干组，图 2-4 为分组衰减的权电阻 DAC（8 位）的一个实例。

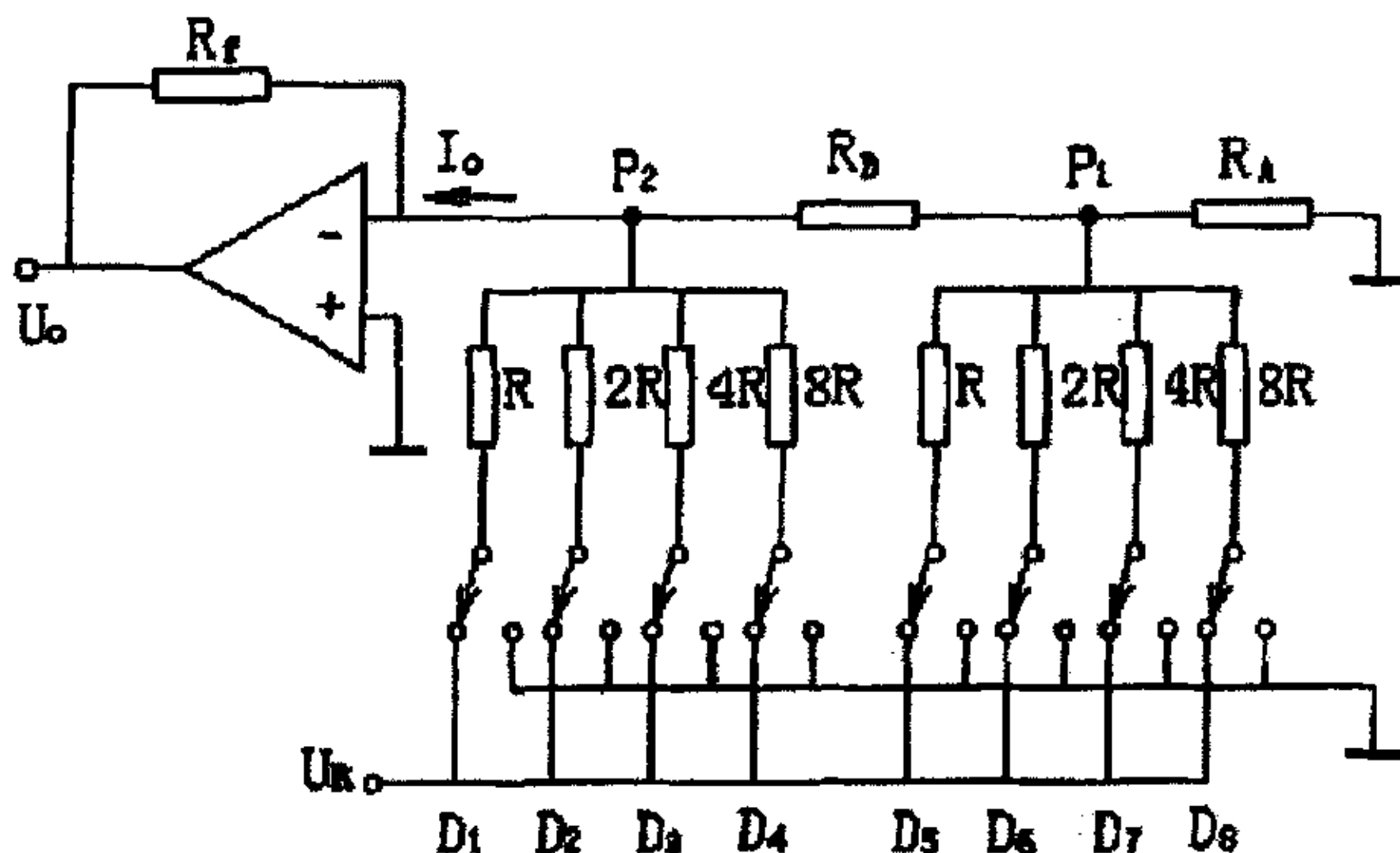


图 2-4 分组衰减的权电阻 DAC

该 DAC 为 8 位，分为两组，每组 4 位。组内权电阻为 R 、 $2R$ 、 $4R$ 、 $8R$ ，组间分流电阻为 R_A 、 R_B 。因为每组为 4 位，故组间对应位权电流衰减系数为 16，所以第二组注入到 P_2 节点的电流应该为注入到 P_1 节点电流的 $1/16$ 。取 R_A 为每组中的最大权电阻值—— $8R$ ，计算可得 R_B 为 $7.5R$ 。在该 DAC 中用到的电阻阻值有 R 、 $2R$ 、 $4R$ 、 $7.5R$ 、 $8R$ ，相对前一种网络使用的电阻少得多。所以，采用分组加衰减电阻的方法，可以使多位 DAC 电阻网络中电阻阻值范围大大缩小。如果采用更少的位数（3 位，2 位，……）为一组的分组方法时，用到的阻值种类更少。当一位一组时，只用到了两种阻值的电阻，这就是下面将要介绍的结构—— R - $2R$ 梯形电阻网络 DAC。

三、 R-2R 梯形电阻网络 DAC

图 2-5 是 R-2R 梯形电阻网络 DAC 结构原理框图。

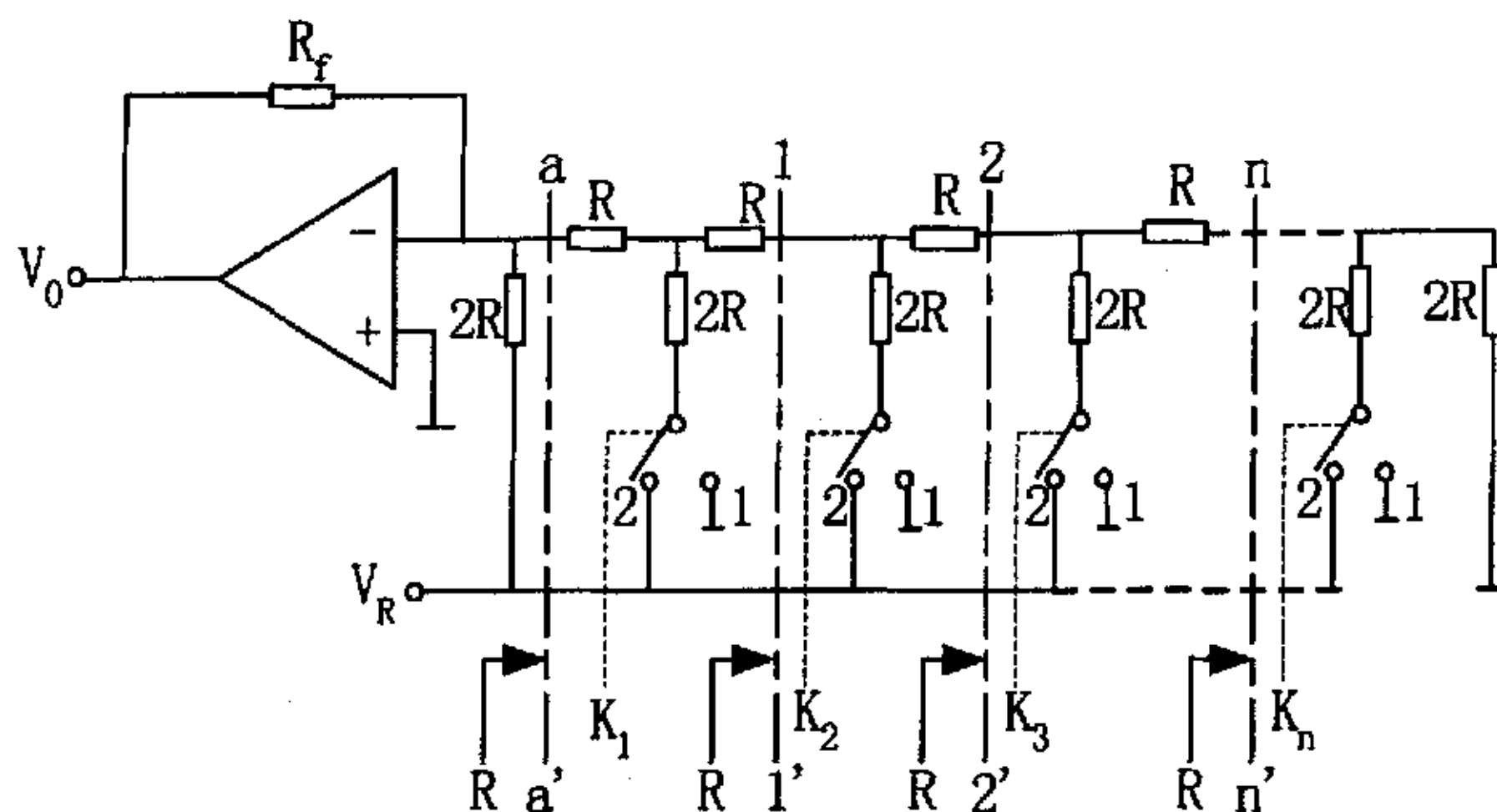


图 2-5 R-2R 梯形电阻网络 DAC

从图中 $n-n'$ 端口向右看入的电阻值是 R ，从 $2-2'$ 、 $1-1'$ 端口向右看入的总电阻值也是 R ，但是从 $a-a'$ 端口处向右看入的总阻值是 $2R$ 。同理，从每个 $2R$ 电阻向右看入的电阻值均是 $2R$ 。因此，电流每流经一个 $2R$ 支路就被衰减一半。所以从左到右，各 $2R$ 电阻中的电流比例关系为： $1:2^{-1}:2^{-2}:\dots:2^{-n+1}$ 。也就是说，流经各 $2R$ 电阻中的电流是二进制的权电流。

当输入数字信号为 0 时，开关 K 接到 1 的位置，当输入数字信号为 1 时，开关 K 接到 2 的位置，这样就实现了按照数字输入而变化的权电流加权，实现了数字—模拟的转换。

n 位权电流发生电路需要 $n+1$ 个值为 $2R$ 的电阻和 n 个值为 R 的电阻。随着分辨率的提高，电阻的个数增加，但电阻始终是 R 和 $2R$ 两种，而且 $2R$ 电阻可以设计成为两个 R 电阻的串联。因此 R-2R 梯形电阻网络数模转换器克服了权电阻网络中电阻值种类繁多的缺点。无论从改善电阻的匹配精度和减小总值的角度说，R-2R 梯形电阻网络都更为有利。集成的并行位电流控制的数模转换器中，多采用 R-2R 梯形电阻网络。

但是 R-2R 梯形电阻网络 DAC 结构本身也存在不足，梯形电阻网

络相当于传输线，从模拟开关到梯形电阻网络建立稳定的输出要一定的传输时间，转换器的位数越多，所需要的传输时间就越长，因此在位数较多时将直接影响 DAC 的转换速度。另外，当输入数字信号有 n 位同时发生变化时，由于各级信号传输到输出端的时间不同，因而在输出端可能产生瞬时尖峰。

四、 电流源型 DAC

电流源加权型 DAC 是用有源器件（一般是 MOS 管）构成的电流源来提供加权电流。与电阻加权型相比，电流源加权型 DAC 速度快，对开关的寄生参数不敏感，而且精度增加。根据加权方式的不同，可以分为二进制加权型和一进制加权型（温度计式）。

二进制电流源加权型 DAC 的结构如图 2-6 所示。

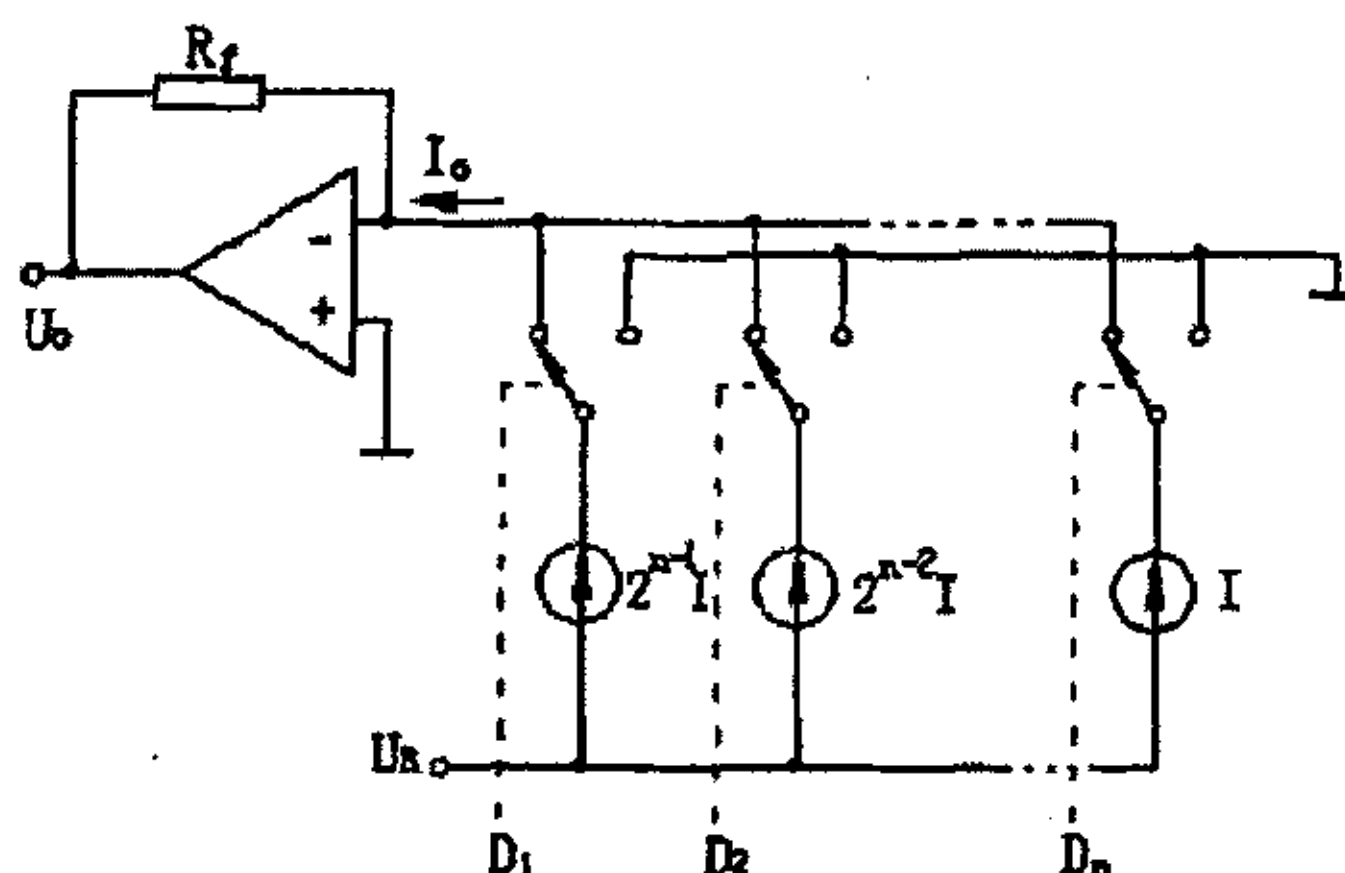


图 2-6 二进制电流源加权型 DAC

二进制电流源加权型 DAC 和电阻加权型 DAC 基本结构相似，只是用加权的电流源代替加权的电阻来提供加权电流。这可以用两种方法实现，一是改变组成电流源的 MOS 管的宽长比 (W/L) 来提供加权的电流值，如提供给最低位 D_n 的电流源的 MOS 管的宽长比为 W/L ，则高一位 D_{n-1} 电流源的 MOS 管的宽长比为 $2W/L$ ，以此类推；二是改变相同尺寸 MOS 管组成的电流源的个数，如提供给最低位 D_n 的电流源的 MOS 管（宽长比为 W/L ）的个数为 1，则高一位 D_{n-1} 电流源的 MOS 管（宽长比为 W/L ）的个数为 2，以此类推，直到最高位 D_1 的 MOS 管的个数为 2^{n-1} 。

从图 2-6 中容易得到 DAC 输出的总电流和电压分别为：

$$\begin{aligned}
 I_o &= \sum_{i=1}^n I_i = D_1 2^{n-1} I + D_2 2^{n-2} I + \dots + D_n 2^0 I \\
 &= I \cdot (D_1 2^{n-1} + D_2 2^{n-2} + \dots + D_n 2^0) \\
 &= I \cdot D
 \end{aligned} \tag{2.2.1-3}$$

$$U_o = I \cdot D \cdot R_f \tag{2.2.1-4}$$

一进制电流源加权型 DAC 的结构如图 2-7 所示。

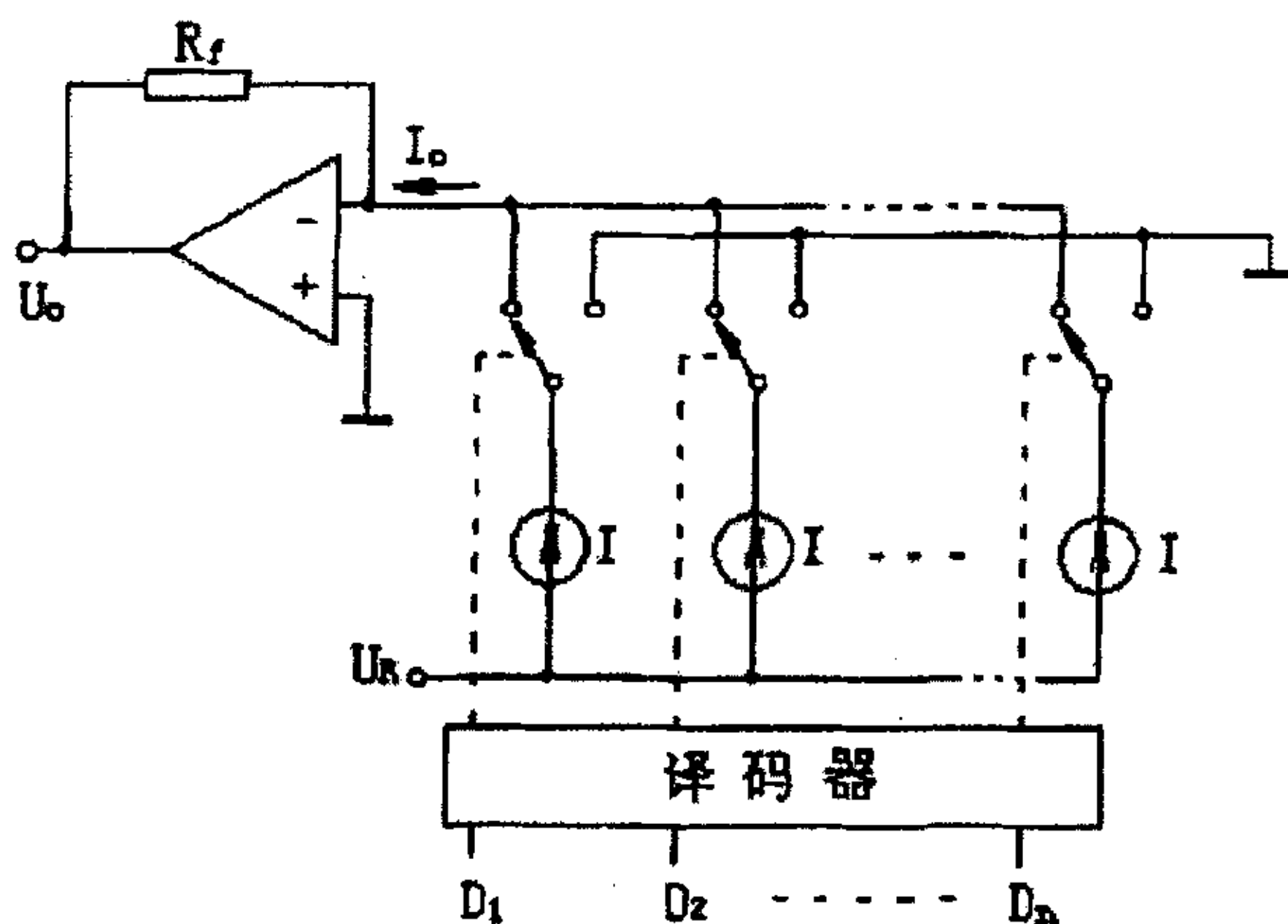


图 2-7 一进制电流源加权型 DAC

一进制（温度计式）电流源加权型 DAC 先将二进制编码的数字输入转变为一进制编码，也就是温度计式编码，然后一进制编码的每一位输出分别控制一个电流源的导通与截止。一进制编码与二进制编码的对应关系如表 2-1 所示。

与 n 位二进制编码对应的一进制编码有 $2n-1$ 位，当二进制编码为 D 时，则对应的一进制编码的低 D 位都为 1，其余位为 0。也就是随着二进制编码的增大，相应的一进制编码的各位（从最低位开始）依次从 0 变为 1。

表 2-1 一进制编码与二进制编码的对应关系

二进制编码	一进制编码
00	000
01	001
10	011
11	111

2.2.2 电压型的 DAC

电压型 DAC 的原理如图 2-8 所示。

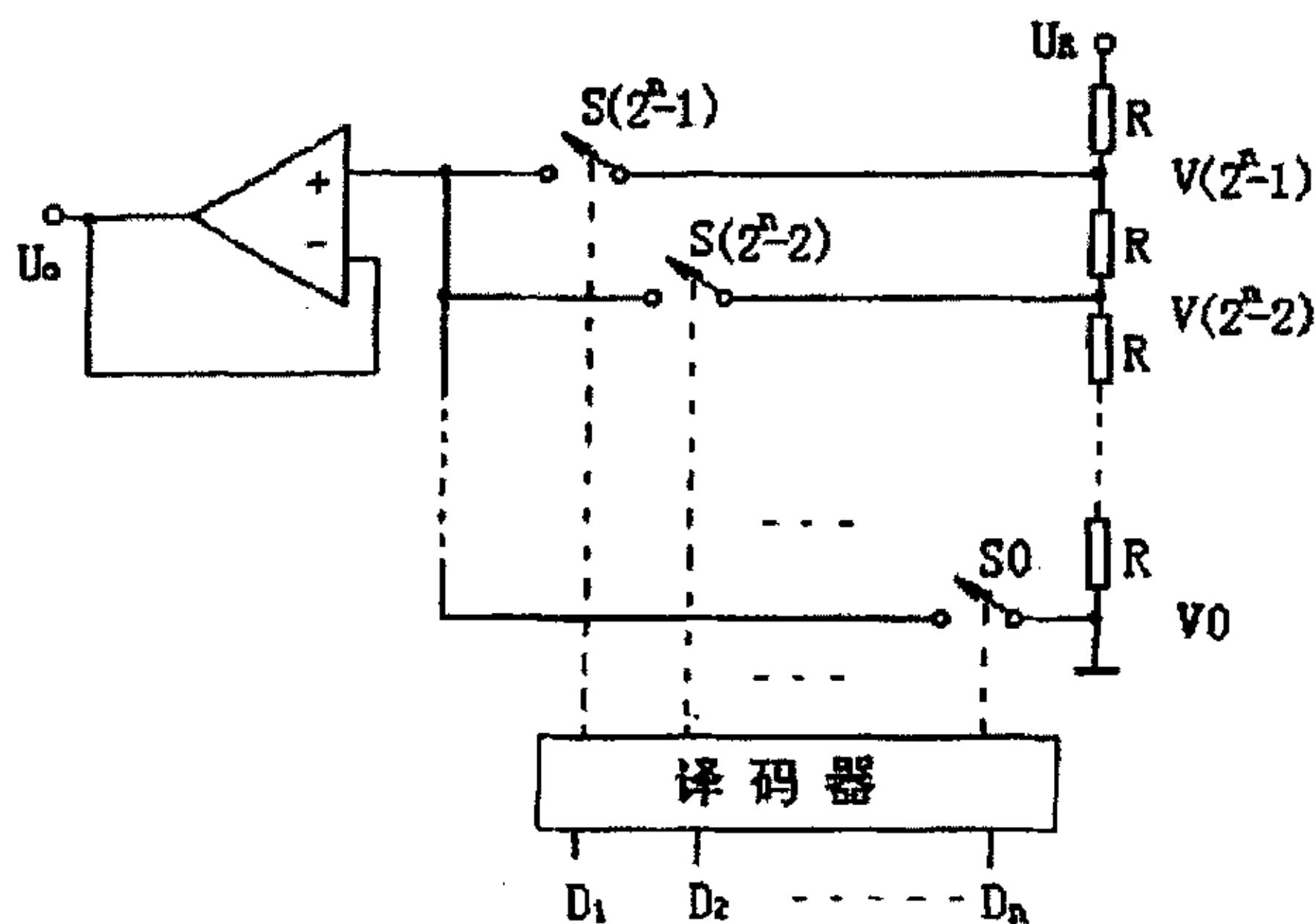


图 2-8 电压型 DAC 的原理图

电压型 DAC 采用的是电阻式分压。对 n 位的 DAC，基准电压 U_R 被 2^n 个阻值相同的电阻分压，各分压点的电压值分别为：

$$V(0) = \frac{U_R}{2^n} \times 0, \dots, V(2^n - 2) = \frac{U_R}{2^n} \times (2^n - 2), V(2^n - 1) = \frac{U_R}{2^n} \times (2^n - 1) \quad (2.2.2-1)$$

每一个分压点与一个对应的模拟开关相连，模拟开关的状态由输入数字信号 $D (=D_1 D_2 \dots D_n)$ 经译码后控制。当输入信号 $D=i$ 时，译码输出使开关 $S(i)$ 闭合，其他开关断开，此时转换器的输出为：

$$V(i) = \frac{U_R}{2^n} \times i \quad (2.2.2-2)$$

电阻分压式的 DAC 只需要用到一种电阻值，容易保证制造精度，即使阻值有较大的误差，也不会出现非单调性，这是它的优点。但是，对 n 位二进制输入的这种结构的 DAC 来说，需要 2^n 个分压电阻，以及 2^n 个模拟开关。因此随着位数增加，所需元器件的数量呈几何级数急剧增加，这是它的缺点。

2.2.3 电荷型的 DAC

电荷型结构的 DAC 是通过在电容阵列中重新分配总电荷来工作的。它的结构原理如图 2-9 所示。

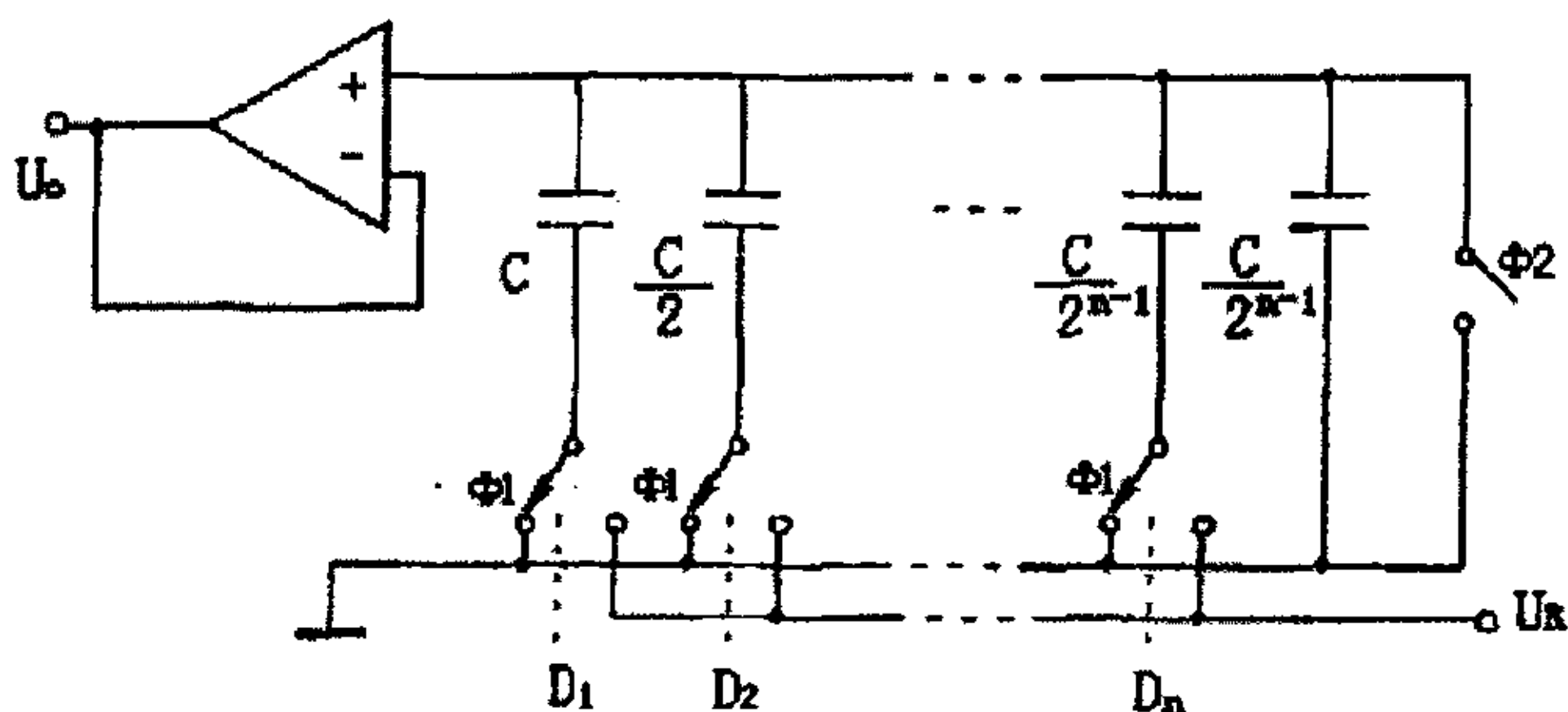


图 2-9 电荷型 DAC 结构原理图

如图中所示，电荷型 DAC 正常工作需要一不交叠的两相时钟。在 $\Phi 2$ 时刻，所有电容的上、下极板都连到了地，进行放电；接下去，在 $\Phi 1$ 时刻，所有输入为“1”的位所控制的开关连接到基准电压 U_R ，而所有输入为“0”的位所控制的开关连接到地。

此时，连接到 U_R 上的总电容为：

$$C_{eq} = D_1 C + D_2 \frac{C}{2} + \dots + D_n \frac{C}{2^{n-1}} = (D_1 2^{-1} + D_2 2^{-2} + \dots + D_n 2^{-n}) \cdot 2C \quad (2.2.3-1)$$

连到地上的总电容为：

$$2C - C_{eq} = [1 - (D_1 2^{-1} + D_2 2^{-2} + \dots + D_n 2^{-n})] \cdot 2C \quad (2.2.3-2)$$

其中， $D = D_1 2^{-1} + D_2 2^{-2} + \dots + D_n 2^{-n}$ 为输入的数字信号。

此时，输出电压为： $U_o = (D_1 2^{-1} + D_2 2^{-2} + \dots + D_n 2^{-n}) \cdot U_R$ ，实现了数模转换的功能。

电荷型 DAC 的优点是精度较高。但是有着面积大，对寄生电容敏感等缺点，而且需要两相时钟，复杂度增加。

2.3 数模转换器的性能参数

同其它集成电路器件一样，数模转换器有着许多性能参数，是选用器件的主要依据。数模转换器的参数可以分为两类：静态性能参数和动态性能参数。

2.3.1 静态性能参数

一. 分辨率

分辨率是表征输出模拟量分辨程度的参数。分辨率是一项设计参数，故仅有标称值。分辨率有三种表示方法：数字分辨率、模拟分辨率和相对分辨率。

DAC 的位数决定了最低有效位对应的模拟量值，故用位数表示 DAC 的数字分辨率，通常所说的分辨率就是指数字分辨率。

模拟分辨率是指 DAC 能分辨的最小输出模拟量值，即 LSB (Least Significant Bit) 大小的电流或电压，该值通常作为参考单位或基准单位。

相对分辨率是用模拟分辨率与额定满度输出量程 FSR (Full Scale Range) 的比值表示。

二. 精度

精度是指对给定的数字输入，其模拟量输出的实际值和理想值之间的最大偏差，它反映了数模转换器实际的转换曲线和理想曲线之间的最大偏差。它是失调误差、增益误差、线性误差和噪声等累加的结果。

数模转换器的精度可分为绝对精度和相对精度两种。通常所说的精度是指相对精度。精度有两种表示方法，一种是用满量程范围的百分比表示（%FSR），另一种是以最低位（LSB）对应的模拟输出值为单位表示。

三. 误差参数

数模转换器在静态时的四种基本误差是失调误差、增益误差、积分线性误差和微分线性误差。前两项误差是可以通过外围电路调整的，而对后两种误差，用户是无法调整的。

1、 失调误差

数模转换器的失调误差是指模拟输出的实际起始值与理想起始值之差。对单极性的数模转换器，理想起始值为零，对双极性的数模转换器，理想起始值为负满刻度值。如图 2-10 所示。

失调误差通常用满量程的百分比（%FSR）或 LSB 为单位来表示。

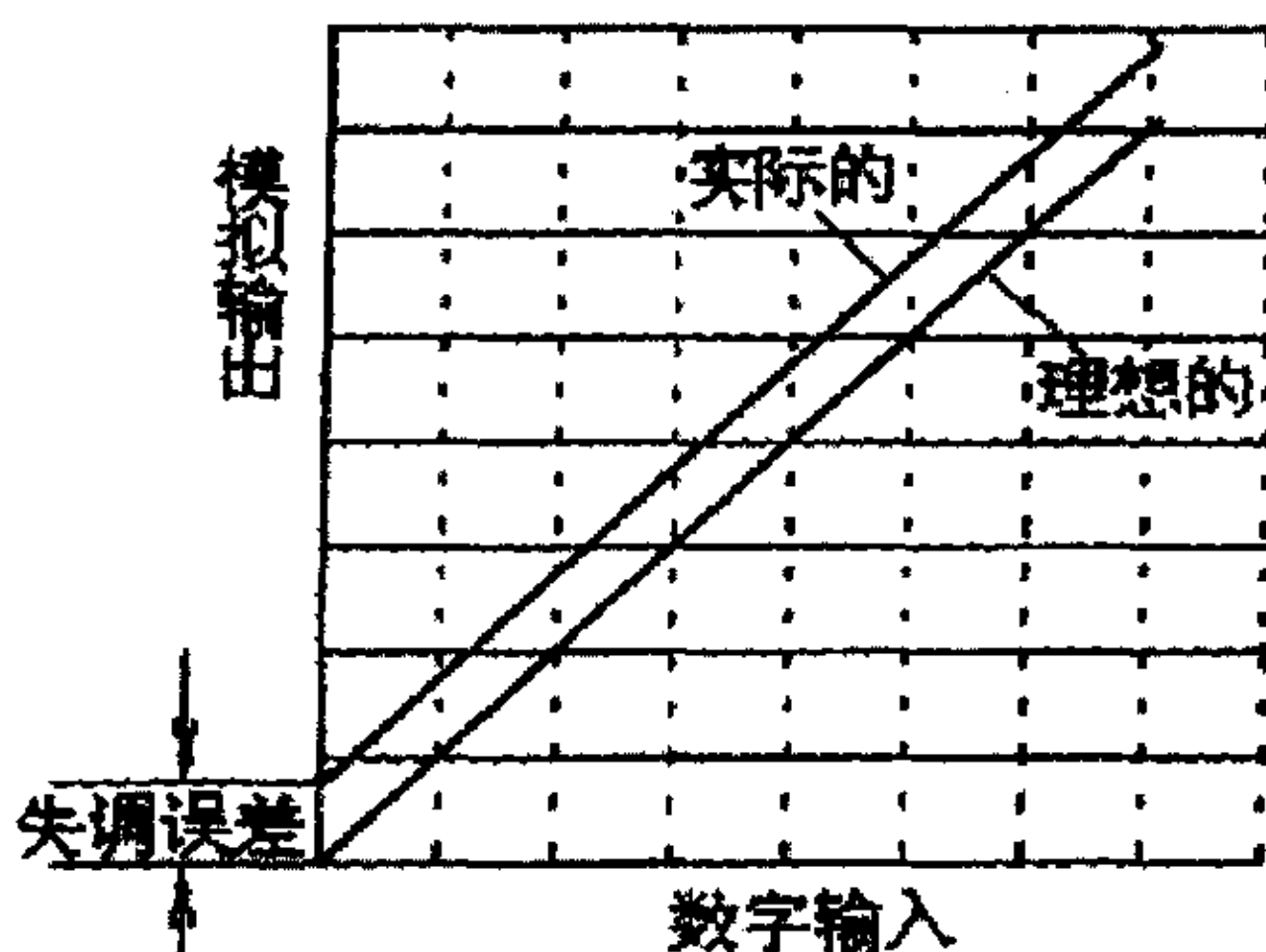


图 2-10 失调误差

2、 增益误差

数模转换器的特性曲线的实际斜率和理想斜率的偏差称为增益误差，如图 2-11 所示。当失调误差调整后，增益误差也就可以表示为满量程输出的实际值与理想值之间的偏差。增益误差通常用满量程的百分比（%FSR）或 LSB 为单位来表示。

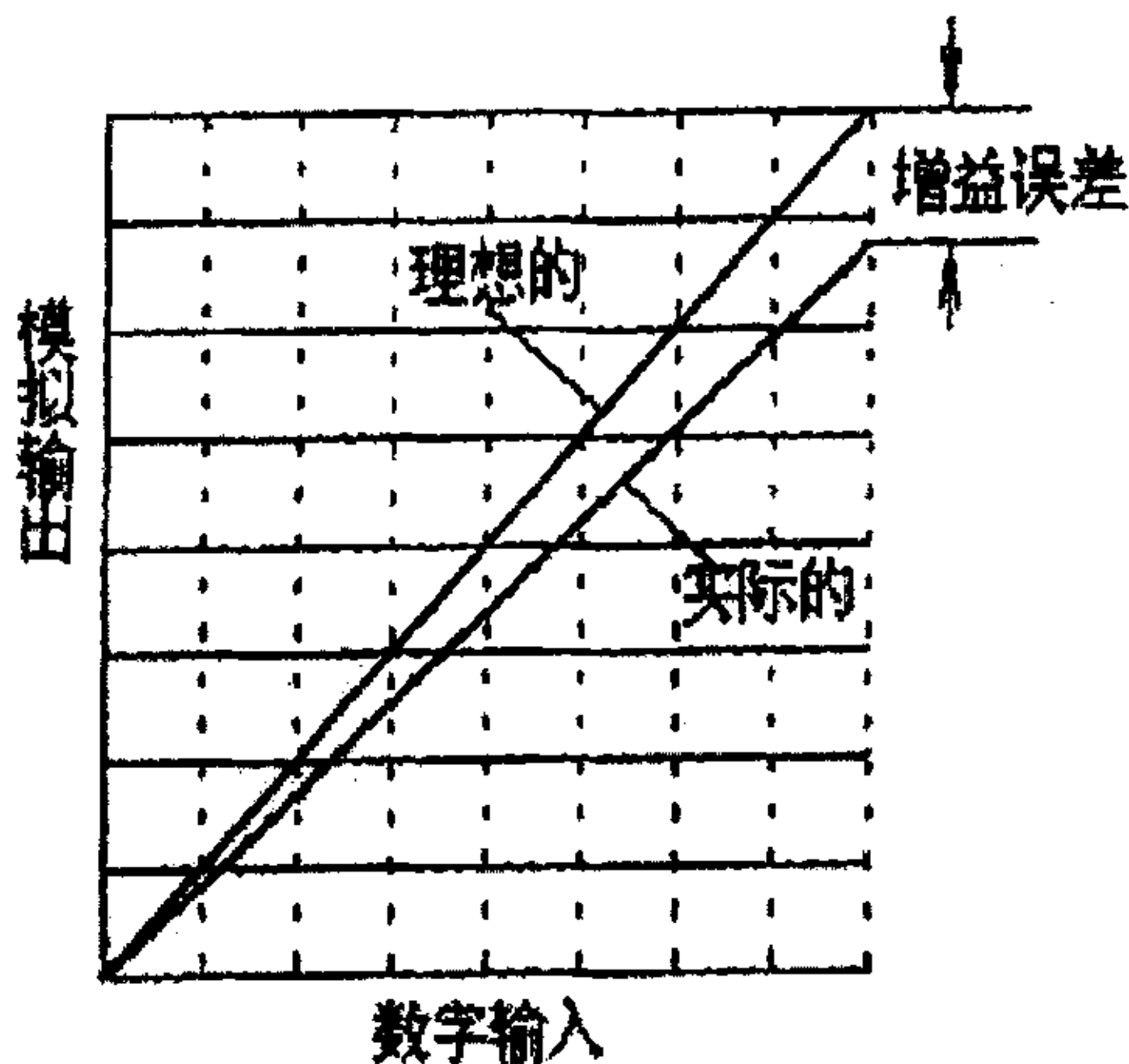


图 2-11 增益误差

3、 积分线性误差

积分线性误差（Integrated Nonlinearity，简称 INL）指实际输出的模拟量值与理论值之差。即：

$$\text{INL} = \text{测量值} - \text{理论值}$$

4、 微分线性误差

微分线性误差（Differential Nonlinearity，简称 DNL）指的是两个相邻数码的模拟量输出的跳变值与理论增量 1LSB 的差值。即：

$$\text{DNL} = \text{实际测量跳变值} - 1 \text{ LSB}$$

微分线性误差是数模转换器的一个重要参数，一般要求该参数在 $\pm 1/2\text{LSB}$ 范围内。若大于 1LSB，数模转换器将出现非单调性，即输

出不再是输入数字码的单调函数，如图 2-12 所示。图中，输入数字从 011 增至 100，输出的模拟值反而减少，这在实际应用中是不希望出现的。

微分线性误差和积分线性误差分别描述了数模转换器的微观和宏观的参数。前者描述的是相邻数字变化时引起的模拟量的变化。若每次变化都等于其步长（1LSB），则微分线性误差为 0；如果模拟值的变化不严格等于 1LSB，就存在微分线性误差，因此它反映了临近数字码间的输出模拟步长的均匀性，它是一种“微观”参数。而积分线性误差考虑的是模拟输出值的线性程度，即转换特性曲线上某点对理想直线的偏离情况，它是一种“宏观”参数。

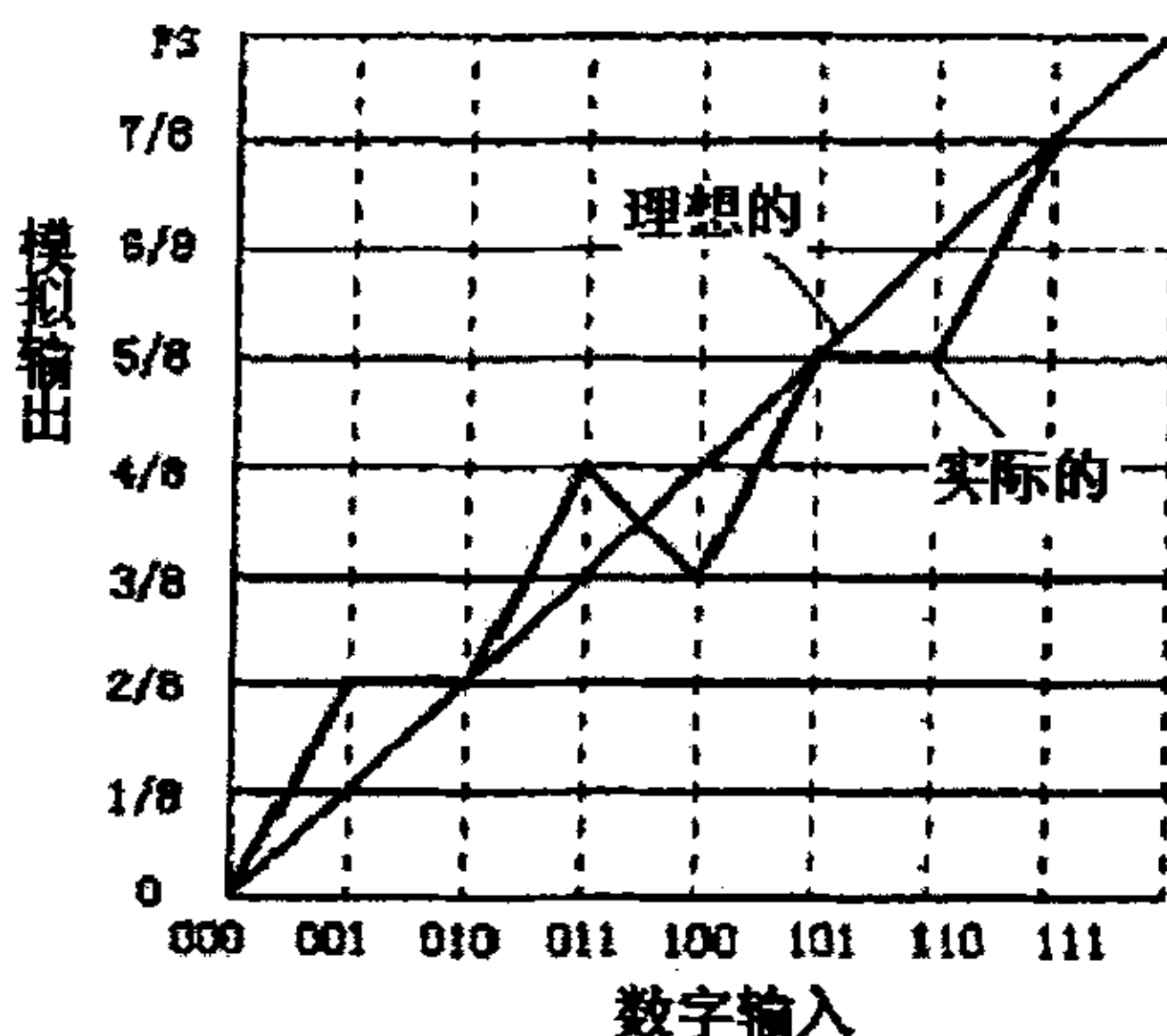


图 2-12 微分线性误差

2.3.2 动态性能参数

一、建立时间

数模转换器的建立时间（Settling time）定义为在输入有一阶跃变化后，对应模拟输出达到规定误差带范围内所需要的时间，如图 2-13 所示。误差带通常规定为 $\pm 1/2\text{LSB}$ 。

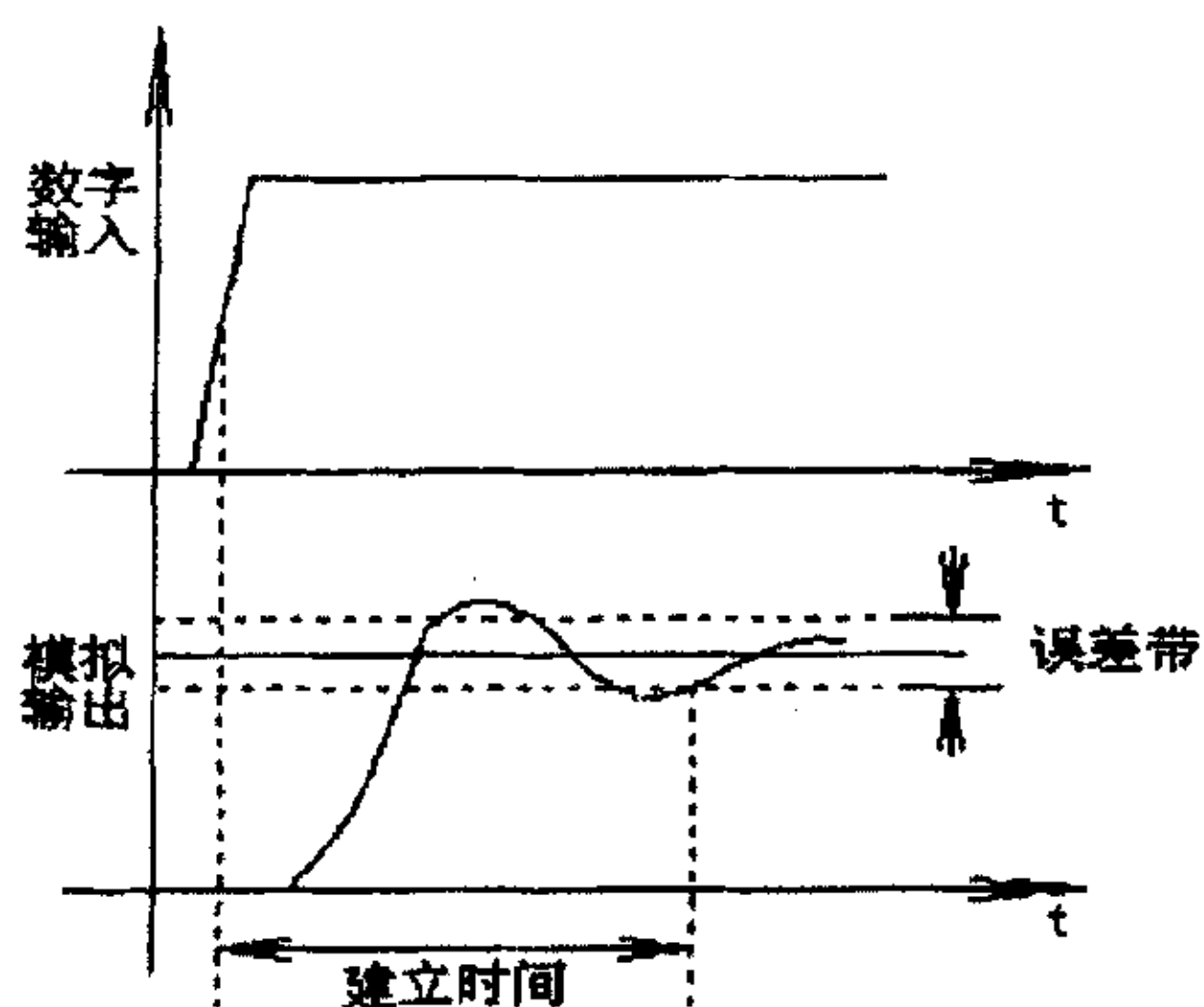


图 2-13 建立时间

把数模转换器的输入从全“0”阶跃到全“1”的建立时间称为满量程建立时间；而把输入发生单位数码跃变的建立时间称为 1LSB 建立时间。通常说的建立时间主要指的是满量程建立时间。

建立时间是数模转换器的一个重要参数，特别是在高速应用的场合。

二、尖峰

尖峰是数模转换器输入数码发生变化时刻产生的瞬时误差。尖峰的持续时间虽然很短，但幅值可能很大。这个参数会影响数模转换器动态工作时的精度。

第三章 DAC 电路设计及模拟仿真

3.1 DAC 的总体结构设计

通过上述介绍的数模转换器的一些常见结构，我们深刻了解了它们各自的优点和不足之处。本课题设计要求 DAC 有较高的精度、较低的功耗以及较短的建立时间，也就是要有高的综合性能，因此我们需要选择合适的结构来实现这一目标。

首先，输入方式从两种输入方式中选择并行输入，因为相对于串行输入方式来说，并行数字输入结构最大的优点是速度更快，虽然并行数字输入结构有电路复杂程度随着分辨率的提高而增加的缺点，但是由于设计要求分辨率为 8 位，相对不高，而速度是要实现的重要参数要求，因此权衡两方面，选择并行数字输入结构。

其次，输出采用电流输出作为所设计的 DAC 的输出方式，由于电流输出和电压输出相比，具有速度快的特点，若想把输出电流转变为电压，则再加一级电流变电压的电路即可。

如前所述，DAC 根据工作原理可分为电流型、电压型和电荷型三种。电压型 DAC 的一个严重的缺点是位数较多的转换器所需要的组件太多；电荷型 DAC 的缺点是当转换器位数较多时，需要的电容比会很大，并且大量的大电容会增大电路的面积。同种条件下，电流型的 DAC 的速度性能优于电压型和电荷型的 DAC，因此根据现有条件和目标参数，选用电流型作为 DAC 的工作方式。

电流型 DAC 分为加权电阻型、分组衰减的权电阻网络型、R-2R 梯形电阻网络型以及电流源型。由前面介绍可知，R-2R 梯形电阻网络型 DAC 以及电流源型 DAC 相对于前面两种结构在速度和精度方面有更好的表现。电流源型 DAC，尤其是一进制（温度计式）电流源加权型 DAC，有着高速和高精度的优点，在科学研究和设计应用中被越来越广泛的采用，高分辨率（10 位以上）的 DAC 往往采用分段式结构，或者是电流源与 R-2R 梯形电阻网络结合使用，或者全部直接采用电流源进行分段。R-2R 梯形电阻网络型 DAC，电路结构相对简单，面积更小，功耗低，精度较高，在 8 位及 8 位以下的应用中仍然有相当不错

的应用价值。本着学习和应用研究的目的，本设计采用了这种结构，并将在具体的单元电路设计中分析其优势与不足。

最后，从集成度、功耗、成品率等各个因素考虑，MOS 工艺尤其是 CMOS 工艺远远优于双极型工艺，所以本设计决定采用 CMOS 工艺。

图 3-1 是所设计 DAC 的总体结构框图，数字信号通过锁存器后控制 R-2R 电阻网络的权开关，从而实现数字信号向模拟电流信号的转换。OUT1 和 OUT2 端外接运算放大器，实现电流向电压的转换。基准源和运算放大器为外接电路。

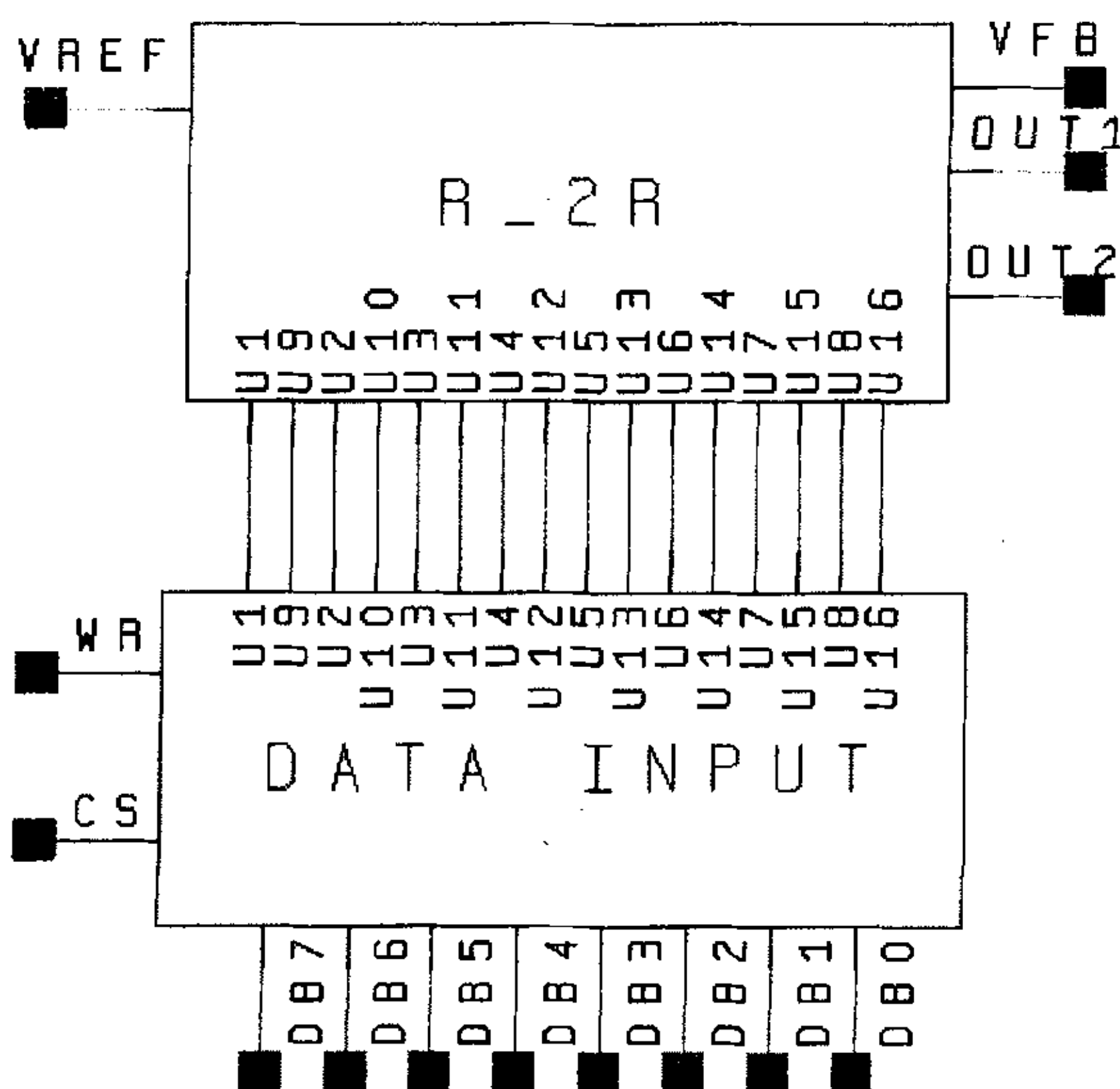


图 3-1 DAC 总体结构框图

3.2 单元电路设计

3.2.1 电阻网络设计

电阻网络的作用是将输入的数字量转变为输出的模拟量，它是整

个 DAC 电路工作的核心部分，它的性能高低直接影响所设计 DAC 在转换速度、转换精度及功耗方面的表现。

R-2R 梯形电阻网络 DAC，只要两种阻值的电阻就可实现二进制加权的电流（或电压）输出，便于集成化。另一方面，R-2R 梯形电阻网络 DAC 克服了权电阻网络中电阻值种类繁多的缺点。无论从改善电阻的匹配精度和减小总值的角度说，R-2R 梯形电阻网络都更为有利。集成的并行位电流控制的 DAC 中，多采用 R-2R 梯形电阻网络。因为梯形网络是线性的，所以可用叠加法进行线路分析，即可以认为每一支路输出的电流（或电压）是独立的，各自对输出做出自己的贡献，最后再求和得到总的输出电流（电压）。这种结构又分为正梯形电阻网络和倒梯形电阻网络。

正梯形电阻网络是把电阻网络置于模拟开关和输出运算放大器之间，其具体结构见图 3-2。这样有可取之处，但也有不利之处。因为通过电阻的电流随数字输入信号的变化而导通或截止，每个电阻都有寄生电感或电容，将使转换时间延迟。同时为了达到高速度，电阻值必须选得小，而为了获得最大精度，电阻值又必须选大些。这种矛盾使得设计者不得不折中考虑。

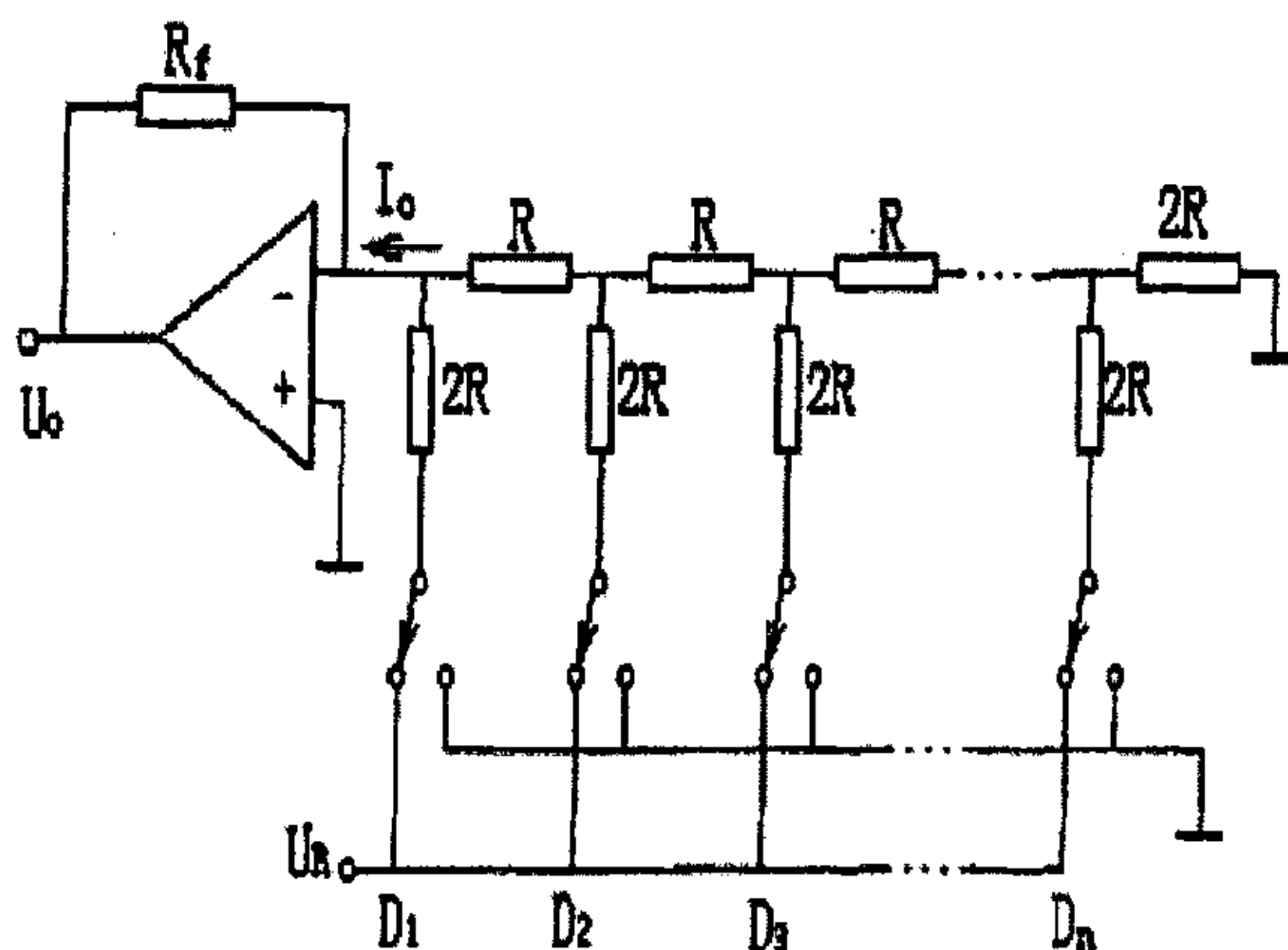


图 3-2 正梯形 R-2R 电阻网络

倒梯形电阻网络能够很好地解决上述问题，这也是本设计所采用的结构，其具体结构见图 3-3。

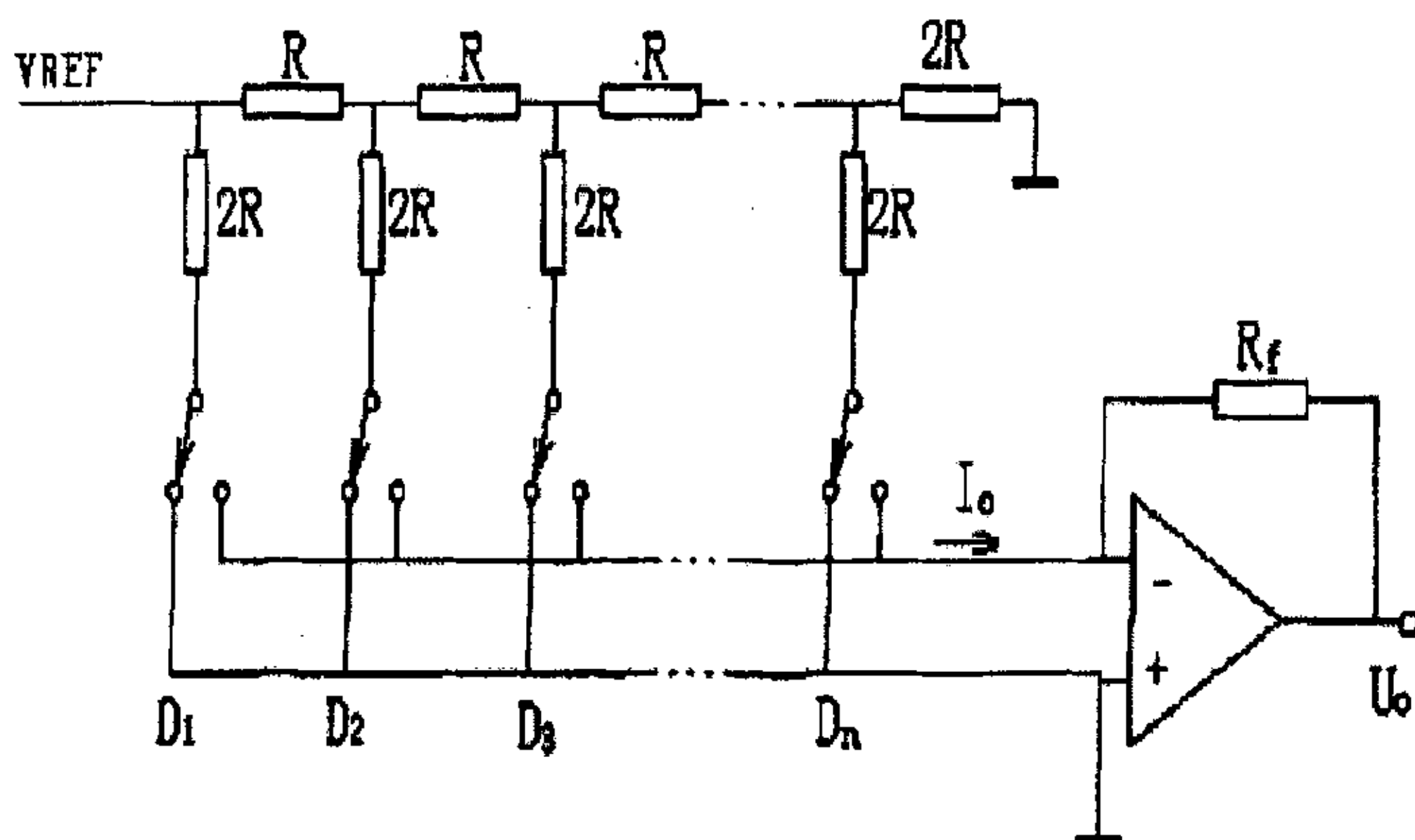


图 3-3 倒梯形 R-2R 电阻网络

电流开关根据输入数字量，有选择地将导通位的位电流引入运算放大器的求和点。因为求和点本质上是地电位，所以位电流在地和求和点之间变换并不改变流进梯形网络的电流。可见开关仅在两个等电位点间控制电流，而梯形网络上的电流是一直不变的，因此梯形电阻的阻抗可尽量选大些，而电阻的寄生电容和电感对 DAC 的动态性能没有影响。倒梯形和正梯形一样具有阻值范围小，便于集成的优点。

由图 3-3 可知，按着虚短、虚断的近似计算方法，求和放大器反相输入端的电位始终接近于零，所以无论开关合到那一边，都相当于接到了“地”电位上，流过每个支路的电流也始终不变。在图示开关状态下，从最左侧将电阻折算到最右侧，先是两个 $2R$ 并联，电阻值为 R ，再和 R 串联，又是 $2R$ ，一直折算到最右侧，电阻仍为 R ，则可写出电流 I_{Σ} 的表达式为：

$$I = \frac{V_{REF}}{R} \quad (3.2.1-1)$$

$$I_{\Sigma} = \frac{I}{2}d_{n-1} + \frac{I}{4}d_{n-2} + \cdots + \frac{I}{2^{n-1}}d_1 + \frac{I}{2^n}d_0 \quad (3.2.1-2)$$

式中 V_{REF} 为参考电压, D_i 为数字量 D 的第 i 位代码, 其值为 0 或者 1, 由数字对应位的逻辑电平来决定。 2^{n-i} 为第 i 位的权。

由于所设计 DAC 要求有较高的综合性能, 而 MOS 电路的速度功耗积明显优于双极型电路, 而且结构简单, 占用芯片面积更小, 这也是本设计采用 CMOS 工艺的主要原因。NMOS 管相对于 PMOS 管有更高的电流驱动能力和高的跨导, 性能更好, 所以本设计采用 NMOS 场效应管作为倒梯形 R-2R 电阻网络中各支路的电流开关。

由式 (3.2.1-2) 可算出, 倒梯形 R-2R 电阻网络中各分支电流存在如下关系:

$$I_7:I_6:I_5:I_4:I_3:I_2:I_1:I_0 = 128:64:32:16:8:4:2:1 \quad (3.2.1-3)$$

I_7 为最高位电流 (MSB), I_0 为最低位电流 (LSB)。为了匹配各分支电路等比例变换的电流, 各分支电路的两个 NMOS 开关的宽长比 W/L 也采取相应变化的比例设计。这样的设计使得所有的 NMOS 开关的导通电阻都相近, 可以尽量降低导通电阻对 R-2R 电阻网络的影响。

这些 NMOS 开关在导通后有一个开关有效电阻, 开关有效电阻应远远小于电阻网络中的任何一个电阻。由于这些开关是和 R-2R 电阻网络中的某些分支电阻串联起来的, 所以这些开关电阻不能忽略的话, 电阻的梯形排列将不再有意义, 其结果将会影响到 DNL 和 INL 的值。在本电路设计里, R-2R 倒梯形电阻网络中的电阻阻值都在 10K 以上, 分走了绝大部分压降, NMOS 管在导通后分得的压降很小, 工作在三极管区, 因此其导通电阻也较小。由于电路要求实现较高的精度, 也需要对 NMOS 管导通电阻进行适当的折算和补偿。

另一方面, NMOS 管的栅和源之间以及栅和漏之间分别存在电容 C_{gs} 和 C_{gd} , 在开关过程中随栅极电压的上升和下降要对电容进行充放电, 从而影响开关速度, 最终影响整个电路的速度性能。所以在具体设计对各分支电路的 NMOS 开关的源、漏面积和沟道的宽长比参数进行了适当的调整。

图 3-4 为 R-2R 倒梯形电阻网络的具体电路设计结构。从图中可以

看到，在接地的电阻上也接了一个保持导通状态的 NMOS 管，这是为了更好地与最低位电流支路匹配。

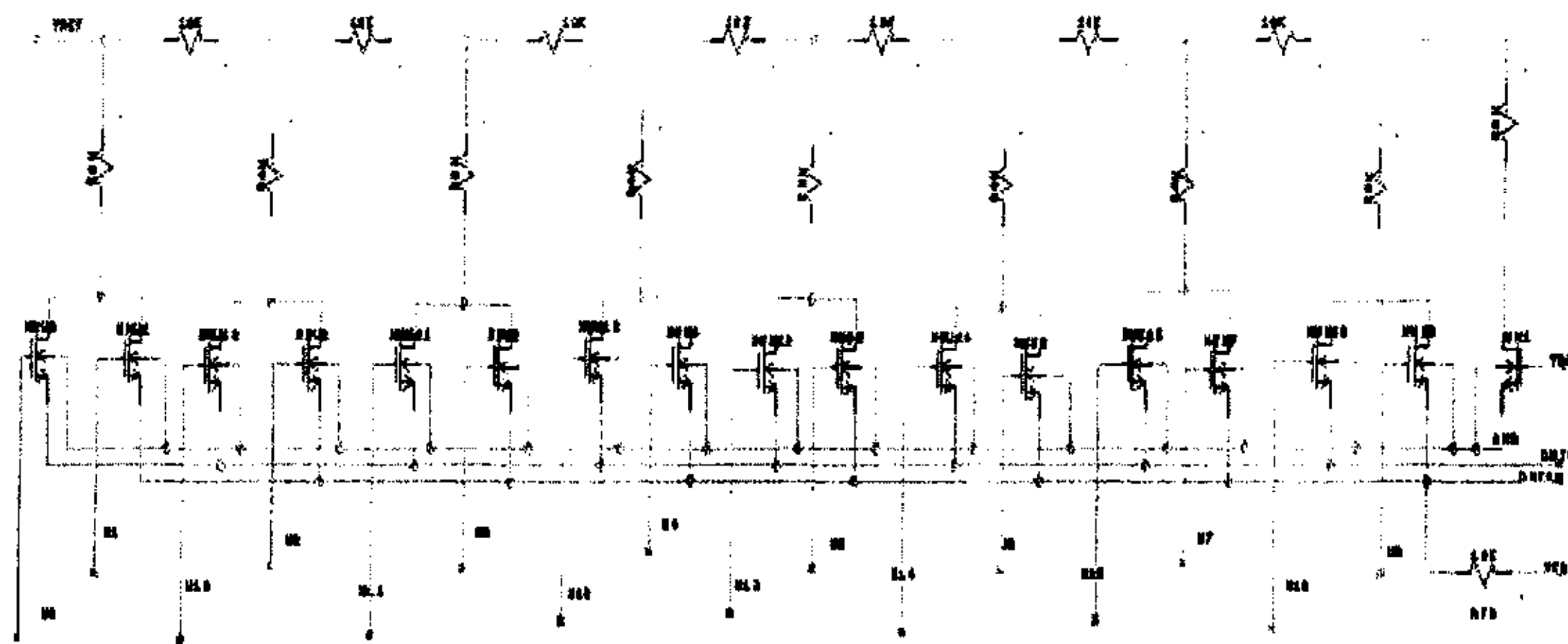


图 3-4 电阻网络电路结构

3.2.2 控制及数字输入电路设计

图 3-5 为数字输入部分整体结构电路图。这里分为两部分进行设计，分别为控制电路和数字输入锁存电路。

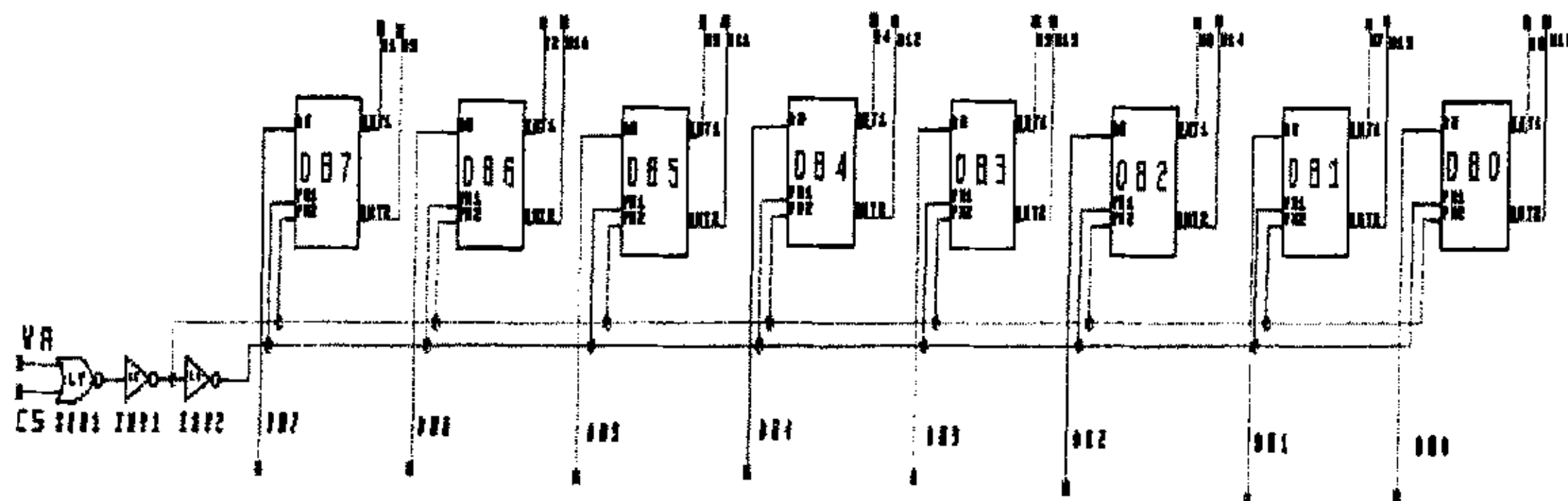


图 3-5 数字输入电路整体结构

一、控制电路

DAC 的控制电路通过输出两个反相的信号对整个 DAC 电路的工作状态进行选择，其电路实现如图 3-6 所示。

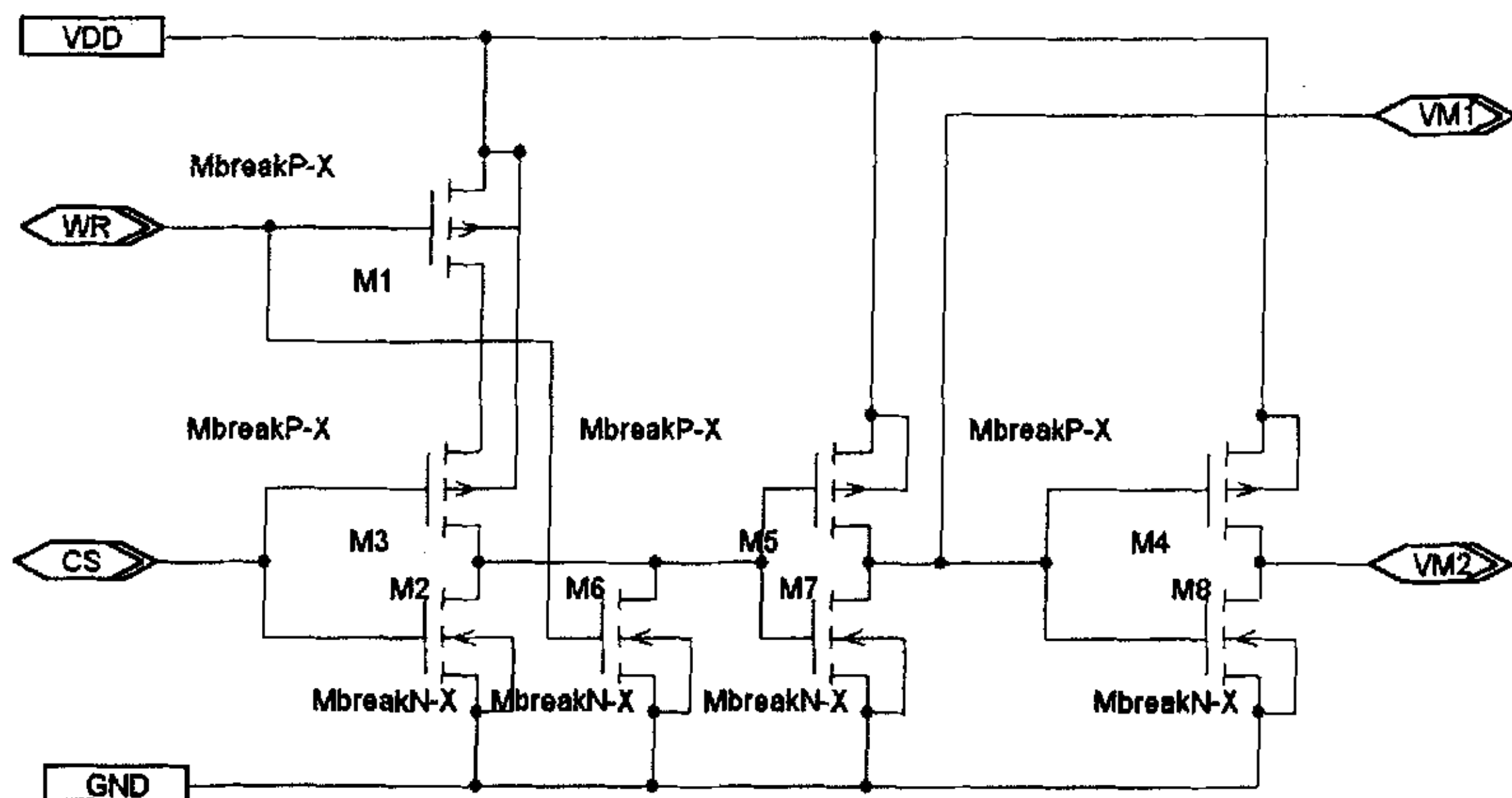


图 3-6 控制电路结构

控制电路由一个或非逻辑门电路与两级反相器组成，对整个 DAC 的逻辑部分进行控制，控制电路的两种工作状态，其一是写入模式，其二是数据保持模式。工作模式的选择通过 CS 和 WR 两个输入端来控制，电路工作模式选择见表 3-1：

表 3-1 模式选择表

CS	WR	Mode	DAC Response
L	L	Write	Respond to DB0~DB7
H	X	Hold	DB0~DB7 Locked Out
X*	H	Hold	

* X 表示信号可为 L 或者 H

当 CS 和 WR 同时为低电平时，DAC 工作于写入模式，此时 DAC 的模拟输出电流就是对 8 个数字输入端口 DB0~DB7 输入的数字信号（输入电平）的转换。在此模式下，整个电路作为非锁存输入的 DAC。

当 CS 或者 WR 为高电平时,后面的数字输入锁存电路处于数字锁存状态, DAC 工作于数据保持模式。此时 DAC 的模拟输出电流保持在电路对 CS 或者 WR 翻转为高电平以前最后输入的数字信号(输入电平)的转换值。

或非门电路对两个控制输入信号 CS 和 WR 进行了或非运算,然后经过两级反相器,输出 VM1 和 VM2 两个相反的信号对数字输入锁存电路中的传输门进行控制达到工作模式选择的目的。两级反相器起着缓冲的作用,同时提高了输出信号的驱动能力。

二、数字输入锁存电路

本论文设计的是 8 位的数模转换器,8 位数据以并行的方式分别从 8 个数据输入端口输入。由于功能完全相同,所以 8 个数据输入子电路结构大体相同,图 3-7 为其中一组数据输入子电路的结构。

本电路模块的功能是实现输入数据的传送或者锁存。当 VM1 为低电平, VM2 为高电平时,第一级传输门开启,第二级传输门关闭,外部输入的数字信号经过前端的两级反相器,再通过第一级传输门,最后由后端的两个反相器实现输出两个完全相反的控制信号 OUT_1 和 OUT_2,通过 OUT_1 和 OUT_2 对电阻网络的 NMOS 开关进行控制。

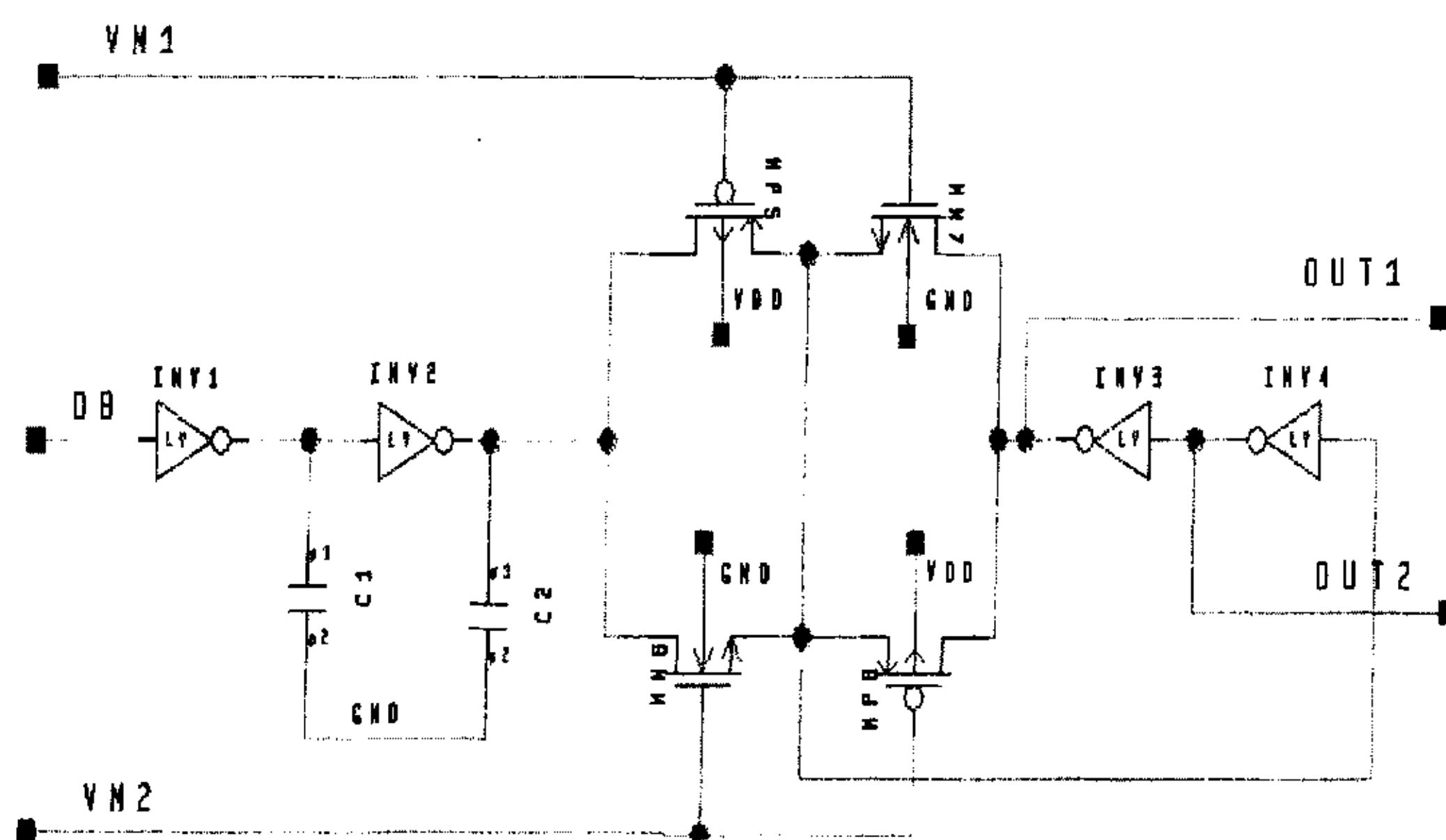


图 3-7 数据输入子电路结构图

当 VM1 变为高电平, VM2 变为低电平时, 第一级传输门关闭, 第二级传输门开启, 此时外部输入的数字信号不能通过第一级传输门, 而第二级传输门将最后一次输出的信号反馈回电路, 并通过两级反相器形成回路, 使输出的信号保持在 VM1、VM2 电位变化前的最后值。

电路中的反相器起到缓冲的作用, 使各个输入信号实现同步, 同时还增强了输入信号的驱动能力。但反相器起缓冲作用的同时也就意味着一定时间的延迟, 所以在设计时既要考虑信号的同步, 在此基础上也要考虑实现电路对输入数字信号的快速转换。

3.3 电路的模拟仿真结果

3.3.1 静态参数模拟

一、输出特性

采用 Hsipce 软件模拟得到的完整模拟电流输出结果如图 3-8 所示。从模拟输出曲线可以看出, 在位的逻辑状态发生变化的瞬间存在毛刺。

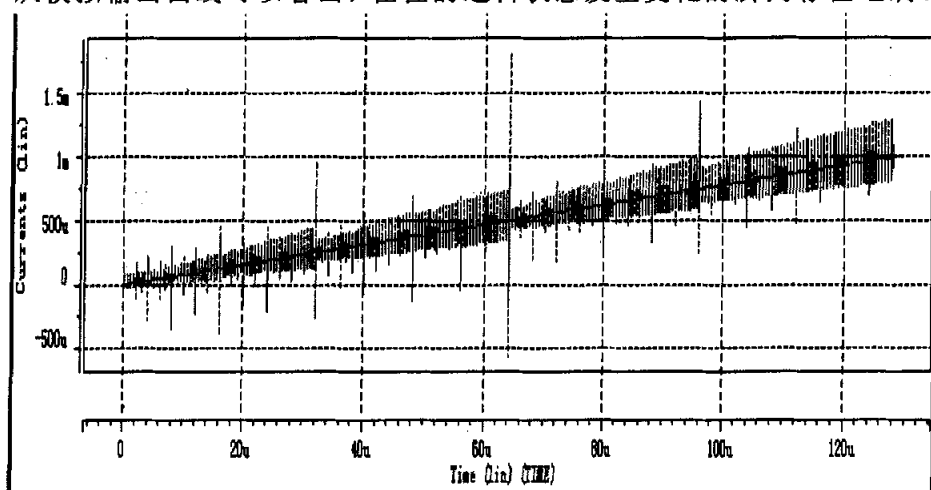


图 3-8 8 位 DAC 的完整模拟输出曲线

毛刺是由于位状态发生变化的瞬间存在虚假代码而产生的。分析原因主要是由于 DAC 的关断的时间比导通的时间慢而造成的, 例如当输入从状态 011 到 100 状态时, 由于高位的开关导通比低位开关的关断速度快, 使得瞬间可能出现 111 状态, 110 状态或 101 状态。对电路

内部，主要是采用调整电流开关偏置的方法，使电流开关转换沿对齐，减少上升、下降沿的不均匀性；对电路外部，可以设计相应的滤波电路，或在驱动的负载上并联一个小电容，都可以大大减小输出毛刺。

二、微分线性误差与积分线性误差

由于数据较多，这里只列出从“000000”到“111111”前六位的输入输出模拟仿真结果（表 3-2）：

表 3-2 输入输出转换结果

DB5	DB4	DB3	DB2	DB1	DB0	$I_{OUT}(\mu A)$	ΔI
0	0	0	0	0	0	≈ 0	
0	0	0	0	0	1	3.92	3.92
0	0	0	0	1	0	7.52	3.60
0	0	0	0	1	1	11.44	3.92
0	0	0	1	0	0	15.47	4.03
0	0	0	1	0	1	19.40	3.93
0	0	0	1	1	0	22.99	3.59
0	0	0	1	1	1	26.91	3.92
0	0	1	0	0	0	31.19	4.28
0	0	1	0	0	1	35.11	3.92
0	0	1	0	1	0	38.71	3.60
0	0	1	0	1	1	42.63	3.92
0	0	1	1	0	0	46.66	4.03
0	0	1	1	0	1	50.59	3.93
0	0	1	1	1	0	54.18	3.59
0	0	1	1	1	1	58.10	3.92
0	1	0	0	0	0	62.50	4.40
0	1	0	0	0	1	66.43	3.93
0	1	0		1	0	70.02	3.59
0	1	0	0	1	1	73.94	3.92
0	1	0	1	0	0	77.98	4.04

0	1	0	1	0	1	81.90	3.92
0	1	0	1	1	0	85.50	3.60
0	1	0	1	1	1	89.41	3.91
0	1	1	0	0	0	93.70	4.29
0	1	1	0	0	1	97.62	3.92
0	1	1	0	1	0	101.21	3.59
0	1	1	0	1	1	105.13	3.92
0	1	1	1	0	0	109.16	4.03
0	1	1	1	0	1	113.08	3.92
0	1	1	1	1	0	116.68	3.60
0	1	1	1	1	1	120.60	3.92
1	0	0	0	0	0	125.53	4.93
1	0	0	0	0	1	129.32	3.79
1	0	0	0	1	0	132.80	3.48
1	0	0	0	1	1	136.72	3.92
1	0	0	1	0	0	140.76	4.04
1	0	0	1	0	1	144.70	3.94
1	0	0	1	1	0	148.28	3.58
1	0	0	1	1	1	152.18	3.90
1	0	1	0	0	0	156.47	4.29
1	0	1	0	0	1	160.41	3.94
1	0	1	0	1	0	163.99	3.58
1	0	1	0	1	1	167.91	3.92
1	0	1	1	0	0	171.94	4.03
1	0	1	1	0	1	175.85	3.91
1	0	1	1	1	0	179.46	3.61
1	0	1	1	1	1	183.38	3.92
1	1	0	0	0	0	187.80	4.42
1	1	0	0	0	1	191.71	3.91

1	1	0	0	1	0	195.29	3.58
1	1	0	0	1	1	199.22	3.93
1	1	0	1	0	0	203.28	4.06
1	1	0	1	0	1	207.20	3.92
1	1	0	1	1	0	210.79	3.59
1	1	0	1	1	1	214.69	3.90
1	1	1	0	0	0	218.96	4.27
1	1	1	0	0	1	222.90	3.94
1	1	1	0	1	0	226.47	3.57
1	1	1	0	1	1	230.41	3.94
1	1	1	1	0	0	234.45	4.04
1	1	1	1	0	1	238.38	3.93
1	1	1	1	1	0	241.95	3.57
1	1	1	1	1	1	245.86	3.91

从“1000000”到“11111111”的数据不一一列出，根据理论值，可得到 DAC 的微分线性误差和积分线性误差，如图 3-9(a)、(b)所示。

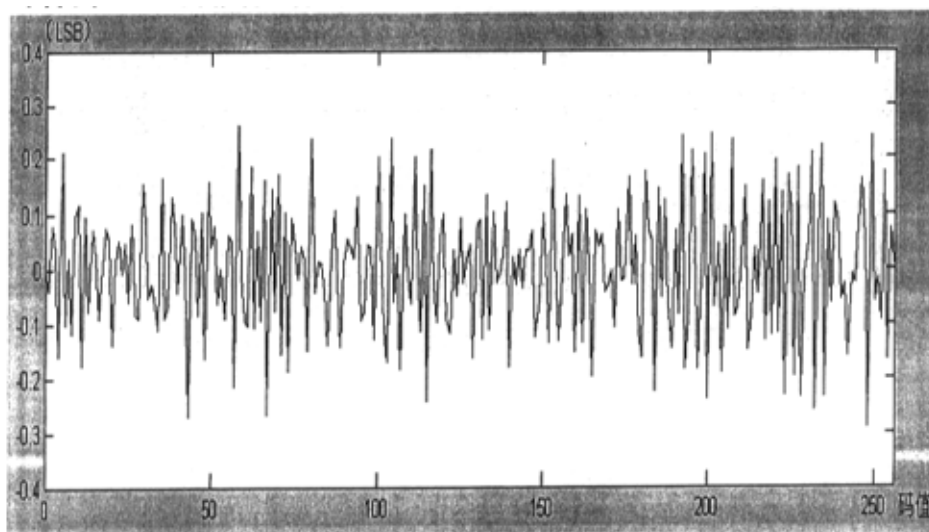


图 3-9(a) DAC 的微分线性误差

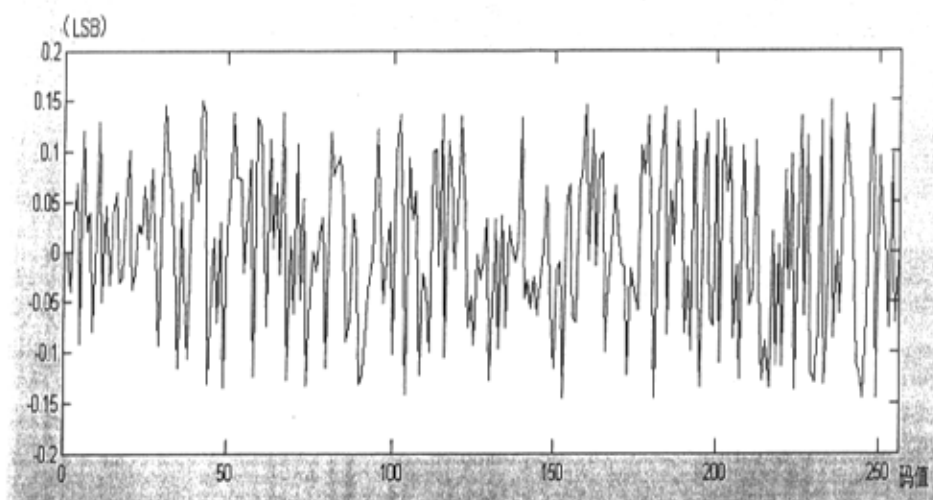


图 3-9(b) DAC 的积分线性误差

模拟仿真的结果，DAC 的微分线性误差达到 $\pm 0.28\text{LSB}$ ，积分线性误差达到 $\pm 0.15\text{LSB}$ ，线性精度达到 $1/2\text{LSB}$ 。

三、功耗

图 3-10 为 DAC 电路数字输入从全“0”阶跃到全“1”的功耗变化模拟仿真结果，本电路采用 CMOS 制造工艺，在正常工作温度下 (25°C)，其功耗低于 10mW 。

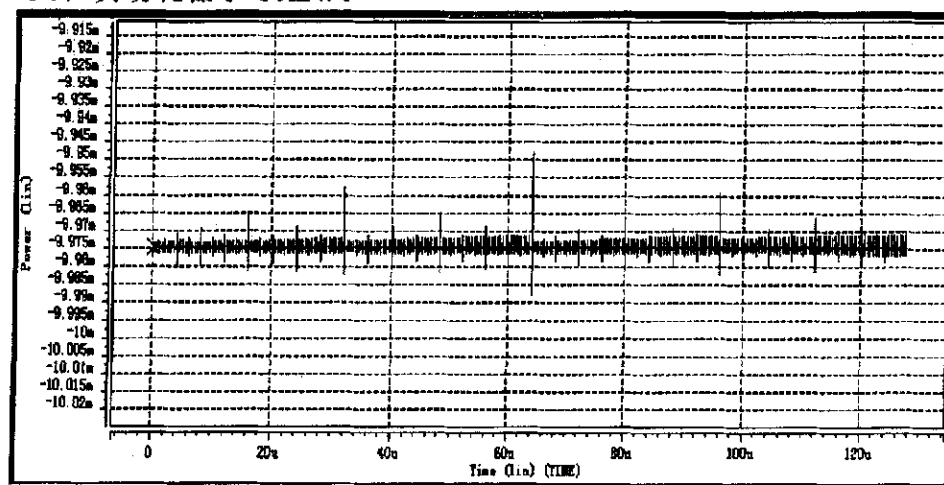


图 3-10 一个全阶跃周期内的 DAC 功耗

3.3.2 建立时间

DAC 是用建立时间来描述其速度的。如前所述, 建立时间是指从输入数码改变到 DAC 的输出稳定在某一指定的误差带之内所经历的时间, 一般误差带是指 $1/2\text{LSB}$ 。这个参数反映了 DAC 输出从一个稳态值到另一个稳态值的过渡过程的长短。它就是 DAC 完成一次给定精度下的转换所需要的时间。

建立时间由内部逻辑电路系统的切换时间和寄生的接点电容产生的电路瞬变切换时间所决定, 而这些因素的影响又主要由高位数据 (MSB) 的阶跃变换所决定。输入数字变化的大小不同, 将使 DAC 中产生的电流变化不同, 所以应按最坏情况确定建立时间。通常以输入数码由全 0 变化为全 1 时, DAC 输出达到稳定的时间作为建立时间。

模拟得到的建立时间的波形如图 3-11 所示。

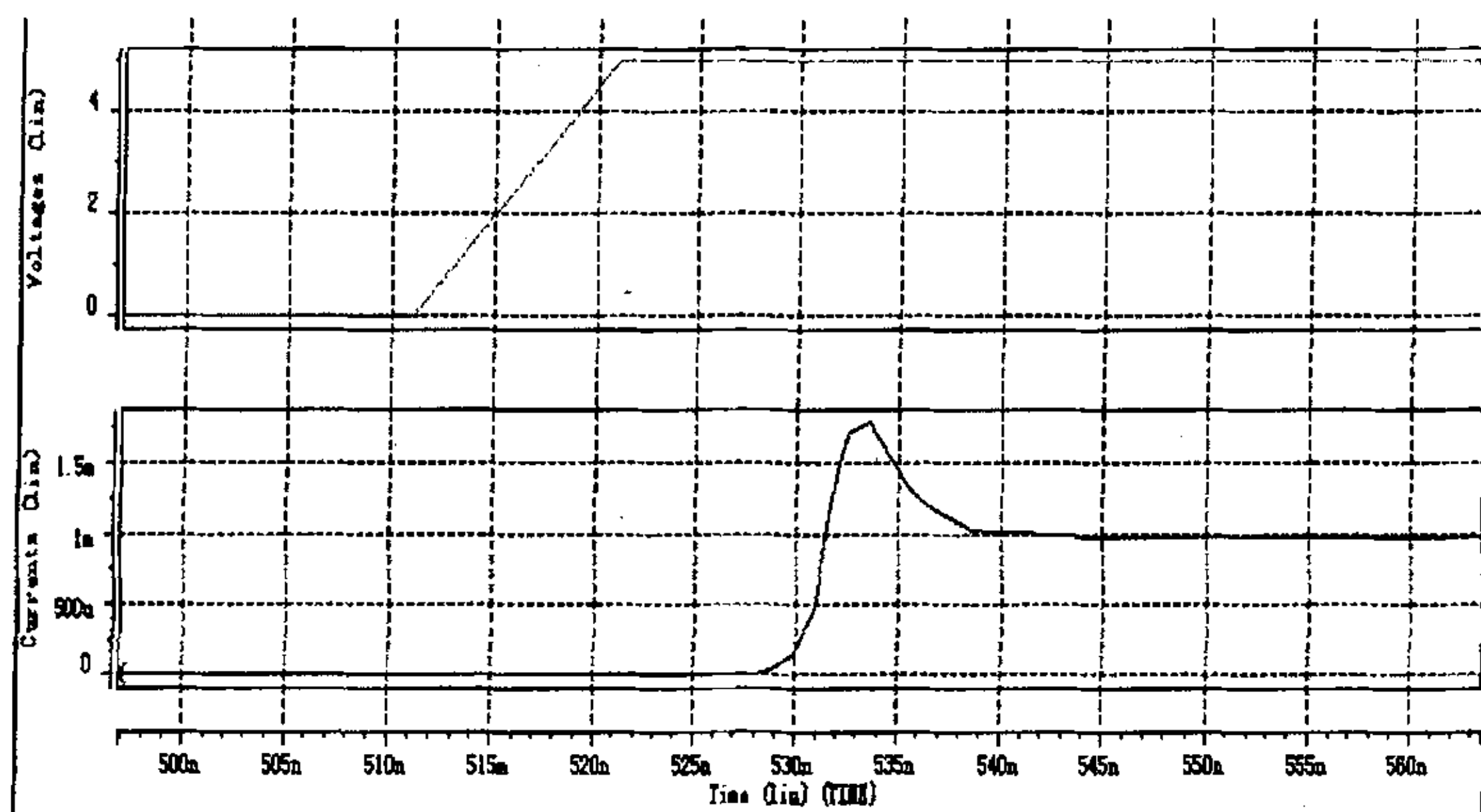


图 3-11 DAC 建立时间模拟曲线

图 3-11 中上面的波形为输入满刻度幅值的阶跃信号的波形, 下面的波形为输出产生响应到信号稳定过程的波形。从图中可以看出, 从输入满刻度幅值的阶跃信号到输出稳定信号之间的建立时间约为 28ns 。

第四章 版图设计

4.1 CMOS 集成电路的工艺特点

CMOS 集成电路是指在同一块半导体芯片上制作 PMOS 和 NMOS 两种晶体管, 由于在同一芯片上采用两种互补类型的 MOSFET, 所以称为互补金属氧化物场效应晶体管, 即 CMOS (Complementary Metal Oxide Semiconductor)。

CMOS 工艺通常有三种不同的工艺, 即 P 阱 CMOS 工艺、N 阱 CMOS 工艺和双阱 CMOS 工艺。P 阱 CMOS 工艺是以 N 型单晶硅为衬底, 在其上制作 P 阱, NMOS 晶体管做在 P 阱内, PMOS 晶体管直接做在 N 型衬底上。P 阱通过软连接接在整个电路的最负电位上, N 衬底接最高电位, 通过反向偏置的 PN 结实现 PMOS 器件和 NMOS 器件之间的相互隔离。N 阱 CMOS 工艺正好和 P 阱 CMOS 工艺相反。对于双阱工艺来说, N 阱和 P 阱的内部都必须使用欧姆接触来形成偏置晶体管。

4.1.1 硅栅 CMOS 工艺

硅栅工艺是利用重掺杂的多晶硅来代替铝作为 MOS 管的栅电极, 使 MOS 电路特性得到很大的改善, 它能降低阈值电压 V_T , 也容易获得合适的阈值电压并能提高开关速度和集成度。硅栅工艺具有自对准作用。多晶硅栅能直接作为 MOSFET 的限定源、漏区注入的掩蔽层, 使栅区与源、漏交叠的密勒电容大大减小, 也使其他寄生电容减小, 使器件的频率特性得到提高。另外, 在源、漏扩散之前进行栅氧化, 也意味着可得到浅结。硅栅工艺可以提高芯片的集成度, 使芯片面积比使用铝栅缩小 50%, 同时可以增加布线灵活性, 从而改善了电路的性能。如图 4-1 是 MOS 晶体管的截面结构图。它具有很薄的、高质量的 SiO_2 层作为高控制灵敏度的栅区氧化层 (简称栅氧), 也有较厚的对外场不敏感的 SiO_2 层 (简称场氧) 用来隔离集成电路中各个 MOS 晶体管。

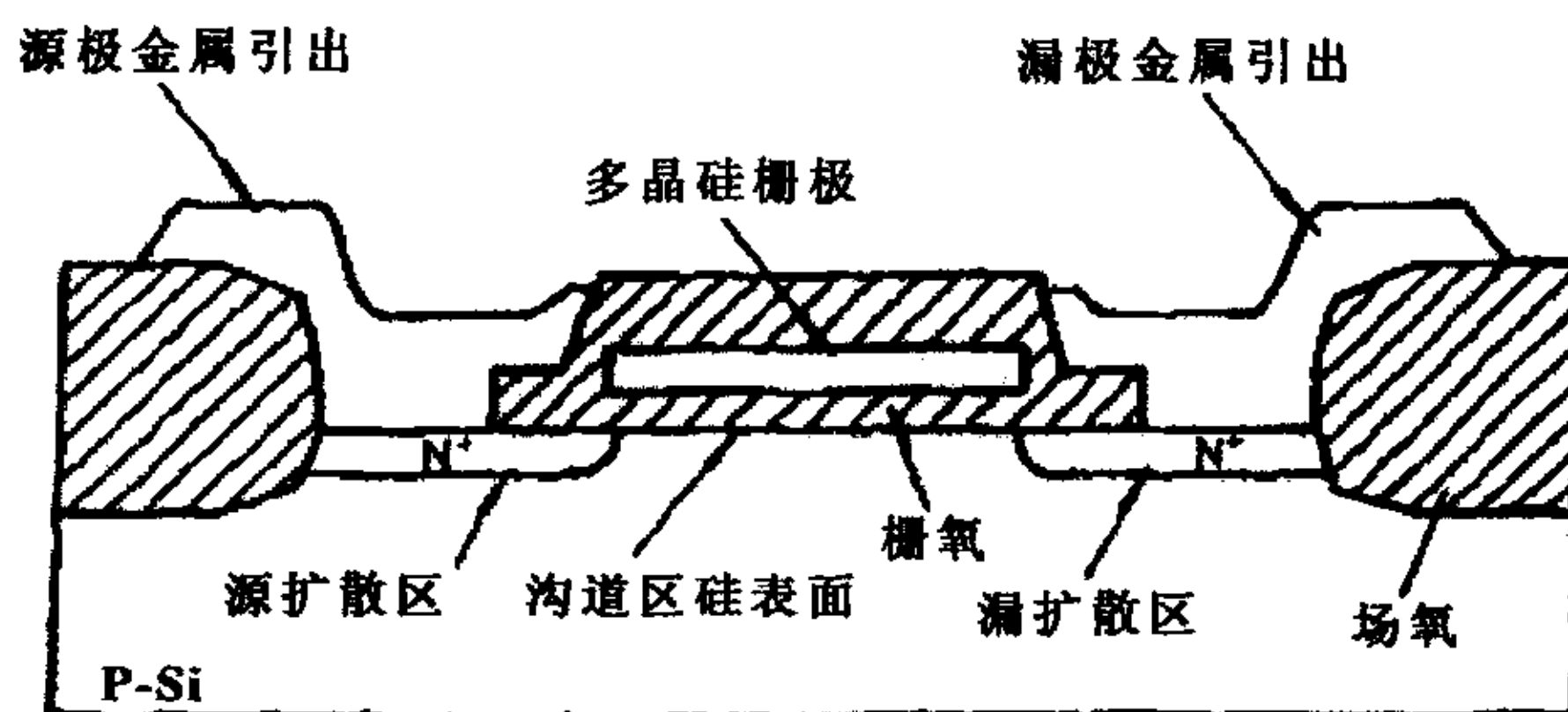


图 4-1 硅栅 CMOS 中 N 管剖面结构图

4.1.2 P 阱 CMOS 工艺

实现 CMOS 电路的工艺技术有很多。CMOS 是在 PMOS 工艺技术基础上于 1963 年发展起来的，因此采用在 n 型衬底上的 P 阱制备 NMOS 器件是很自然的选择。由于氧化层中正电荷的作用以及金属栅与衬底的负的功函数差，使得在没有沟道离子注入技术的条件下，制备低阈值电压（绝对值）的 PMOS 器件和增强型 NMOS 器件相当困难。于是，采用轻掺杂的 n 型衬底制备 PMOS 器件，采用较高掺杂浓度扩散的 P 阱做 NMOS 器件，在当时成为最佳的工艺组合。考虑到空穴的迁移率比电子迁移率要低近 2 倍，且迁移率的数值是掺杂浓度的函数（轻掺杂衬底的载流子迁移率较高）。因此，采用 P 阱工艺有利于 CMOS 电路中两种类型器件的性能匹配，而且尺寸差别较小。P 阱 CMOS 经过多年的发展，已成为成熟的主要的 CMOS 工艺。与 NMOS 工艺技术一样，它采用了硅栅、等平面和全离子注入技术。

4.2 版图设计

在完成电路的设计分析和模拟之后，下一步就是进行版图设计。

版图设计以减小芯片面积、提高电路性能、节省设计费用为目标。设计芯片的过程是从设计最基本的元件开始，然后设计由元件组成的门及设计由门组成的基本单元、宏单元，最后是芯片。其中宏单元和基本单元作为子电路模块，是版图设计的最基本环节。

4.2.1 版图设计规则和技巧

版图设计是电路设计中的主要工作，其设计的合理性直接影响到电路的最终结果。版图设计除了要遵循一些基本的设计规则，同时也要考虑一些特殊的要求。其设计技巧主要有以下方面的考虑：布局是否合理；单元配置是否恰当；布线是否合适。

1. 模拟电路敏感元件的对称性和敏感参数的精确性。在芯片的实现过程中，由于工艺参数本身的容差，随着温度的漂移，很难保证电路元件参数的绝对准确性。在实际版图设计过程中，所能保证的只是两个或多个元件之间的相对精度。只要这些元件之间保持良好的几何对称性，就能够在存在工艺参数变化、温度漂移的环境下，各个元件的电学参数之间的比值基本保持不变。在设计时，必须把对称性要求高的元件放得尽量靠近，使得横向的跨度尽量小。对于沟道宽度较大的 MOS 管的版图，需用“叉指”结构来减小栅电阻，并使诸如失配、串扰等效应最小化。
2. 版图设计的模块性。由于模拟电路版图设计完全是由手工完成，所以即使是绘制一块很小面积的版图也需要投入大量的时间和精力。在设计版图时充分考虑模块化设计，能够复用的电路尽量作成单元的形式，单元内部的版图只需要绘制一次，以后就只要重复调用该单元就可以了。
3. 要保证需要配对器件的对称性，具有排列方向、周围环境、温度梯度等的一致性，才能保证最大限度地减小最终电路的失调电压、串扰、噪声等效应。
4. 要保证模拟电路部分和数字电路部分有足够的间隔，保持较好的独立性，尽量减小互相之间的干扰，特别是数字部分对模拟部分的干扰。
5. 高频电路布线要注意信号线近距离平行走线所引入的“交叉干扰”。对特别重要的信号线或局部单元实施地线“包围”的措施。
6. 各类信号线不能形成环路，地线也不能形成电流环路。
7. 尽量减少金属布线通过晶体管的有源区。

版图设计规则制定了制造集成电路的掩膜版上的几何图形的约束

关系。它是电路设计和电路制造之间必要的接口文件，把电路的电气参数要求与版图设计的几何映射很好地结合起来。这里的版图设计规则中包括芯片制造过程中的各扩散层以及多晶、金属的电气参数、片电阻、片电容。

关于版图的具体设计规则不进行详细说明，下面介绍具体的版图设计。

4.2.2 版图设计

本设计采用无锡上华的 $2\mu\text{m}$ CMOS 工艺，表 4-1 为版图设计中采用的工艺掩膜板：

表 4-1 上华 $2\mu\text{m}$ 工艺掩膜板说明

编号	层次名	说 明
1	P-well	P 阱
2	Active	有源区
3	N+ implant	N+注入，用于 NMOS 的源漏区
4	P+ implant	P+注入，用于 PMOS 的源漏区
5	Metal	金属
6	Poly	多晶硅
7	Contact	接触孔
8	Pad	压焊块

下面是部分电路版图及总体版图：

一、MOS 管（NMOS 和 PMOS）

图 4-2 为电路中 NMOS 晶体管的版图和结构。本设计采用 N 型衬底 P 阱 CMOS 工艺，在 N 型衬底上制作 P 阱，NMOS 晶体管做在 P 阱内。PMOS 晶体管就直接做在 N 型衬底上。

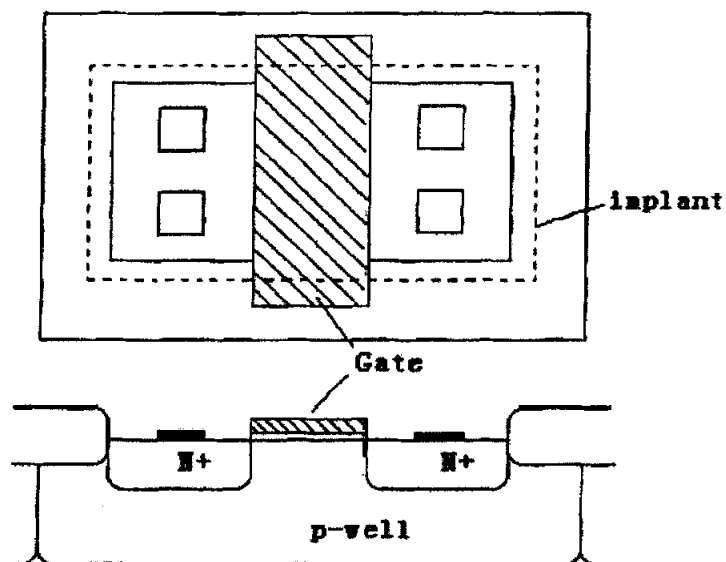


图 4-2 NMOS 管版图及结构示意图

二、CMOS 反相器

图 4-3 为 CMOS 反相器的版图结构。可以看到，反相器中的 MOS 晶体管采取横向配置（水平布局）。

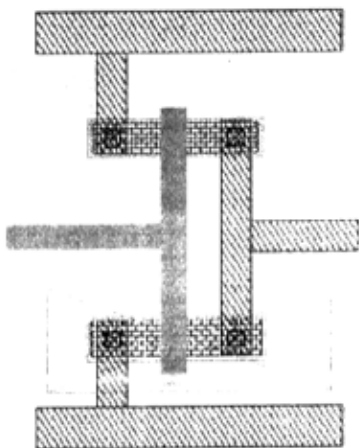


图 4-3 CMOS 反相器版图结构

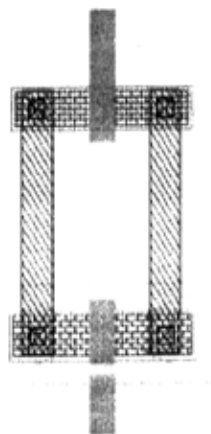


图 4-4 传输门的版图结构

三、传输门

图 4-4 为传输门的版图结构。传输门栅极需要加上时钟或其他控制信号，这些信号需要由信号源或者上一级电路传送过来并加在栅极上。所以传输门版图设计时需要仔细考虑栅极信号走线的布向。

四、总体结构

DAC 总体版图结构如图 4-5 所示。在设计中数字电路部分和模拟电路部分相隔比较远，而且分别使用不同的电源和地，能够保持比较好的独立性，减小相互之间的干扰。

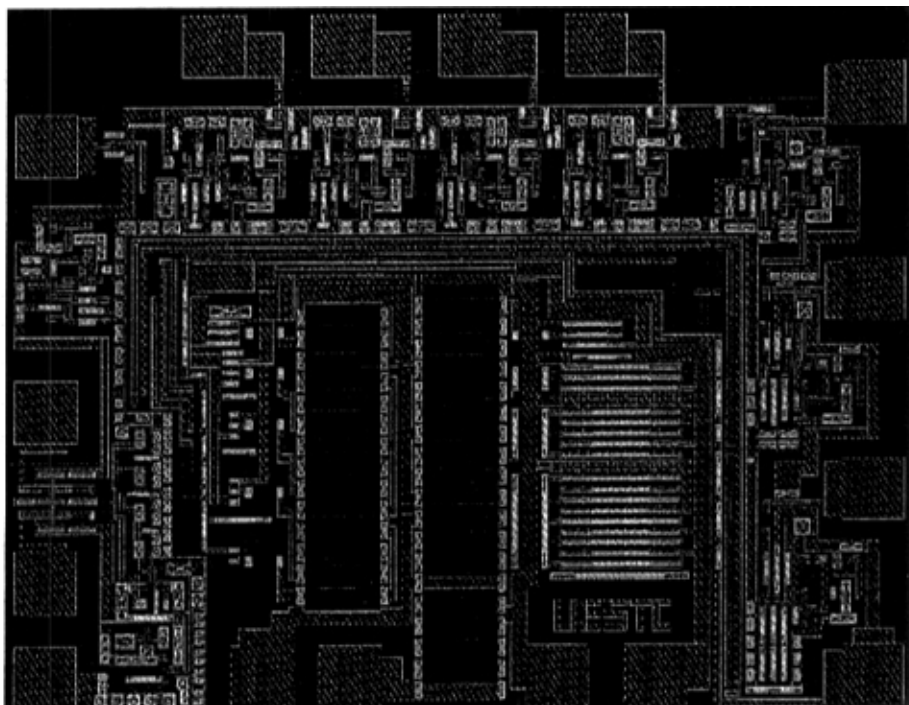


图 4-5 DAC 的总体版图结构

第五章 结论

本文完成了一种 8 位高精度,低功耗 DAC 的设计及版图实现。其指标达到设计要求,具有一定的先进性和实用意义。

在一年多的论文工作中,通过广泛查阅国内外相关资料,仔细分析各种 DAC 结构的优缺点,结合设计需要达到的指标,确定了比较合适的方案,最后实现 DAC 的设计工作。

一、所设计的 DAC 输入采用并行数字输入结构,输出采用互补电流输出结构,在保证精度和功耗设计要求基础上实现数据快速转换。

二、电流型结构适合作为高速 DAC 的主体结构。电压型的 DAC 具有所需元器件以及开关层数较多的缺点,因此比一层开关的电流型 DAC 速度慢;电荷型的 DAC 随精度的升高面积而急剧增大,而且对寄生电容敏感;而电流型 DAC 只受到电流开关速度的影响。

三、R-2R 梯形电阻网络 DAC,只要两种阻值的电阻就可实现二进制加权的电流输出,便于集成化,也便于实现高精度。相对于正梯形电阻网络,倒梯形电阻网络的位电流在地和求和点之间变换并不改变流进梯形网络的电流,开关仅在两个等电位点间控制电流,而梯形网络上的电流是一直不变的,因此梯形电阻的阻抗可尽量选大些,它的寄生电容和电感对 DAC 的动态性能没有影响。

四、从集成度、功耗、成品率等各个因素考虑,MOS 工艺尤其是 CMOS 工艺明显优于双极型工艺,本设计采用 N 衬底 P 阱 CMOS 工艺,在功耗方面有较好的表现;NMOS 管相对于 PMOS 管速度更快,有更高的电流驱动能力和高的跨导,在本设计中作为倒梯形 R-2R 电阻网络中各支路的电流开关。

五、用 Hspice 对电路进行模拟仿真,在电源电压为 5V 的情况下,数模转换器建立时间约为 28ns,微分线性度达到 $\pm 0.28\text{LSB}$,积分线性误差达到 $\pm 0.15\text{LSB}$,功耗低于 10mW,达到设计指标。

在课题的完成过程中由于条件的限制,芯片还未进行流片,不能对电路的设计做很好的验证。

上面的研究表明,对于 8 位和 8 位以下的 DAC,采用 R-2R 梯形电阻网络有着不错的应用价值。但是在位数较多时,所需要的传输时间也会增加,影响 DAC 的转换速度。电流源型 DAC 具有速度快的优点,高于 8 位的 DAC 一般采用分段电流舵和电阻网络结合的设计方法。以后将是 DAC 设计发展的主导方向。

参 考 文 献

- [1] Behzad Razavi. Design of Analog CMOS Integrated Circuits:The McGraw-Hill Companies,Inc,2001
- [2] R.J.贝克, CMOS: 混合信号电路设计, 科学出版社, 2000
- [3] R.Jacob Baker, Harry W. Li and David E. Boyce. CMOS Circuit Design, Layout, and Simulation, 机械工业出版社, 2003.6, pp791-854
- [4] Phillip E. Allen, Douglas R. Holberg, CMOS Analog Circuit Design (Second Edition), 电子工业出版社, 2002.6, pp613~646
- [5] 于继洲. 集成 A/D 和 D/A 转换器应用技术. 北京: 国防教育出版社, 1989.2
- [6] P.E 艾伦, D.R.霍尔伯格.王正华,叶小琳译.CMOS 模拟电路设计.北京: 科学出版社,1995
- [7] Huei-Chi Wang; Hong-Sing Kao; Tai-Cheng Lee, An 8-bit 2-V 2-mW 0.25-mm/sup 2/ CMOS DAC, Advanced System Integrated Circuits, Proc.IEEE Asia-Pacific Conference on 4-5 Aug. 2004 pp:102 - 105
- [8] Yijun Zhou; Jiren Yuan, An 8-bit 100-MHz CMOS linear interpolation DAC. IEEE Journal of solid-state circuits, Vol.38,No.10, October. 2003 pp:1758 - 1761
- [9] Tan G.H; Surpajo B.S; Sidek R, The Design of 8-bit CMOS Digital To analog Converter, ICSE2000 Proceeding, Nov.2000
- [10] Lei Wang; Yasunori Fukatsu; Kenzo Watanabe, Characterization of Current-Mode CMOS R-2R Digital-Analog Converters, IEEE Transaction and Measurment, Vol.50, No.6, December.2001
- [11] 朱正涌. 半导体集成电路. 北京: 清华大学出版社, 2001.1
- [12] Yu-Yee Liow; Chung-Yu Wu, The design of high-speed pipelined analog-to-digital converters using voltage-mode sampling and current mode processing techniques, Circuits and Systems, IEEE International Symposium on Volume 3, 26-29 May 2002 ,pp:III-117 - III-120
- [13] Borremans, M.; Van den Bosch, A.; Steynaert, M.; Sansen, W, A low power, 10-bit CMOS D/A converter for high speed applications, Custom Integrated Circuits, IEEE Conference on, 6-9 May 2001 Page(s):157 - 160
- [14] Chi-hung Lin and Klaas Bult.A 10-b 500MS/s CMOS DAC in 0.6mm². IEEE Journal of solid-state circuits, vol.33,No.6, pp.1448-1958, December 1998

- [15] 张英全, 侯方勇等, 数字电子技术, 机械工业出版社, 2001.1
- [16] Andersson, K.O.; Andersson, N.U.; Vesterbacka, M.; Wikner, J.J, A method of segmenting digital-to-analog converters, Mixed-Signal Design, Southwest Symposium on 2003, pp:32 - 37
- [17] 王国春, 张俊科. 模数与数模转换技术. 北京: 国防工业出版社, 1980.12
- [18] 杨振江. A/D、D/A 转换器接口技术与实用线路. 西安: 西安电子科技大学出版社, 1996.11
- [19] 徐振英, 数模转换器应用技术, 科学出版社, 2000.4

致 谢

在此论文完成之际，谨向我的导师杨谟华教授致以衷心的感谢。这篇文章的顺利完成离不开导师的悉心指导。从课题选择到论文完成的整个过程中，导师给了我极大的支持与帮助。他勤奋忘我的工作精神、一丝不苟的工作态度以及对同学们学习上、生活上无私的关怀都令我深深感动，是我们学习的榜样。

同时，还要特别感谢王向展老师，于奇老师，李竞春老师，在百忙之中抽出时间给了许多无私的指点。此外，特别感谢吴霜毅和郭向阳，在我学习期间给予我热情无私的帮助。还要感谢宁宁、周飞跃、黄云川、高涛、余佳、贾政亚、杨毓秀、李宏斌、茹季军、梁仁光、钟福如、唐宁等同学，感谢他们工作上、生活上和学习上对我的支持和帮助。

最后，衷心感谢一直关心和支持我的父母、家人及朋友，是你们的大力支持和鼓励使我得以顺利完成学业。