

摘要

光纤接入市场的升温，给下一代光线接入技术带来快速发展的机遇。无源光网络（PON）为光纤到户（fiber-to-the-home, FTTH）提供了一种低成本接入技术。随着产品技术的发展、成本的持续下降，PON 在全球范围内得到了广泛的应用。

下一代 PON 的传输速率以 10Gbit/s 为目标，而大规模的部署 10G PON 网络的成本太高。目前 1.25Gbit/s 的速率很难满足越来越多元化的网络业务对带宽的需要，因此需要选择一个中间速率作为下一代 PON 的过渡技术。

本文在分析了当前时钟数据恢复技术发展的基础上，以突发模式时钟数据恢复为对象，设计了突发模式时钟数据恢复电路方案。该方案通过提取高速串行数据中的相位信息，调整本地与串行数据同频的时钟相位到最佳采样点。可以在较少的前导码开销中完成时钟数据恢复工作。在本文的第二部分，设计了过采样实现突发模式数据恢复的电路，便于 FPGA 实现和 ASIC 定制。

1. 本文研究了适合突发模式的时钟数据恢复电路，这种电路通过边沿检测电路提取高速串行数据中的相位信息，触发相位拾取电路动态地调整采样时钟的输出，将采样时钟的输出控制在数据最佳采样点附近。在详细分析电路工作的同时，对电路进行了理论分析。

2. 利用 Pspice 对设计进行原理性验证。通过单元仿真优化并确定电路各个关键参数。联合 Simulink 对设计进行系统仿真。仿真结果表明，基于相位拾取的突发模式时钟数据恢复电路可以完成时钟数据恢复的基本功能。

3. 针对突发模式数据结构和传输的特点，设计了一种可以在 FPGA 上定制的基于空间过采样的突发模式时钟数据恢复电路。该方案采用一种新的最佳时刻选取算法，降低了过采样方法实现的复杂程度。同时建立了 PON 系统的数据传输接收系统对设计进行仿真验证。功能验证表明该系统可以正确地提取突发数据包中的有效数据，完成突发模式时钟数据恢复功能。同时，时序仿真也满足设计要求。此外，数据传输接收系统和时钟数据恢复系统都是可综合的，便于 FPGA 实现，同时对突发模式数据接收处理也有一定的参考作用。

关键词：突发时钟数据恢复，相位信息，最佳采样时刻，误码，功能验证

Abstract

Fiber-optic access market is heating up, to light a next generation of access technology opportunities brought about by the rapid development. Passive optical network (PON) provides a low cost access technology for fiber to the home. PON works to solve the pivot of high-speed backbone network and local area network, or "last mile" problem. With the development of technology, costs continued to decline, PON has been widely used all over the world.

Next-generation PON transmits at the rate of 10Gbit/s, and the large-scale deployment of 10G PON network is too costly. The rate of 1.25Gbit/s is hard to satisfy the Internet services which are more and more plentiful, so there is a need to select a middle rate of the transition as a next-generation PON technology.

This paper analyzes the development of clock and data recovery, and designs a scheme of clock and data recovery at burst mode. This scheme needs to obtain the phase of the data, then adjust the local clock to the best sample point. It just only needs a few preamble bits to complicate the function of clock and data recovery. At the second part of paper, design a CDR thought oversampling.

1. This paper discusses the circuit which suit for clock and data recovery at burst mode. This circuit includes a edge detector to extract the phase of high speed data, and trigger control circuit adjust the output of Voltage Controlled Oscillator dynamically. The output is located at the best sampling point. Analyzes the principle and performance.
2. Using Pspice to verify the design, and modify the important parameters by the unit simulation. Using Simulink/Pspice to simulate the system. The simulation results show that the burst mode clock data recovery circuit based on phase alignment can complete clock and data recovery function.
3. There are much difficult to achieve GHZ using discrete devices. Base on the features of the data structure and transmission of burst mode, this paper designs the other burst mode clock data recovery circuit based on oversampling what can custom build on FPGA. This design uses a new algorithm to choose the best

sample point, reducing the complexity. And build a data transmission and receive system to verify the design. The result shows that the system can extract the data exactly, and complete the function of clock and data recovery. Furthermore, the system and the module of CDR can be synthesized, they can be built on FPGA, and reference to play the role of data processing of burst mode.

Key words: Burst mode clock and data recovery, Phase information, Best sample point, Bit error, Function verification

独创性声明

本人声明,所提交的论文是本人在导师指导下进行的研究工作及取得的研究成果。尽我所知,除了文中特别加以标注和致谢的地方外,论文中不包含其他人已经发表或撰写过的研究成果,也不包含为获得武汉理工大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

签名: 谢伟 日期: 2009.6.1

学位论文使用授权书

本人完全了解武汉理工大学有关保留、使用学位论文的规定,即:学校有权保留并向国家有关部门或机构送交论文的复印件和电子版,允许论文被查阅和借阅。本人授权武汉理工大学可以将本学位论文的全部内容编入有关数据库进行检索,可以采用影印、缩印或其他复制手段保存或汇编本学位论文。同时授权经武汉理工大学认可的国家有关机构或论文数据库使用或收录本学位论文,并向社会公众提供信息服务。

(保密的论文在解密后应遵守此规定)

研究生(签名): 谢伟 导师(签名): 王峰 日期 2009.6.1

第 1 章 绪论

宽带光接入的无源光网络(PON)技术能够大量节省主干光纤和局端设备光接口, 高密度用户区域成本低, 标准化程度高, 业务透明性较好, 网络配置灵活, 综合优势明显, 是未来宽带光接入及 FTTH (光纤到户) 方式的主要技术选择。过去十年里 PON 网络在接入应用中取得了广泛的成功。尤其是近几年, 该技术由 ATM PON (APON) 演进到宽带 PON (BPON) 然后到两种标准化的吉比特 PON (GPON 和 GEPON)。网络提供商和用户大体上对于目前的带宽是满意的, 但是随着端对端网络越来越受欢迎, IPTV 被广泛接受等原因, 对网络带宽的需求还在不断增长, 这些情况当初设计网络的时候都是没有料到的。全球对于高速数据的定义每年都会向上翻倍。如何利用现有 PON 网络资源部署下一代 PON 网络是一个亟待解决的问题。

1.1 下一代 PON 网络概述

对下一代 PON (NGPON) 的最基本要求是为每个用户提供比现在高得多的带宽。另外新技术要能够在同样的外线网络构架上运作, 这样网络运营商可以重用他们现在正在建造的接入网而不必构建新的网络。居民用户对光网络终端 (ONT) 的成本是高度敏感的, NGPON 的 ONT 成本不能增加太多。一些网络提供商可能会希望 NGPON 的 ONT 比现在的 ONT 还要便宜, 这个要求只能通过高度标准化和集成化来实现。从这个特殊的原因出发, 下一代 PON 网络很可能只有现在两个标准化组织中的一个来规范。

PON 的两个主要的标准化组织是 IEEE 和 ITU。IEEE 负责 GEPON(1.25Gbps 双向, 基于以太网帧结构), ITU 负责 GPON (2.4Gbps 下行, 1.2Gbps 上行, 基于 GPON 封装方式 GEM 帧)。两个组织现在都在积极开发 NGPON 标准^[1]。

无论是 ITU 还是 IEEE 的 PON 标准都把速率的增加作为 PON 演进到主要标准, 而且两个组织都认为 10Gbps 将会成为下行速率提升的第一步^[2]。技术方面要达到 10Gbps 的下行速率主要的挑战包括色散管理、接收机灵敏度以及更高传输功率带来的问题。

IEEE 的 10G EPON (802.3av) 版本有很多细节已经明确^[3]。已经定义了三

种光功率预算（低、中、高）和两种上行速率（1Gbps、10Gbps）。1Gbps 的上行速率和现在的规范保持一致。10Gbps 上行速率将会提供足够的带宽，不过在未来几年对居民用户进行大量部署还是太昂贵。

IEEE 的 10G EPON 的优势在于它能相对较早地过度到 NGPON。IEEE 10G EPON 可以提供最高 4 倍于 GPON 的带宽给终端用户。如果其成本可以和现在的 GPON 相比，则 10G EPON 对企业用户也有吸引力，因为其上行可以经济地实现。

ITU 的 10G PON 标准远没有 IEEE 的版本详细。IEEE 只选择了两个上行速率作为选项，不过正在争取第三个可选速率 2.5Gbps。这个速率利用了现在的 GPON 下行技术，在 1.25Gbps（过低）和 10Gbps（太贵）中间提供了一个合理的中间速率。

下一代 PON 标准技术特征有以下几点：

1. 更高的传输速率：10Gbit/s 及以上的传输速率。上下行对称 10Gbit/s 或下行 10Gbit/s 上行 1Gbit/s 的非对称系统。

2. 更高的分路比：下一代 PON 应支持至少 1: 64 的分光比，光功率预算也包括 20dB、24dB 甚至 28dB 等。

3. 更强的组网能力：下一代 PON 主要是面向 FTTB/C/N 等场景的业务需求，因此在设备形态、功能与性能、业务管控等方面得到显著提升以满足组网的需求。

4. 对 EPON/GPON 的兼容性：考虑到目前已经大量部署的 EPON 和 GPON 系统，下一代 PON 应该兼容 EPON 和 GPON，以确保网络的平滑演进，保护既有投资。

综上所述，完全基于标准的 10G PON 在几年之后才能诞生。目前的 PON 网络带宽在越来越丰富的应用面前显得捉襟见肘，而大量部署 10Gbps 网络对居民用户来说又太贵，因此，选取一个合适的中间速率作为过渡方案，对 PON 网络产品的开发和商用都有一定的意义。

1.2 时钟数据恢复类型及方法

同步是通信系统中一个重要的实际问题。PON 系统中的下行信号是连续的，因此可以使用连续信号的时钟数据恢复方法提取时钟和信号。上行信号是突发模式，数据来自不同的节点，经过的延时和衰减都不相同，因此造成了突发模

式光信号和传统光信号的区别。

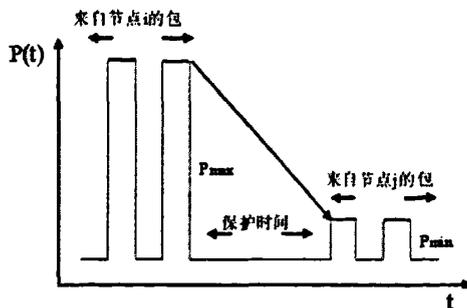


图 1-1 PON 系统上行信号示意图

图 1-1 是 PON 系统上行信号示意图。突发信号的特征是各分组信号（包括信号和开销）间幅度、相位差异很大，而各分组信号时间间隔一般又很小，且间隔不均衡，数据流中会出现长连“1”或连“0”。如何在极短的时间内快速地对信号之间大的幅度、相位突变作出正确的响应是突发技术的关键。突发信号一般产生于多点发射一点接收的时分复用系统中，各发射端到接收端的物理距离不同、信道条件不同是产生信号突发特性的主要根源。

突发数据如图 1-2 所示，主要分为两大部分前导码和数据区，前导码包括图中所示的前三部分，其中 Guard 为保护时间，以防止来自不同光发射节点的光突发信号发生碰撞，导致数据损失；Amplitude recovery filed 为信号幅度恢复区，用于峰值探测电路探测出信号的幅度，产生判决电平；Clock recovery filed 用于突发同步电路，以恢复同步时钟。Clock recovery filed 并不是必须的^[3]。高性能的突发同步电路可以实现时钟相位的即时对准，即首比特同步，无需额外的比特开销。

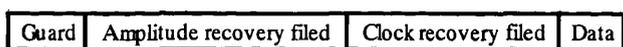


图 1-2 突发数据结构

xPON 上行为多点对一点的 TDMA 通信方式。PON 系统的测距机制保证不同 ONU 发送的信元在 OLT 端互不碰撞，但测距精度有限，一般为 $\pm 1\text{bit}$ ，OLT 端接收到的数据流为近似连续的数据流，不同 ONU 发送的时隙之间有几 bits 的防护时间，不同 ONU 发送的时隙之间有相位突变。因此，必须在信元到达的前几个比特内实现快速突发比特同步。

1.3 突发时钟数据恢复的国内外研究现状

对于连续的数据而言，由于有效数据不间断地传输，因此相位一旦锁定，数据接收就可以一直正常进行。然而对于突发数据而言，对每一个突发包都要重新进行时钟同步。PLL 微秒量级的同步时间使其不能满足高速通信中的突发时钟数据恢复（CDR）的要求^[4]。目前提出的基于 0.18 μm CMOS 工艺制造的宽带锁相环技术可以在 40ns 快速锁定信号时钟相位。在 1.25Gb/s 的数率下，恢复的数据误码率可以控制在 1×10^{-10} ^[5]以下。但是，40ns 的恢复时间，在 2.488Gb/s 的比特速率下，仍需要约 100 个比特左右的前导码的开销；对于 3.125Gb/s，需要至少 125 比特的前导码开销，速率更高时，前导码的开销更大。

PON 上行数据的幅度和相位是可以变化的。因此 OLT 需要使用一个能够快速获得相位的 BM-CDR（突发模式时钟数据恢复）。常用的突发模式时钟数据恢复方法有过采样和门控振荡法。

过采样^{[6][9]}可以分为时域过采样和空间过采样。时域过采样，指用高于系统速率几倍的采样速率，通过与前导码的比较，选择最佳的采样。但是对吉比特速率的数据来说，这种方案相当难实现；空间过采样，是将时钟信号复制多个，且每个时钟信号之间有一个相同的时延，采样后的数据进入相关器，相关器把采样的数据与已知的格式进行比较，可以确定最佳时钟，达到突发同步的目的。空间过采样，其采样倍数取决于相位差。可见，空间过采样更适合高速率的时钟数据恢复。

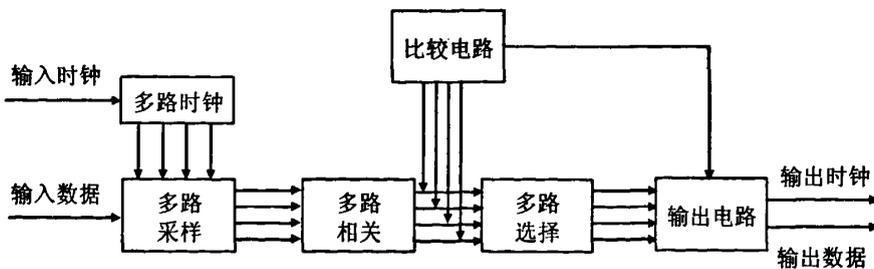


图 1-3 过采样原理图

图 1-3 是过采样的原理图。不论是时域过采样还是空间过采样，一个重要过程就是对输入信号和本地数据进行相关运算。相关运算是在精确地知道接收信号的频率或码速的前提下，让接收的信号和已知的经过延时的信号进行相关运

算，从运算结果可以判定接收信号的相位。当存储信号和输入信号有最小的相位差时，相关取得最大值，此时就可以用此时钟进行信号提取^[9]。

基于门控振荡器或其他类型的门电路。这种方法首先出现在文献[10]中。这种类型的 CDR 通过输入数据的跳变沿触发本地时钟，达到获得时钟相位的目的。

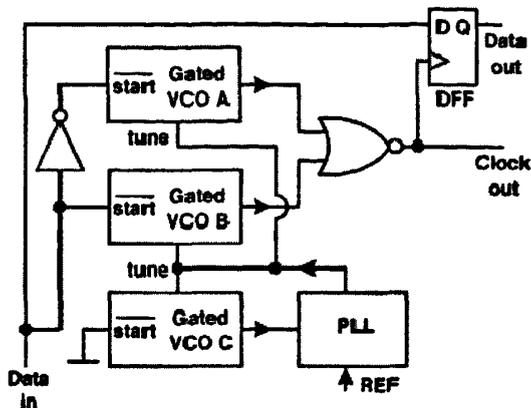


图 1-4 门控振荡法原理图

门控振荡法提取相位是瞬时的，但是这种方法容易受到脉冲畸变的影响，而且不能滤除输入抖动。文献[11]中设计了一种消除抖动的方法，但是电路实现非常复杂。基于门控振荡器或其他类型门电路的时钟数据恢复电路是当前突发模式时钟数据恢复主要的解决方案。从个人掌握的资料来看，文献[12][13]利用不同的制造工艺实现了数据速率为 10G 的时钟数据恢复电路。文献[14]采用注入锁定技术实现了 20Gbps 的突发模式时钟数据恢复。参考文献[15]通过门控振荡器实现了双速率的突发模式时钟数据恢复。参考文献[16]实现了基于 1/8 速率环形振荡器的时钟数据恢复电路，可以实现长连“0”或“1”信号的数据恢复。

过采样法定技术复杂程度比门控振荡法的复杂(以使用晶体管数量为依据)。就技术难度本身而言，相关同步法涉及精确的延迟、各延迟翻版间的准确的选取和调度，需复杂的数字处理模块才得以实现。

门控振荡法比相关法稍显简单，但是在两个从振荡器共用来自主振荡器的参考频率、受数据信号控制两从振荡器实现轮换间歇振荡、由两个从振荡器输出波形合成最终时钟输出和对合成时钟时杂散微小脉冲的压制、以及两从振荡器之间的动态协调^[17]。门控振荡法两个门控振荡器在输入数据的控制下轮流交替工作，所以对器件的一致性要求极其严格。分离元件不可能实现，一般使用

CMOS 集成电路实现。

过采样法由于涉及数字处理环节太多，同步较慢，一般为 μs 量级。输出时钟稳定性不高，而且必须用突发块开头几个比特作为相关图案建立比特同步。

门控振荡法同步极快，同步开销较少，输出时钟稳定性好，但频谱不纯净。不需专门比特开销作为同步图案，首码即可即时相位锁定。门控振荡法实现同步瞬间，要求振荡器从停止即刻开始振荡，而门控振荡法所使用的振荡器为延迟振荡器，其建立振荡的过程是从振荡回路恢复导通到振荡在每个延迟单元完全通过的过程，这样在原理上就限制了同步时间的缩短。对于突发噪声没有处理能力^[18]。

1.4 本文的研究内容

时钟数据恢复作为通信系统中重要部分，一直是研究的重点。本文首先对 PON 系统上行数据的特点和常用的突发模式时钟数据恢复方法做了归纳和总结，然后根据 PON 系统上行数据的特点，设计了基于触发相位拾取的突发模式时钟数据恢复电路，在吉比特级上做了理论分析和仿真，从原理上验证了设计的可行性。考虑到分立器件直接实现吉比特电路的困难，在本文的第二部分利用过采样法实现了突发模式时钟数据恢复，这种过采样法的优点在于用最佳值选取法则代替了相关算法，减少了设计的硬件开销，便于 FPGA 集成。

第 2 章 基于相位拾取的突发模式时钟 数据恢复方案设计

上一章对现有常用的突发模式时钟数据恢复的方法进行了分析和比较。结合以上方法的特点，本章将设计一种基于延时相位对齐的突发模式时钟数据恢复方法。

2.1 突发模式时钟数据恢复电路的方案设计

通过上一章的分析可以总结突发光信号和常规通信系统光信号的不同：

- (1) 信号幅度的不均衡；
- (2) 在数据流中其相位也不均衡；
- (3) 数据中有长连“1”和长连“0”的出现。

突发光信号在经过前置接收机以后，输出等幅的信号。因此在时钟数据恢复阶段，突发光信号时钟数据恢复面临的主要困难是（2）和（3）。由于数据流中的相位不均衡，为了准确地得到恢复数据，需要实时地调整恢复时钟的相位，以保证得到正确的恢复数据。此外，还要保证恢复数据的采样时刻位于最佳数据的最佳采样点。同时，突发同步电路保证在出现长连“1”或长连“0”时，恢复时钟不发生偏移。

本章设计的时钟数据恢复方案的思想是通过输入数据的相位调整采样时钟的相位，克服数据包之间相位不均衡的问题；采用独立的采样时钟对数据进行采样，避免数据中“1”或长连“0”对采样时钟的影响^[19]。

如图 2-1 所示，时钟数据恢复电路由四个部分组成：1) 边沿检测；2) 时钟调整电路；3) 相位拾取；4) 数据判决。

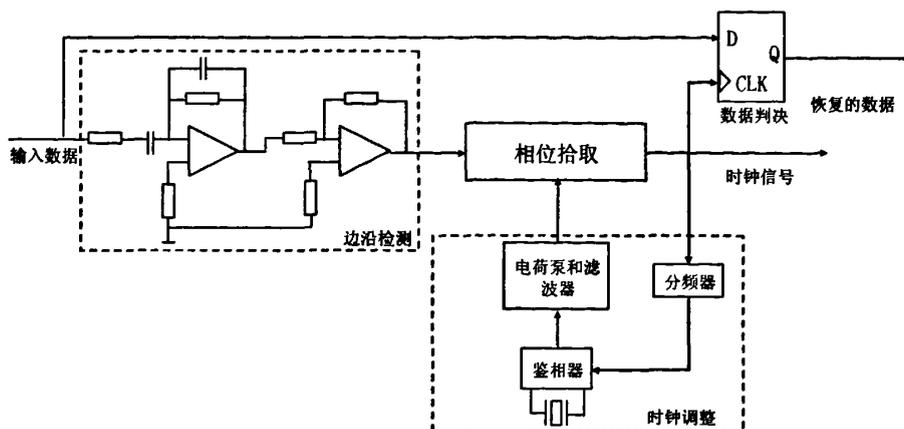


图 2-1 突发同步方案电路框图

在图 2-1 中，边沿检测电路对输入突发数据的跳变沿进行检测。这个电路可以同时检测出正跳变（0→1）和负跳变（1→0）。这样就可以得到含有信息的时钟相位信号。时钟调整电路的主要作用监测恢复时钟，调整相位拾取电路的控制信号，使相位拾取电路的输出时钟与输入数据同频。设计的核心部分是相位拾取电路。边沿脉冲信号触发控制相位拾取电路，实时的调整时钟信号的相位，使时钟信号的相位达到数据判决的最佳采样时刻。由于采样时钟的频率与输入的突发数据相同，即使出现较长的相同数据电路也能保持同步^[20]。突发数据和相位拾取电路的输出可以直接进入数据判决电路进行数据恢复，从而完成时钟数据恢复的功能。

下面将具体说明四个部分的工作原理和作用，以及各个模块之间的关系。

2.2 边沿检测电路

边沿检测电路的作用是从输入数据中提取相位信息，供后续的比特同步使用。通过微分运算电路就可以检测出输入数据的上升沿和下降沿。

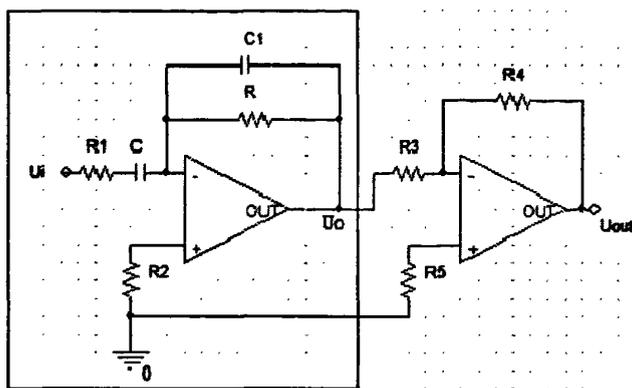


图 2-2 边沿检测电路原理图

图 2-2 给出了边沿检测电路的示意图。图中 U_i 表示输入的数据， U_o 表示微分运算的输出， U_{out} 是边沿检测的输出。因此有

$$U_o = -\tau \frac{dU_i}{dt}$$

$$U_{out} = -U_o \cdot \frac{R_4}{R_3}$$

其中 $\tau = RC$ 。R 和 C 的值需要根据输入突发数据的速率进行确定。t 的大小直接影响相位拾取电路中时钟有效同步相位的保持时间，即同步相位的调整。因此，t 的取值需要满足数据判决电路最佳判决条件的需要。在电阻 R 上并联的电容起到了相位补偿的作用，提高了电路的稳定性。图 2-2 中由运算放大器构成的微分运算电路是反相微分运算电路，因此在微分电路的输出端还需加入倒相器，其中 $R_3 = R_4$ 。

2.3 相位拾取电路

2.3.1 工作原理

相位拾取电路的核心是一个集基耦合多谐振器^[22]，目的是自振荡产生所需的时钟频率。如前所述，突发数据流中数据相位不均衡，因此需要根据边沿检测输出的数据相位信息调整时钟的相位。其电路如图 2-3 所示。

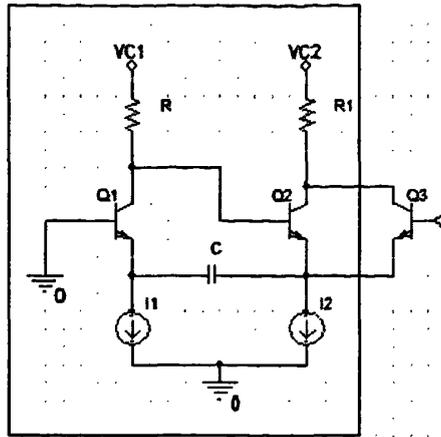


图 2-3 相位拾取电路图

图 2-3 中，方框内是相位拾取的核心结构—集基耦合多谐振荡器。在多谐振荡器的输出管上接一个晶体管 Q3，构成了 ECL 电路中常见的“线与”结构。

为了便于说明，首先对多谐振荡器进行分析。

多谐振荡器中晶体管 Q1 采用共基极接法，频率特性较共射极好。定时电容接在发射极，因而集电极输出波形前后沿好，用较大的恒流源对其充电，所以晶体管的漏电流影响小。定时电阻 R 是晶体管 Q1 的集电极负载电阻，可选比较小的数值。因而环境温度、电源电压和晶体管参数变化对重复周期影响都很小，重复周期可以极短，振荡频率可以很高而且稳定。

由于电路中 I_1 和 I_2 是恒流源，而流过晶体管 Q1 和晶体管 Q2 的发射极电流总是由这两个恒流源提供的。因为 I_1 和 I_2 均为常数，所以 I_{e1} 与 I_{e2} 之和也为常数。当两管中任意管的电流增加时，另一管的电流必然会减小，其和不变。

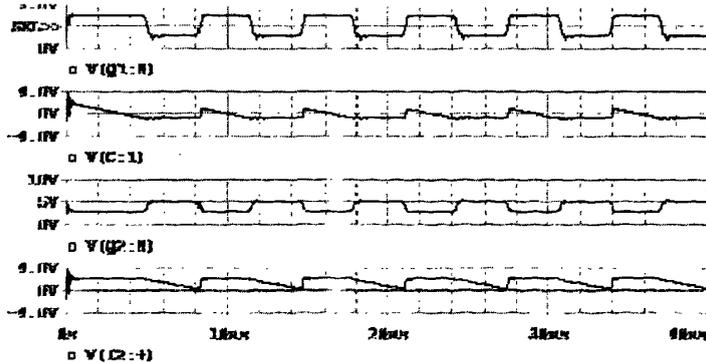


图 2-4 晶体管各点波形

图 2-4 是晶体管 Q1 和 Q2 的各点波形, 至上而下分别是 V_{c1} 、 V_{e1} 、 V_{c2} 、 V_{e2} , 其中 $V_{c1} = V_{e2}$ 。从图中可以看出, 当其中一个晶体管导通时, 另一个晶体管截止。晶体管 Q1 由导通变到截止时, 其集电极电压 V_{c1} 有一个幅度为 V_R 的正跳变。晶体管 Q2 的基极电压 V_{b2} 会有一个同样的跳变, 形成 Q2 的正向偏置电压, Q2 管导通。晶体管 Q1 的截止电流对定时电容 C 充电, 电压 V_{e1} 随着 C 的充电而降低。当 V_{e1} 下降到略小于 0 时, 晶体管 Q1 重新导通。

晶体管 Q1 导通, Q2 截止, 电流 I_2 将使定时电容 C 放电, V_{c2} 将随着 C 的放电而下降。当 V_{c2} 下降到比 V_{e2} 低一点时, 晶体管 Q2 导通, 集电极电流 I_{c2} 上升, I_{e1} 下降, V_{c1} 上升, V_{e2} 上升, 最终导致晶体管 Q2 导通, Q1 截止。

综上所述, 晶体管 Q1 和晶体管 Q2 犹如两个开关在工作, 控制着定时电容 C 的充放电。定时电容 C 的充放电又会造成这两个开关的自动切换。无论是晶体管 Q1 截止、Q2 导通, 或是晶体管 Q1 导通、Q2 截止都是电路的暂稳态。正是这两个暂稳态不断循环, 就构成了多谐振荡器的振荡。

如果晶体管进入饱和区, 而且饱和太深时, 会导致多谐振荡器无法正常工作。因此, 为了进一步提高工作频率, 需保证晶体管在导通时不进入饱和区。

晶体管 Q1 在导通时不进入饱和区的条件是 $V_{c1} < V_{b1}$, 而

$$V_{b1} = 0$$

$$V_1 > (I_1 + I_2)R = V_R$$

$$\text{即 } V_{c1} = V_1 - V_R = V_1 - (I_1 + I_2)R$$

晶体管 Q2 在导通时不进入饱和区的条件是 $V_{c2} < V_{b2}$, 从而

$$V_{b2} = V_1$$

$$V_{c2} = V_2 - V_{R1} = V_2 - (I_1 + I_2)R_1$$

$$\text{即: } V_2 > V_1 + V_{R1} = V_1 + (I_1 + I_2)R_1$$

式中, V_{R1} 为输出时钟的幅度。

晶体管 Q3 是触发端, 它和多谐振荡器一起构成了相位拾取电路。晶体管 Q3 输入为低电平, 输出为高电平时, 整个电路的输出由多谐振荡器单独决定。而当触发尖脉冲到来时, 晶体管 Q3 导通, 通过 Q3 的电流 I_{e3} 是 I_2 的一个分支, 从而它使 I_2 急剧增加, 从而 V_{c2} 处产生一个负跳变。又由于限流作用, I_{e1} 急剧减小, 从而 V_{c1} 产生正跳变, 而 V_{b2} 也有同相幅度的正跳变, 这样进一步加大 I_{c2} , 从而加大 I_2 , 减小 I_1 。图 2-5 是触发相位调整的时序图。当原始信号和触发信号同时为高, 且触发信号高于某一阈值时, 恢复时钟会被强制拉低, 产生一定延

时，对其相位作出调整。

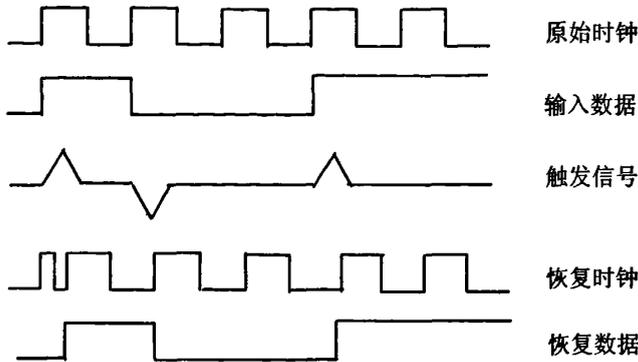


图 2-5 触发相位调整时序

2.3.2 重复周期的计算

多谐振荡器的重复周期为两个晶体管交替导通截止形成的两个暂稳态时间 T_{m1} 和 T_{m2} 之后。

由前面的分析可以知道，在 T_{m1} 期间，晶体管 Q1 截止，Q2 导通时，定时电容 C 充电，充电电源为恒流源 I_1 。故在暂稳态 T_{m1} 期间，定时电容 C 充电的电荷量为 ΔQ

$$\Delta Q = T_{m1} \times I_1 \quad (2-1)$$

而任意时刻定时电容 C 两端的电压为 $V_C = V_{e2} - V_{e1}$ ，所以在晶体管 Q1 截止，Q2 导通，定时电容开始充电时，有

$$V_{i1} = V_{e2} - V_{e1} = V_1 - V_R - 0.5 \quad (2-2)$$

定时电容 C 充电结束，即晶体管 Q1 导通，Q2 截止时，有

$$V_{i2} = V_{e2} - V_{e1} = V_1 - 0.5 \quad (2-3)$$

所以在 T_{m1} 期间，定时电容 C 上的电压变化量为

$$\Delta V = V_1 - 0.5 - (V_1 - V_R - 0.5) = V_R \quad (2-4)$$

因此可以得出：

$$\Delta V = V_R = \frac{\Delta Q}{C} = \frac{T_{m1} I_1}{C} \quad (2-5)$$

又因为

$$V_R = (I_1 + I_2)R \quad (2-6)$$

所以

$$T_{m1} = \frac{CV_R}{I_1} = \frac{(I_1 + I_2)CR}{I_1} \quad (2-7)$$

在 T_{m2} 期间, 晶体管 Q1 导通, Q2 截止, 定时电容 C 放电, 放电电流为恒流源 I_2 。因此在 T_{m2} 期间, 定时电容 C 的放电电荷量为

$$\Delta Q = T_{m2} \times I_2 \quad (2-8)$$

定时电容 C 在两个暂稳态期间分别充电和放电。在一个工作周期中, 充电电荷和放电电荷应该是相同的, 即

$$T_{m2} \times I_2 = T_{m1} \times I_1 \quad (2-9)$$

则

$$T_{m2} = \frac{I_1}{I_2} T_{m1} = \frac{I_1 + I_2}{I_2} RC \quad (2-10)$$

所以, 多谐振荡器的重复周期为

$$T = T_{m1} + T_{m2} = \frac{(I_1 + I_2)^2}{I_1 \times I_2} RC \quad (2-11)$$

要求输出时钟是占空比为 50% 的方波, 则 $T_{m1} = T_{m2}$ 。所以 $I_1 = I_2$, 代入上式中, 可得到

$$T = 4RC \quad (2-12)$$

由此可见, 多谐振荡器的重复周期只与定时电容 C 和定时电阻 R 有关。

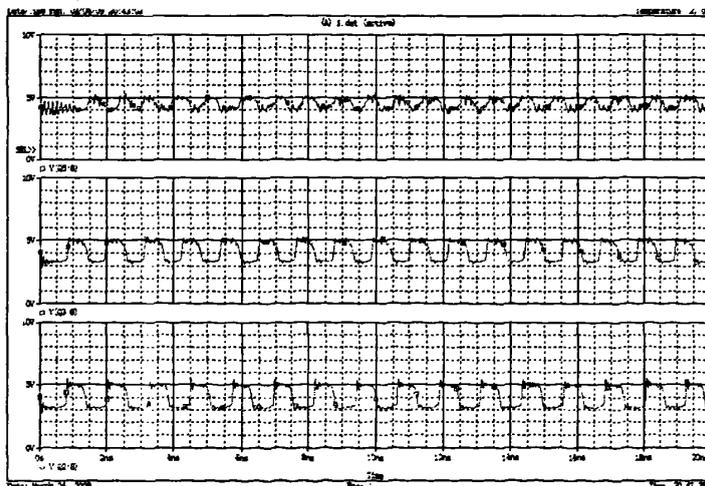


图 2-6 1.25GHz 多谐振荡器时钟波形

图 2-6 显示了多谐振荡器生成的 1.25GHz 的时钟波形。设 $I_1 = I_2 = I$, V_1 和 V_2 为定值, 结合晶体管工作在放大区而不进入饱和区的条件, 有

$$I < \frac{V_2 - V_1}{2R_1}$$

图 2-6 给出的波形, 恒流源分别为 50mA, 90mA, 100mA。从图中可以看出, 采用大电流对定时电容 C 进行充电, 可以减少晶体管漏电流的影响。同时, 为了使用较大的恒流源, 需要减小电阻 R_1 的值。

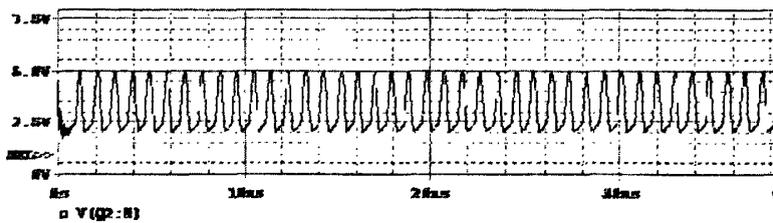


图 2-7 3.125GHz 多谐振荡器时钟波形

定时电阻 R 是晶体管 Q1 的集电极负载电阻, 它可以选比较小的数值, 因而振荡频率可以很高。此外, 晶体管工作在放大区而不是饱和区, 晶体管的开关时间较短 (没有存储时间)。晶体管 Q1 的共基极接法, 频率特性较好, 可以进一步提高工作频率。

2.4 时钟调整电路

时钟调整电路的作用是监视、调整相位拾取电路输出时钟的频率。时钟调整的结构框图和在电路中作用如图 2-8 所示。

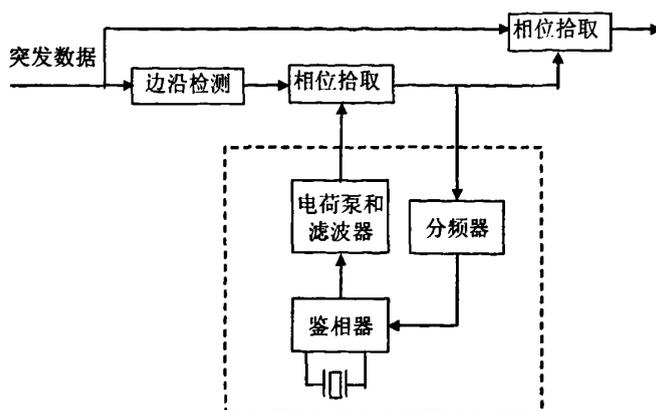


图 2-8 稳频电路示意图

在本设计中环路滤波器使用 RC 积分滤波器。结构如图 2-9 所示。

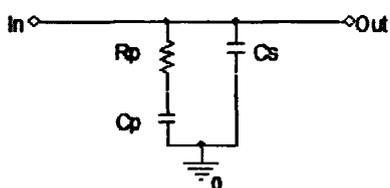


图 2-9 RC 积分滤波器电路原理图

从图中可以推出环路滤波器的传输函数为

$$F(s) = \frac{s \cdot R_p \cdot C_p + 1}{s^2 \cdot R_p \cdot C_p \cdot C_s + s \cdot (C_s + C_p)} \quad (2-13)$$

$$\text{令 } F(s) = K_f \cdot \frac{s + \omega_s}{\frac{1}{\omega_p} s^2 + s}$$

$$\text{其中 } K_f = \frac{R_p C_p}{C_p + C_s}, \quad \omega_s = \frac{1}{R_p C_p}, \quad \omega_p = \frac{1}{R_p} \cdot \frac{C_p + C_s}{C_p C_s}, \quad \omega_s < \omega_p$$

PLL 的开环增益可以表示为

$$G(s) = K_{PD} \cdot F(s) \cdot \frac{K_{VCO}}{s} = K_{PD} \cdot K_f \cdot K_{VCO} \cdot \frac{s + \omega_s}{\frac{1}{\omega_p} s^3 + s^2} \quad (2-14)$$

计算单位增益频率：

$$G(s) = K_{PD} \cdot K_f \cdot K_{VCO} \cdot \frac{s}{s^2} = 1$$

$$\rightarrow K = K_{PD} \cdot K_f \cdot K_{VCO} \quad (2-15)$$

K 是环路带宽, K_{PD} 为鉴相器增益, K_f 为低通滤波器增益, K_{VCO} 为压控振荡器增益。

设环路的相位裕量为 PM

$$PM = \tan^{-1} \frac{K}{\omega_s} - \tan^{-1} \frac{K}{\omega_p} \quad (2-16)$$

两边同时求导

$$\frac{d}{dK} \left(\tan^{-1} \frac{K}{\omega_s} - \tan^{-1} \frac{K}{\omega_p} \right) = \frac{\omega_s}{K^2 + \omega_s^2} - \frac{\omega_p}{K^2 + \omega_p^2} = 0 \quad (2-17)$$

$$\therefore K = \sqrt{\omega_s \omega_p}$$

文献^[23]提出了更为精确的计算方法, 该方法为得到最大的相位裕量, 将环路带宽选取在零点与极点的中点上得到最大的相位裕量^[23]。

令 $\gamma = \frac{K}{\omega_s} = \frac{\omega_p}{K}$, 只要选取适当的 γ 就可以得到相应的相位裕量。下表给出

了 γ 取不同值时相应的相位裕量。

表 2-1 γ 和对应的相位裕量

γ	1	2	3	4	5	6
相位裕量	0	36.9	53.1	61.9	67.4	71

根据要求的噪声性能和动态响应确定环路带宽。

对于环路带宽的选择, 有三个方面的考虑: 首先为了满足连续性近似, 系统的环路带宽必须小于输入频率的十分之一, 同时为留有一足的裕量, 再乘上 75%; 其次在考虑噪声的影响时, 带宽的选择有一个折衷的考虑, 在时钟数据恢复电路中, 伴随着输入随机数据流的相位噪声很大, 为了和串行数据传输的噪声容限特性匹配, 一般时钟数据恢复电路的环路带宽都会设定得很小; 最后带宽的大小还会影响锁定时间和静态相位误差: 带宽越大则锁定时间越短, 带宽越大, 环路增益越大, 静态相位误差也就越小。

参考串行数据传输的噪声容限的要求, 确定环路带宽为 5MHz, 由仿真结果,

输出 RMS 抖动 < 8ps, 这样的带宽设定可以满足要求。

参照表格 2-1, 选取 γ 通过公式计算零、极点。

确定了 K 、 K_{PD} 、 γ 、 K_{VCO} 等参数以后, 可以通过公式 (2-14) 计算 R_p

其中, $K_{PD} = \alpha \cdot \frac{I_{CP}}{2\pi}$, I_{CP} 为电荷泵的充放电电流, 这里取 $50\mu A$ 。 α 是和输入数据跳变密度有关的系数。当数据 “1” 和 “0” 是等概率出现时, α 是 0.5, 则有

$$R_p = \frac{K}{I_{CP}K_{VCO}(1 - \frac{1}{\gamma^2})} \quad (2-18)$$

$$C_p = \frac{1}{R_p\omega_s} \quad (2-19)$$

$$C_s = \frac{C_p}{1 - \gamma^2} \quad (2-20)$$

2.5 本章小结

本章设计了突发模式时钟数据恢复电路。首先结合电路图阐述了突发模式时钟数据恢复电路的原理。对突发模式时钟数据恢复电路的各个单元模块进行了详细的分析、计算。

第 3 章 相位拾取时钟数据恢复电路的仿真与分析

首先对仿真环境进行简单说明。为了提高仿真的效率，突发数据由 Matlab/Simulink 生成，前端接收机采用小电容耦合突发模式接收机。触发压控时钟生成电路用 OrCAD 设计，使用 PSpice 进行仿真^[24]。系统仿真采用日本 cybernet 公司的 SLPS 接口模块，利用 Simulink 和 PSpice 协同仿真。

3.1 单元仿真

3.1.1 触发电平的测试

边沿检测信号通过晶体管 Q3 对压控时钟生成电路进行触发。当边沿检测信号的幅度大于晶体管 Q3 的阈值电平时，时钟截止。为了准确地得到晶体管 Q3 的阈值电平，将晶体管 Q3 的基极接入幅度连续可调的直流信号。在 PSpice 中用信号源 VPWL 实现。

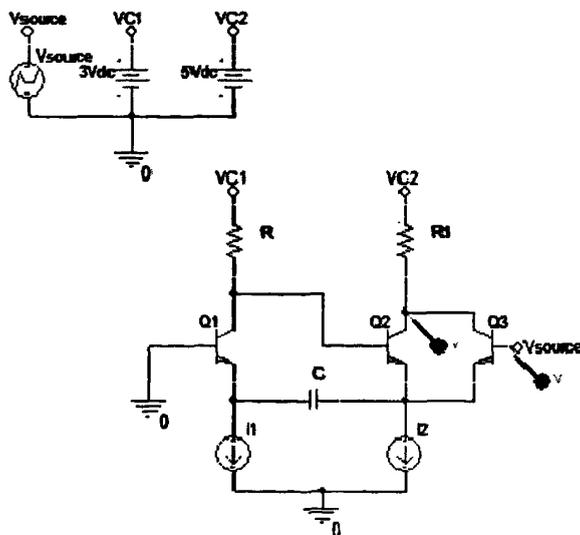


图 3-1 阈值电平测试电路

VPWL 能够实现直流电压信号的幅度分段显示。在两个时间节点之间，信

号幅度是线性变化的。测试的电路如图 3-1 所示。

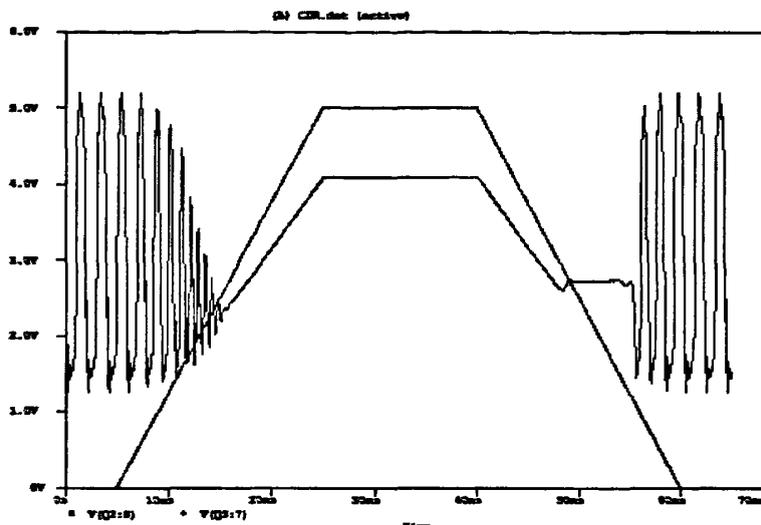


图 3-2 触发阈值电平的测试

压控时钟截止和触发电平的波形如图 3-2 所示。时钟波形从开始恶化到完全截止有 2.86V (2.14V~5V) 的电平区间。为了是压控时钟容易触发，而又不影响时钟的正常振荡，可以选取边沿检测信号的直流工作点为 2.1V。

3.1.2 相位拾取电路的仿真

仿真电路原理图如图 3-1 所示。通过仿真对电路直流工作点进行调整。对定时电阻 R 和定时电容 C 进行调谐。为了实现时钟波形和频谱的进一步完善，必须通过仿真对各级间电流、电压进行调整、优化。

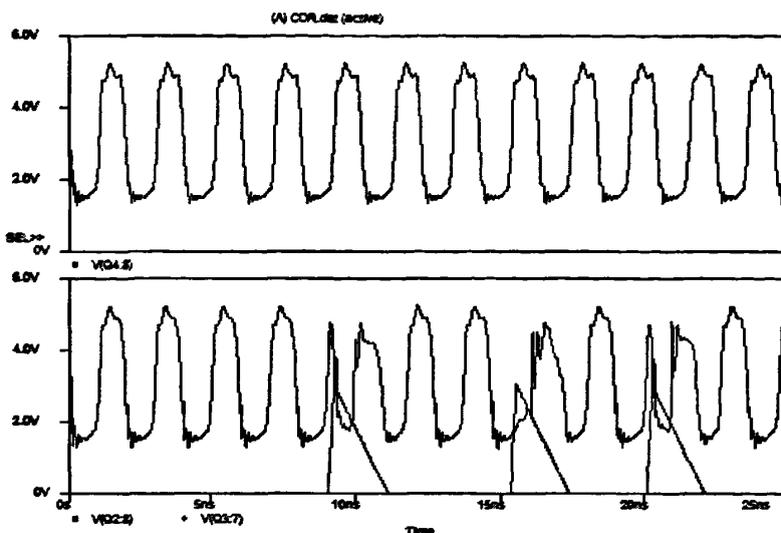


图 3-3 相位调整电路波形

相位拾取电路的波形如图 3-3 所示。其中，为了便于观察，输入数据边沿经过了展宽。从图上可以看出，输入数据边沿信号到来时，生成的时钟信号会产生延时，起到调整相位的作用。

3.1.3 时钟调整电路的仿真

稳频电路采用 Simulink 进行仿真分析。这部分主要是针对锁相环各个参数进行优化。各个参数的计算来源于第 2 章关于时钟调整电路的计算。

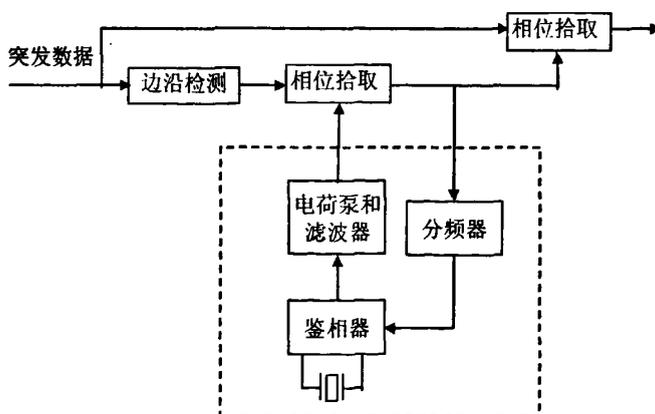


图 3-4 稳频电路仿真框图

图 3-4 是稳频电路的仿真原理图。其中鉴相器采用 DFF 鉴频鉴相器，又被称为三态鉴相器。如图 3-5 所示，该改路包括两个输出以及三个状态，D 触发器是上升沿触发。Reference 的上升沿会将 U 置为高电平；同样的，Variable 的上升沿会将 D 置为高电平。而当 U 和 D 都为高时，与非门将复位 D 触发器，使 U 和 D 立即变为低电平。

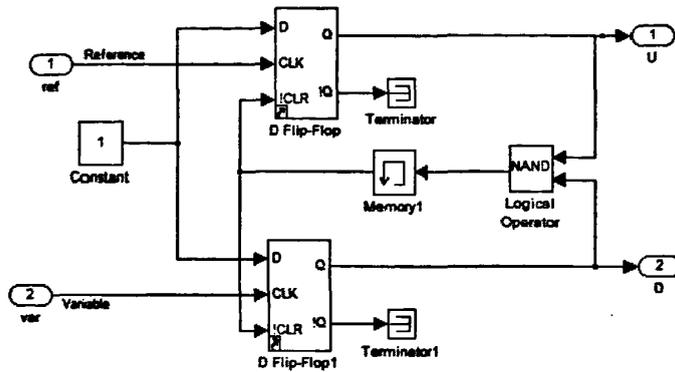


图 3-5 三态鉴相器

理想情况下，PFD 产生的 U 和 D 信号的脉冲宽度差等于输入信号的相位差。但当输入信号的相位差非常小时，逻辑门无法产生无限窄的脉冲信号，PFD 的增益几乎为零。这被称为 PFD 的“死区”（Dead zone）。此时，锁相环工作在开环状态，失去了反馈调节作用。只有当相位差大于某个值后，环路才会起作用，这将导致很大的时钟信号的抖动。为消除 PFD 中的“死区”，一般的做法是在鉴相器中的与非门后加入附加的延迟。这样，可以将 UP 和 DN 信号的脉冲宽度增加同样的大小，从而无需产生无限窄的脉冲。

3.2 系统仿真

系统仿真将各单元电路连接在一起，组成完整的时钟数据恢复，对整体电路的参数进行优化，对各单元电路之间的影响综合考虑，并对完整电路的最终性能进行整体评估。系统仿真的结构如图 3-6 所示。

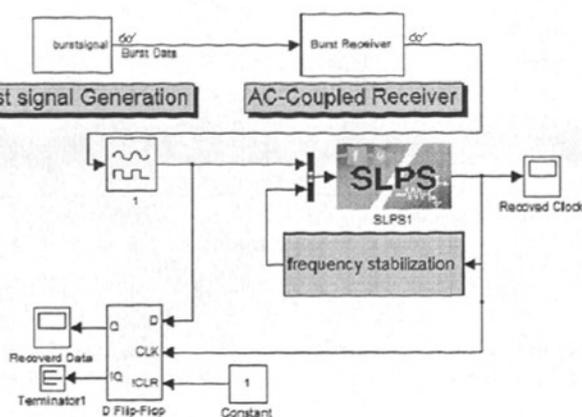


图 3-6 联合仿真系统图

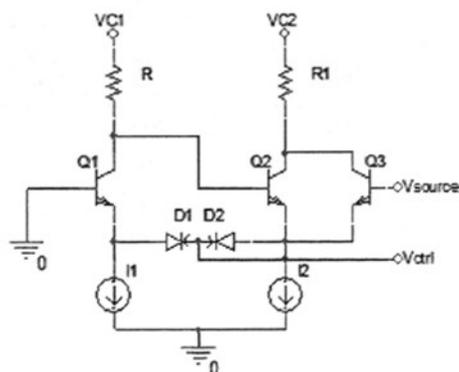


图 3-7 相位拾取电路

系统仿真由 Simulink 和 PSpice 联合仿真实现。图 3-6 中，Burst signal Generation 模块模拟发送端的突发数据^{[26],[27]}；AC-Coupled Receiver 是交流耦合实现的突发模式接收机^[28]。Edge Detector 是边沿检测模块。frequency stabilization 是外围稳频电路。SLPS 模块是 Simulink/PSpice 的接口模块，它是用 PSpice 设计的触发压控时钟生成电路。

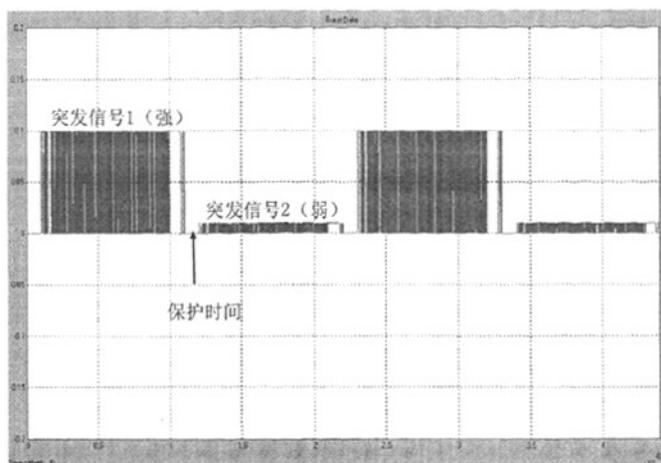


图 3-8 突发数据

图 3-8 是模拟的接收机接收到的突发数据。相邻的两个突发数据包，其幅度和相位有很大的区别。数据包之间有一定的保护时间。

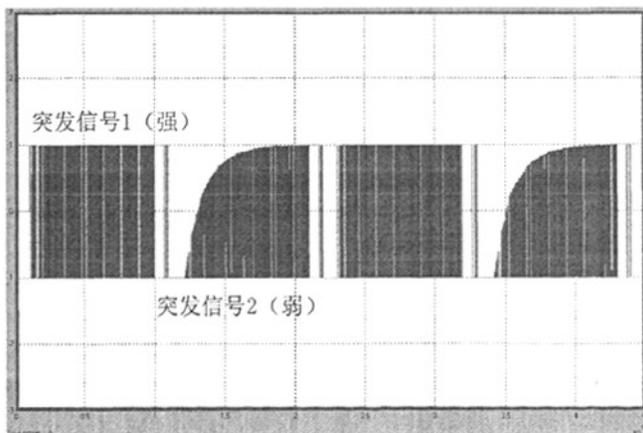


图 3-9 交流耦合接收机输出信号

图 3-9 给出的波形是交流耦合突发接收机的输出信号。从图中可以看出，接收机将突发信号 2 进行了适当的放大，使强突发信号和弱突发信号在经过接收机后的幅度相等，以供后续时钟数据恢复和数据判决使用。

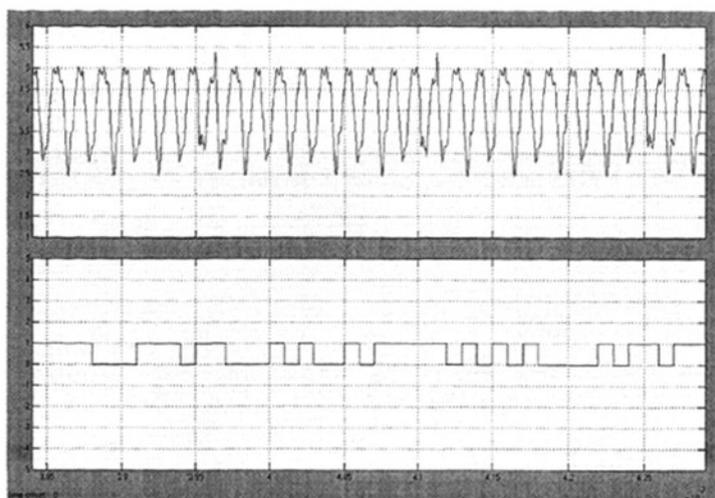


图 3-10 恢复后的时钟

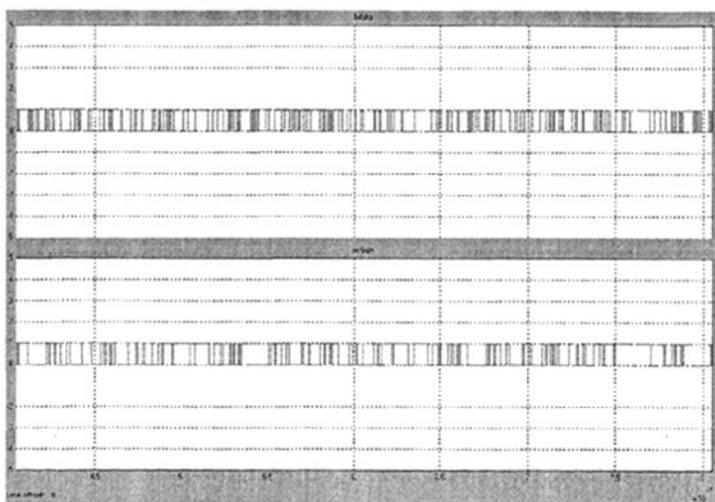


图 3-11 恢复后的数据

图 3-10 和图 3-11 分别是恢复后的时钟和恢复后的数据。图中可以看出，恢复的时钟上升沿位于数据的中心，即最佳采样点附近，这样就可以在较低误码率的情况下恢复突发数据。

3.3 性能分析

同步建立时间是同步器开始动作至建立起稳定的同步信号所需的时间。一

般的同步建立时间包括频率捕获时间和相位捕获时间。本设计中，同频和同相在时域上分离。同频在开机瞬间完成。这样同步建立时间就只是同步电路的相位调整时间。由于采用的相位调整方式是，利用数据相位触发多谐振荡器的振荡相位。相位调整发生在边沿检测电路微分输出电平尖峰超过触发阈值电平的时隙。

相位调整时间是恒流源 I1 和 I2 将晶体管 Q2、Q3 集电极电位拉低的时间。限制这个时间的是电流的快速通道 $R_{c2} \rightarrow T3 \rightarrow$ 恒流源 I2，这个通道上的时间常数 $T = R_c \times C_Q$ ，其中 R_c 为集电极负载可以小至数十欧姆量级， C_Q 为晶体管寄生电容。这个时间相当于相位变化 2π 的时间。而最大的相位调整也只有是 π 。这样相位调整时间在可以实现的工艺条件下可达 1ps 之下。

开机时的频率捕捉时间可以认为近似等于快捕时间：

$$T_s = \frac{4}{\xi \omega_N}$$

可见同步建立时间受到环路阻尼系数 ξ 和环路自由振荡频率 ω_N 的限制。

由于相位拾取电路的振荡频率与输入数据的速率不可能做到完全一致，在相位拾取的连续工作期间会引起相位误差的累积。但是基于相位拾取的突发时钟数据恢复电路是一个无记忆系统，每个数据边沿的尖峰脉冲到来时，系统都会重新进行同步，即清除前一次的相位误差。就整个数据流而言，相位误差的最大值出现在连续工作状态的最大时间，也就是无数据跳变的最大间隔时间。因此，突发电路需要保持输出时钟和突发数据的相位在一定时间内稳定在某一范围，即同步保持时间。设接收机参考时钟稳定度为 η ，系统的最大误差为 $2\eta f_s$ 。若允许位同步信号的最大相位误差为 θ ，则有

$$2\eta f_s \cdot 2\pi t_k = \theta \tag{3-1}$$

因此

$$t_k = \frac{\theta}{4\pi\eta f_s} \tag{3-2}$$

t_k 为允许的最大相位调整间隔，即同步保持时间。 t_k 表征了系统抗长连“0”或长连“1”的能力。

对公式 (3-2) 进一步分析，可以得到允许出现长连“0”或长连“1”的比特个数 N。

$$N = \frac{\theta}{4\pi\eta} \quad (3-3)$$

在允许最大相位误差为定值的情况下，突发同步系统抗长连“0”或长连“1”的比特数 N 只与参考时钟稳定度 η 有关。

当采样时钟和输入数据频率不同时，时钟误差就会累积，造成时钟信号与输入数据的不同步。设时钟信号与输入数据速率的误差为 α ，允许的最长连续比特数目为 N ，则有：

$$N = 0.5 \cdot (100 + \alpha) / \alpha$$

其中 0.5 为数据中“1”或“0”出现的概率。

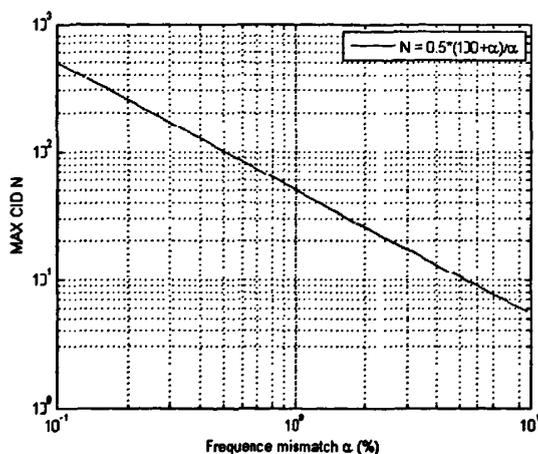


图 3-12 频率误差与最大 CID 的关系

图 3-12 是频率误差与最大 CID 的关系。从图中可以看出频率误差与最大 CID 呈反比。在 GPON 系统中，允许的最大 CID 为 72，因此频率误差不能超过 0.7%。

3.4 本章小结

本章的主要工作是对突发模式时钟数据恢复电路进行仿真，对设计进行原理性的验证，并分析系统性能。通过单元和系统仿真调整设计的参数和性能，对各关键参数进行优化，以期达到设计指标的要求。

第 4 章 基于空间过采样的突发模式时钟数据恢复方案设计

第 3 章中所设计的基于相位拾取的突发时钟数据恢复方案经过原理性验证,可以达到吉比特速率,但是由分立器件直接实现吉比特存在诸多困难,单个分立器件之间的互相影响严重,工作点不稳定,对实现工艺要求较高,需要制作专门的 ASIC。本章将设计可以在 FPGA 上定制,基于空间过采样的突发模式时钟数据恢复方案。

4.1 空间过采样的原理

通常的空间过采样方法在获得多相数据后,需要将多相采样数据和已知数据进行相关运算。相关运算复杂的数字处理模块,不易于实现。本章中采用了优化的最佳采样值选取算法,结构简单,易于在 FPGA 上实现。

如图 4-1 所示,空间过采样数据恢复模块由数据采样、边沿检测、最佳采样时刻选取、数据输出等四部分组成。在获得采样数据后,先进行边沿检测,再根据数据流中的边沿跳变来选取最佳采样时刻,然后把该采样时刻采样到的数据作为恢复出来的数据输出。数据采样利用分别移相 90° 的四相时钟对输入数据进行采样。利用 Xilinx 的 FPGA 开发工具 ISE 中自带的时钟管理模块(DCM)很容易实现时钟的移相。在一个时钟周期内采样到四个数据点,起到了四倍过采样的作用。

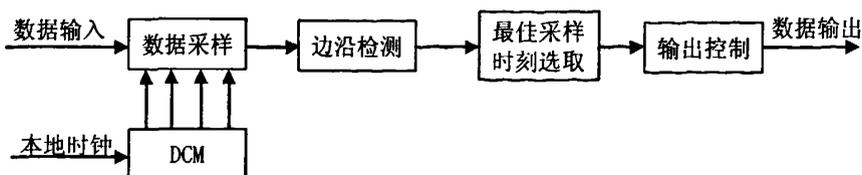


图 4-1 空间过采样原理框图

4.1.1 数据采样模块的设计

数据采样模块的结构如图 4-2 所示。其中，最左面的第一列采样触发器分别在四个移相时钟的控制下获得一个本地时钟周期内相邻四个时刻点的数据。当采样点正好在数据的跳变沿时，第一列采样触发器就会因为建立时间或保持时间不够而发生亚稳态现象。后面级联的两列触发器组仍然会打入稳定的数据，从而阻止了亚稳态现象的传播。最后一列触发器用来把采样到的数据统一到本地时钟所在的时钟域内。图 4-3 给出了四个移相时钟实现空间过采样的时序图。

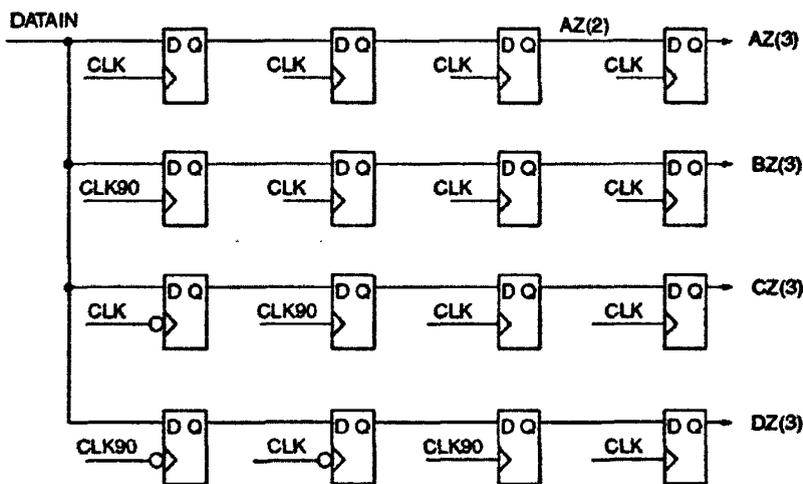


图 4-2 数据采样触发器组

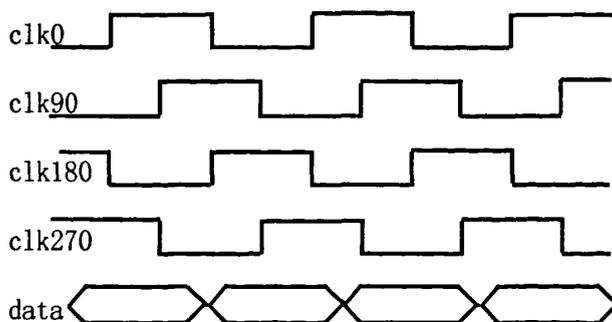


图 4-3 四个移相时钟实现空间过采样示意图

4.1.2 边沿检测模块的设计

边沿检测模块用来检测数据流中的数据跳变。比特流中的边沿跳变可通过前后两次采样数据的异或运算来检测。如图 4-4，图的左边用来实现从 1 到 0 的负跳变，即下降沿；图的右边用来实现从 0 到 1 的正跳变，即上升沿。边沿检测中，首先对采样子模块的最后两级触发器的输出作异或运算从而检测到比特流中的边沿跳变；然后，再经过一级触发器缓存过滤掉组合逻辑电路可能产生的毛刺，并利用引入的流水线功能进一步优化时序，这样提高整个模块的最高系统频率。

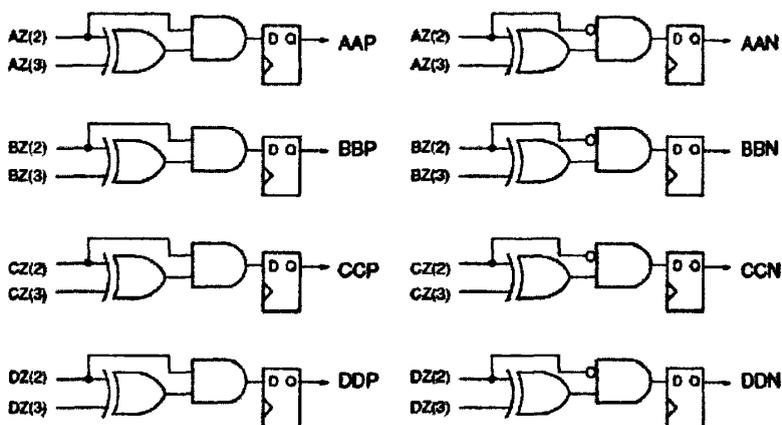


图 4-4 边沿检测电路实现

4.1.3 最佳采样时刻选取模块的设计

在边沿检测之后，通过检测到的边沿跳变信息来选取最佳的采样时刻。例如对图 4-5 所示的时序情况，在第一个采样周期内，4 个移相时钟都采样到 0；在第 2 个采样周期内，4 个采样时钟都采样到 1。可见 clk_0 第一个检测到输入数据位的跳变，这说明它比另外 3 个移相时钟早采样到数据位。从保证数据的稳定性、满足触发器的建立时间和保持时间等因素考虑，最佳采样点应选在数据位的中间位置，所以选用移相时钟 clk_{180} 来作为最佳采样时刻，把在这个时刻采样到的数据作为码流中恢复出来的有效数据。同理，如果 clk_{90} 第一个检测到输入数据位的跳变，则选用移相时钟 clk_{270} 来作为最佳采样时刻，其余依此类推。由此过采样数据恢复对比特流的跳变具有一定的要求。因为要完成最佳采

样时刻的选取首先要检测到比特中的边沿跳变。如果比特流连续出现长时间的“0”或“1”，这时候就没有机会调整最佳采样时刻。在码流时钟获本地时钟发生随机抖动的情况下，都会使数据采样发生错误。如果比特流具有丰富的跳边沿，那么在时钟的随机抖动累计到一定量前，就已经重新调整了最佳采样时刻，这样就在一定程度上克服了时钟发生随机抖动的影响。

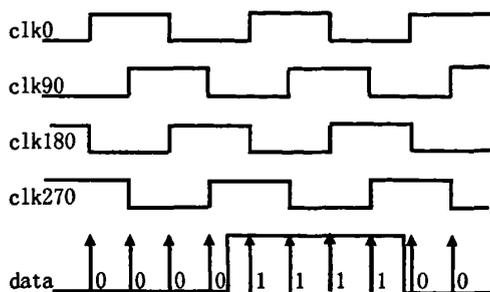


图 4-5 最佳采样时刻的选取

最佳采样时刻的选取规则如下：

1. $AAP = BBP = CCP = DDP = 1$ 或者 $AAN = BBN = CCN = DDN = 1$ 。
CLK首先检测到数据，因此CLK180是最佳采样时刻。
2. $AAP = 1, BBP = CCP = DDP = 0$ 或者 $AAN = 1, BBN = CCN = DDN = 0$ 。
CLK90首先检测到数据，因此CLK270是最佳采样时刻。
3. $AAP = BBP = 1, CCP = DDP = 0$ 或者 $AAN = BBN = 1, CCN = DDN = 0$ 。
CLK180首先检测到数据，因此CLK是最佳采样时刻。
4. $AAP = BBP = CCP = 1, DDP = 0$ 或者 $AAN = BBN = CCN = 1, DDN = 0$ 。
CLK270首先检测到数据，因此CLK90是最佳采样时刻。

4.1.4 数据输出模块的设计

在完成了采样时刻的选取后，就打开数据输出使能开关将对应的移相时钟采样得到的数据作为恢复出来的有效数据输出。由于任何时刻只能选取 clk0、clk90、clk180、clk270 中一个移相时钟作为最佳采样时刻，也就是说它们是互斥的。因此，只要其中任何一个有效就可以打开数据输出使能开关。比如，如果使用 CLK 检测到的数据，则输出 AZ(3)。具体代码如下：

```
if (usea | useb | usec | used) begin
    pipe_ce0 <= 1'b1;
    useaaa <= usea;
    usebbb <= useb;
    useccc <= usec;
    useddd <= used;
end
```

上述代码中，四个时钟任何一个发生变化，都会将四个时钟的当前值写入一级寄存器，即其他三个时钟不会变化。利用 useaaa/ usebbb/ useccc/ useddd 与末级触发器进行与运算就可以恢复出数据。

```
assign sdataa = az3 & useaaa;
assign sdatad = bz3 & usebbb;
assign sdatac = cz3 & useccc;
assign sdatad = dz3 & useddd;
```

当数据恢复输出使能开关打开，利用对 sdataa、sdatad、sdatac、sdatad 进行逻辑或运算，把基于各个移相时钟恢复出来的数据拼接起来，并且前后两个不同移相时钟恢复的数据不会发生重叠。

4.1.5 仿真分析

当数据时钟和本地采样时钟同频同相，即数据时钟和本地时钟的时钟沿对齐时，总是 CLK0 首先检测到数据沿。由上文的最佳采样时刻选取算法可知，应该将 CLK180 作为最佳采样时刻。但是数据时钟和本地时钟不可能同频同相，时钟之间以及时钟本身总是存在抖动。因此需要将时钟的抖动考虑在内，才能保证数据恢复的正确性。

在进行仿真分析时，分两种情况分别进行讨论：本地时钟比数据速率快和本地时钟比数据速率慢。

首先讨论本地时钟比数据速率慢的情况。假设数据码元宽度为 6ns，本地时钟周期为 6.005ns，本地时钟比数据速率慢 0.005ns。假设某一时刻，CLK0 和数据时钟边沿对齐，则选择 CLK180 为最佳采样时刻。经过 300 个本地时钟后，数据时钟比本地时钟超前 1.5ns ($0.005 \times 300 = 1.5\text{ns}$)，此时 CLK270 与数据边沿对齐，最佳采样时刻为 CLK90。因此类推，从开始时刻经过 600 个本地时钟，CLK180 与数据边沿对齐，最佳采样时刻为 CLK0；经过 900 个本地时钟，CLK90 与数

据边沿对齐,最佳采样时刻为 CLK270。经过 1200 个本地时钟周期,此时数据时钟和本地时钟的差距为 6ns,即本地时钟比数据时钟恰好相差一个周期,因此本地时钟对数据少采样一次。这样就会造成数据恢复的错误。如果这个错误不纠正,每个 1200 个本地时钟,这种错误就会重复一次。

反之,当本地时钟比数据速率快时,如果采用同样的假设,经过 1200 个本地时钟后,本地时钟会比数据时钟多出现一个周期,这样会对数据多采样一次。

当本地时钟对数据少采样时,需要将少采样的一位补齐,当本地时钟对数据多采样一次时,需要将多采样的一位删除。经过以上的分析可以知道,在本地时钟比数据速率慢的情况下,最佳采样时刻选取的循环是

CLK180→CLK90→CLK0→CLK270

当最佳采样时刻由 CLK0 变为 CLK270 时,本地时钟对数据少采样一次。仿真波形如图 4-6 所示。

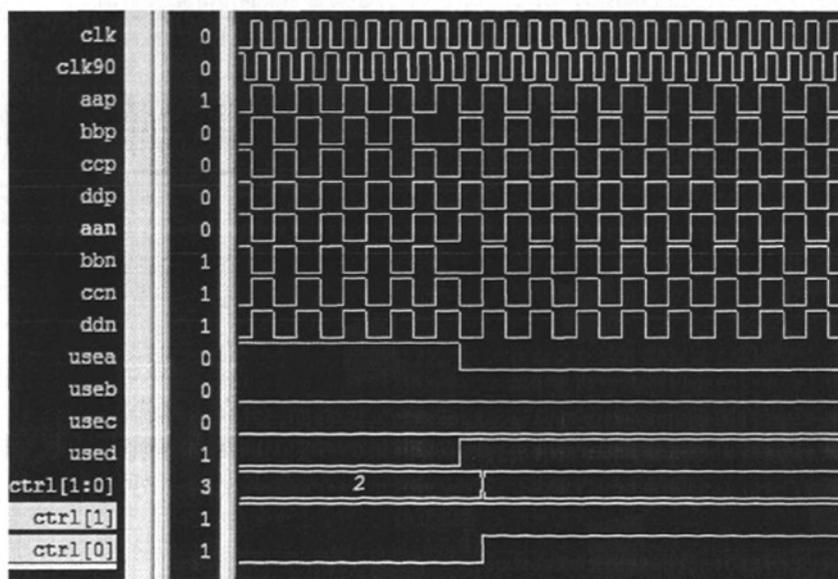


图 4-6 本地时钟比数据速率慢的仿真波形

从图 4-6 中可以看出,当最佳采样时刻从 CLK0 转移为 CLK270,即 $usea=1$ 变为 $used=1$,控制信号 $ctrl[1:0] = 2'b11$,说明本地时钟少采样一次,需要根据控制信号将少采的一位补齐。

同理,当本地时钟比数据速率快时,最佳采样时刻选取的循环是

CLK90→CLK180→CLK270→CLK0

当最佳采样时刻由 CLK270 变为 CLK0 时，本地时钟对数据多采样一次。这样，就可以根据最佳采样时刻的选取结果，判断是应该正常输出数据，还是补齐或者删除一位。仿真波形如图 4-7 所示。

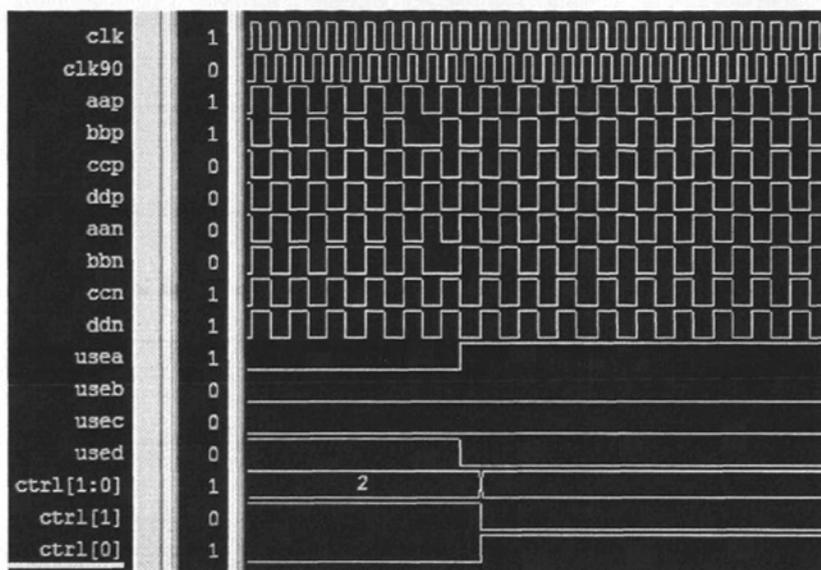


图 4-7 本地时钟比数据速率快的仿真波形

从图 4-7 中可以看出，当最佳采样时刻从 CLK270 转移为 CLK0，即 used=1 变为 usea=1，控制信号 $ctrl[1:0] = 2'b01$ ，说明本地时钟多采样一次，需要根据控制信号将多采样的一位删掉。

为了正确的得到恢复数据，加入一个可变长度移位寄存器对输出数据进行控制。输出控制原理如图 4-8 所示。其中 SRL16 是 16bit 的可变长度移位寄存器，通过 A0, A1, A2, A3 四个控制端控制寄存器移位的长度。

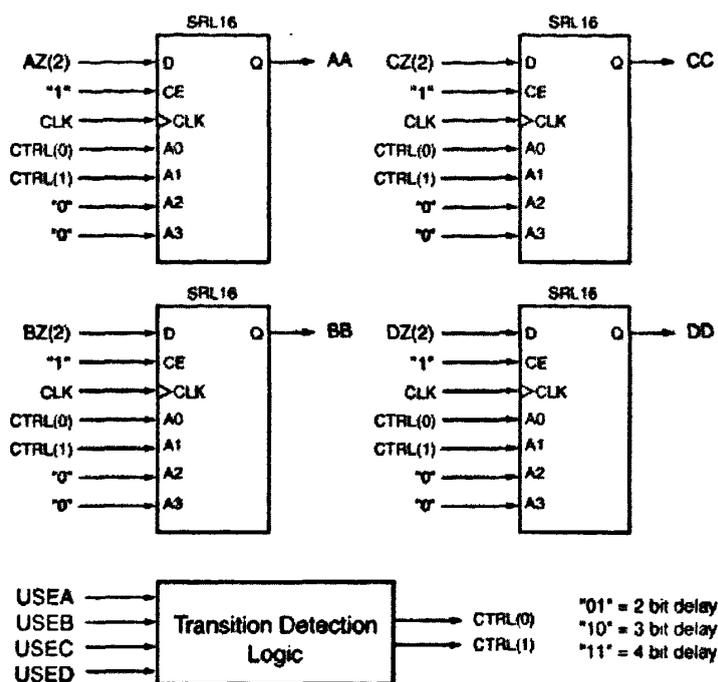


图 4-8 输出原理控制逻辑图

4.2 空间过采样的实现

功能验证的目的就是确保设计实现的功能与功能定义（SPEC）所规定的一致，或者说就是核实经过人工翻译或工具翻译后的设计跟翻译前的设计规格是否一致。功能验证主要验证硬件的 HDL 描述是否符合设计的功能描述^{[29],[30]}。现阶段业界广泛应用的功能验证方法主要有：基于事件的仿真^[31]，基于周期的仿真，基于事务的仿真^{[32],[33]}和软硬件协同验证^[34]等。

4.2.1 功能验证

为了对空间过采样系统进行仿真验证，需要建立相应的测试平台。目前有很多验证方法学^{[35]-[36]}和验证思想^{[37],[38]}。测试平台一般不需要综合，因此可以采用基于事务的仿真生成简单高效的测试平台。考虑到应用的延续和扩展，本文将空间过采样时钟数据恢复电路的测试系统设计为可综合，这样既可以完成空间过采样时钟数据恢复的仿真验证，也可以对其他基于 FPGA 的 PON 系统应用提供一个参考，便于实现硬件验证。

空间过采样的测试平台需要模拟 PON 系统的数据结构。在第 1 章已经分析过，突发数据的特点在于每个突发包的长度不一样，相邻两个突发包存在相位突变等现象。在建立测试平台时，除前导码的长度外，其他相关长度均以随机数的形式出现。这里使用 8 位线性反馈移位寄存器得到随机数。图 4-9 是测试系统的原理框图。

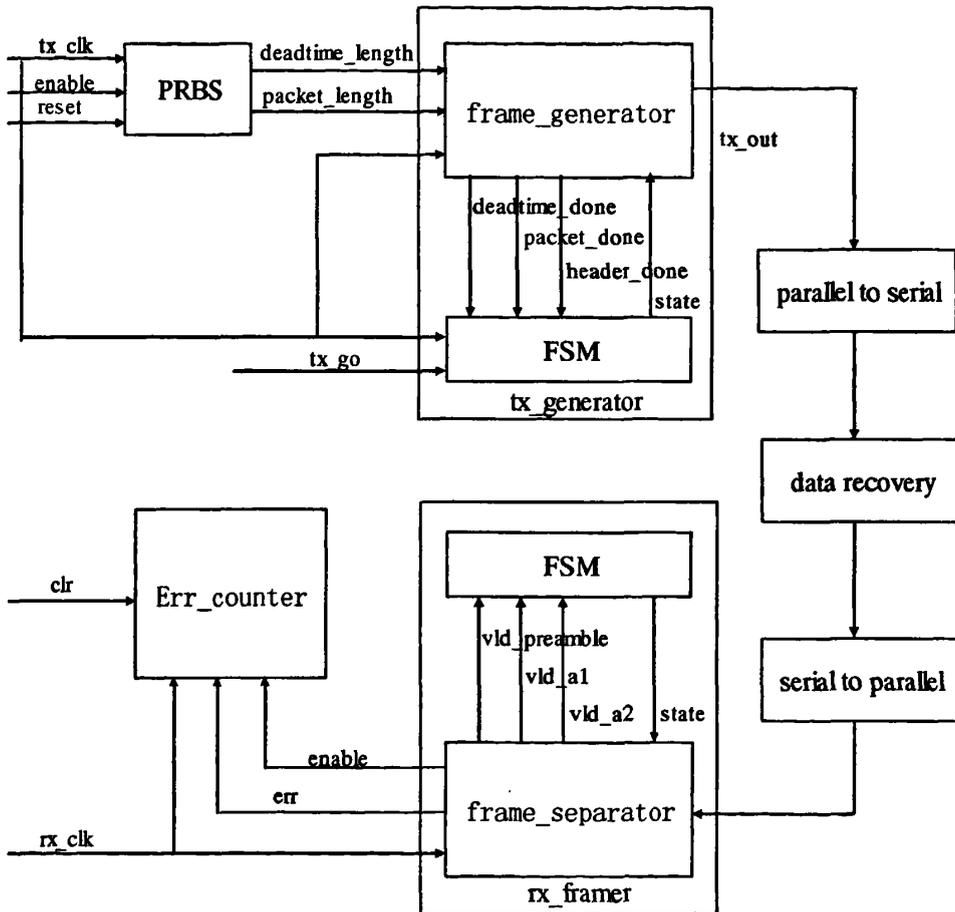


图 4-9 测试系统原理框图

一个完整的突发数据包包括保护时间，前导码，定界符和有效数据。在测试平台的建立过程中，利用状态机完成数据包的组装。

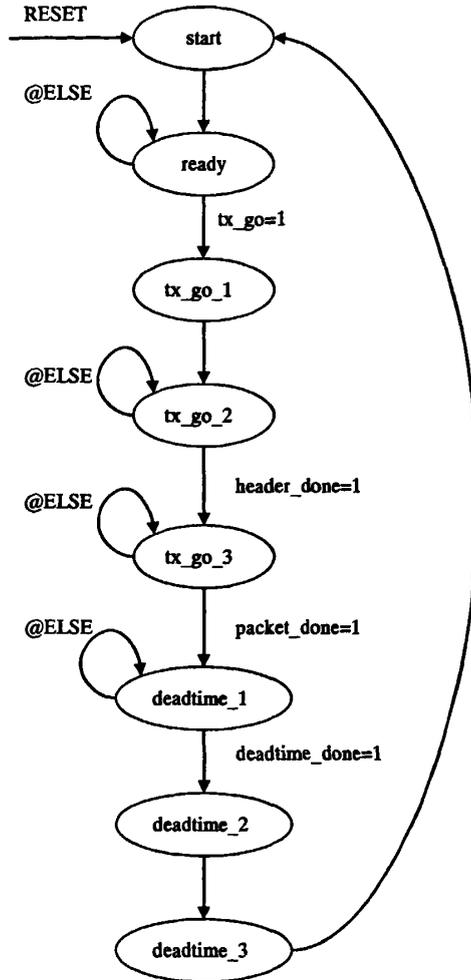


图 4-10 数据包组装状态机状态转移图

图 4-10 是数据包组装状态机状态转移图。系统启动后，状态机进入 ready 状态，对数据包进行初始化。当接收到外部控制信号 tx_go 时，状态机进入组裝流程，通过线性反馈移位寄存器生成一个随机数。在 tx_go_2 状态，状态机发送前导码，完成后进入 tx_go_3 状态，开始发送有效数据，有效数据的长度由 tx_go_1 状态中得到的随机数确定。在有效数据发送完成后，状态机进入 deadtime_1 状态，在这个状态中主要完成保护时间的确定，保护时间的长度也是一个随机数。deadtime_2 状态和 deadtime_3 状态分别完成空间过采样模块的复位和启动。至此，状态机完成一个数据包的发送。

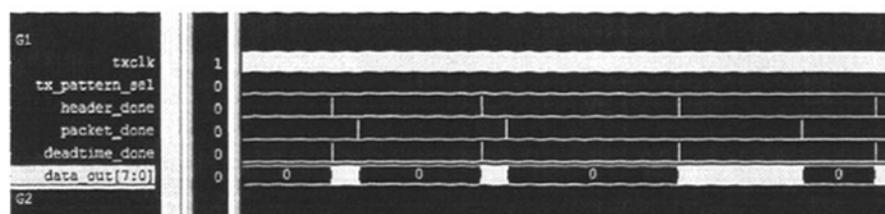


图 4-11 生成突发数据包

图 4-11 是生成的突发数据包的波形。从图中可以看出在整个数据包发送过程中，首先完成前导码的发送，然后依次是有效数据和保护时间。每个数据包的有效数据长度和保护时间都是不一样的，是随机的。

在接收端，突发数据包解析完成分离前导码、定界符和有效数据的功能。突发数据包接收状态机流程如图 4-12 所示状态机在默认状态和复位状态下进入 oof 状态等待。当检测到前导码指示信号 preamble 为 1 时，进入 pattern_1 状态。在 pattern_1 状态中检测定界符指示信号 vld_al，如果 vld_al 为高，状态机进入下一个状态，否则，状态机返回到 oof 状态。状态机进入 frame 状态后，直接进入 ready 状态。在 ready 状态中，状态机对 frame_state 信号进行检测。如果检测到 frame_state 信号的上升变化，则保持 ready 状态；如果没有检测到 frame_state 信号的正跳变，返回到 oof 状态，等待下一个突发数据包的接收。

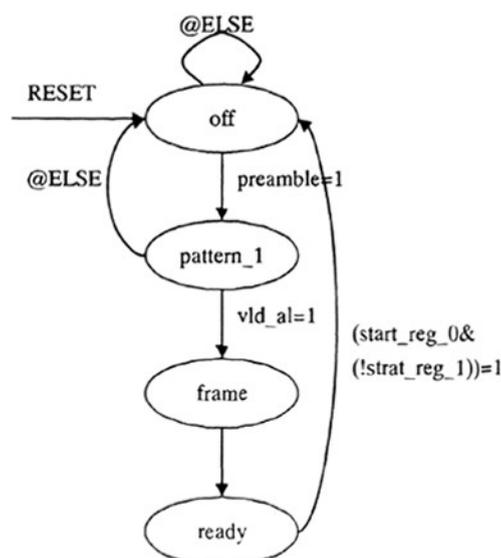


图 4-12 突发数据包状态机流程图

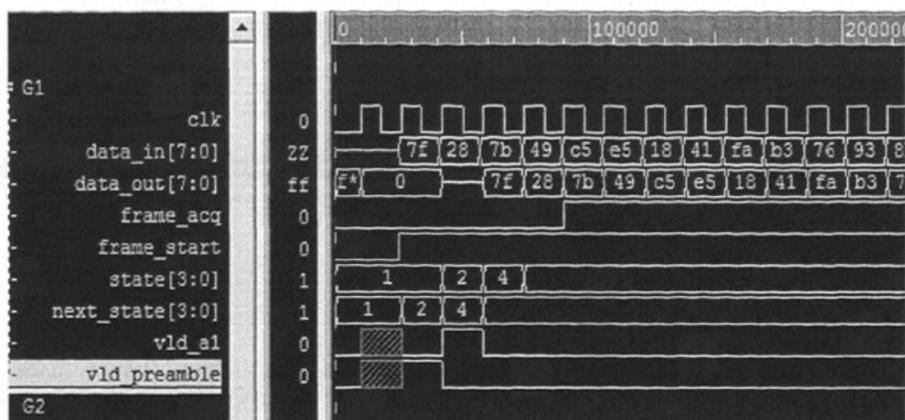


图 4-13 突发包状态机检测前导码和定界符

图 4-13 是突发数据包解析状态机的仿真图。在仿真中，定义前导码为 8h7f，定义定界符为 8h28。frame_start 是输入信号，用于指示一个数据帧的开始。状态机一次检测到前导码，定界符后，frame_acq 为 1，后续逻辑开始接收有效数据。当检测到 frame_start 的上升沿时，状态机重新进入 4b0001 状态，即 oof 状态。这样做的目的是防止在有效数据包中出现 16h7f28，出现错误的检测。

在检测到前导码和定界符以后，根据 frame_acq 信号，分离前导码、定界符和有效数据。

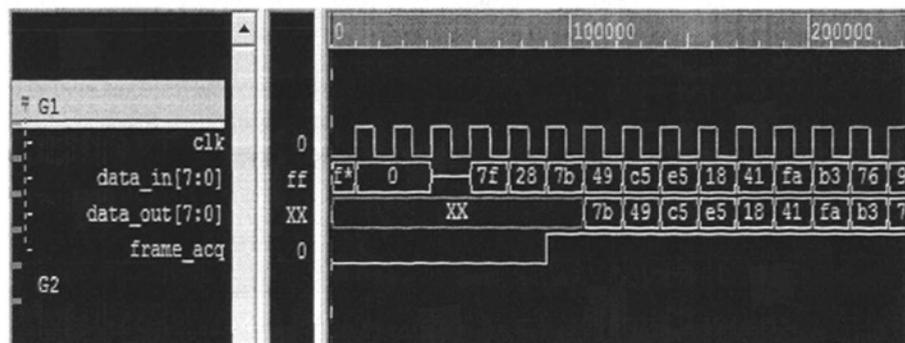


图 4-14 前导码、定界符和有效数据分离

实现误码测试功能的方法有两种^[40]：一种称为灌码同步，即在接收到的数据中截取与发送端伪随机序列阶数相同的数据，将这个数据作为本地移位寄存器的初始值产生伪随机序列，接收数据和本地数据用异或的方法进行比较。如果误码率大于某一阈值，则认为初始值中存在误码，比较得到的误码率不

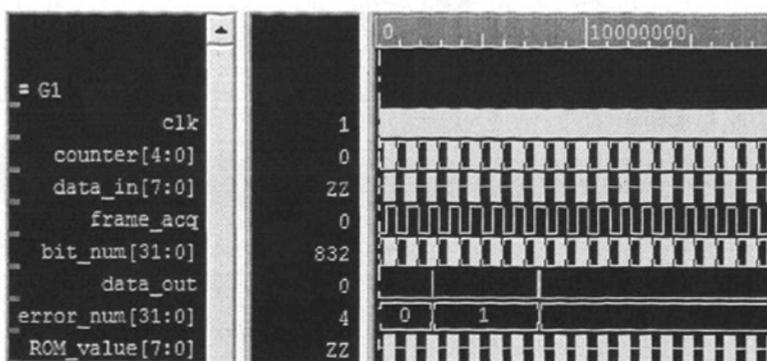


图 4-17 插入误码测试波形



图 4-18 插入误码测试数据统计

4.2.2 设计的实现和时序仿真

利用 Xilinx 的 FPGA 开发工具 ISE 中自带的 XST 综合工具将设计综合成网表文件。在设计中可以很容易获得丰富的寄存器资源，因此在综合时选择速度优先。综合时需要设计进行约束。约束的目的是对设计进行各个时序的规定，包括周期、时序设计的建立时间 (setup time)、保持时间 (holdon time) 等。对设计进行约束时，时钟保留 10% 的裕量^[41]。

完成对设计的综合以后需要进行实现。设计实现始于映射或将逻辑设计文件与特定器件的结合，完成于对物理设计成功的布线和比特流的生成。如同在

设计输入阶段一样，在实现阶段也可改变约束。

映射是将逻辑设计映射到 Xilinx FPGA，映射的输入是 NGD 文件。NGD 文件中包含了根据层次性元件和低层次的 Xilinx 原语等对设计讲行的逻辑描述。映射的结果是将逻辑映射到目标 Xilinx FPGA 的元件中(逻辑单元、I/O 单元和其他元件)。输出文件是 NCD 文件，它是设计的物理表示。NCD 文件然后可使用布局 and 布线 (PAR) 命令对设计进行布局 and 布线。

PAR 命令输入映射后的 NCD 文件，经过布局 and 布线操作，输出是布局 and 布线后的 NCD 文件，该文件用于比特流产生器(Bitten)。也可使用 FPGA Editor 图形用户界面(GUI)进行操作。FPGA Editor 可在运行自动布局 and 布线命令前对关键元件进行布局 and 布线，也可手动修改布局 and 布线结果。

设计实现生成 NCD 文件后，生成后仿模型。后仿模型中包含了设计的时序，电路延时等信息。通过后仿模型进行时序仿真，其结果接近实现物理结果。

设计实现时，需要根据时序仿真的结果不断地修改设计，以满足时序要求。在开始进行时序仿真时，由于时序约束的原因，致使时序仿真没有波形输出，通过不断地修改设计和时序约束文件，时序仿真比行为仿真延时大约 10ns 左右，同时系统内部各时钟相位也不再是理想的。经过反复调试，输入结果满足设计要求。

4.3 本章小结

本章设计了一种在 FPGA 上实现的空间过采样突发模式时钟数据恢复电路。用最佳采样时刻选取算法代替通常过采样方法中的相关运算，简化了电路结构，而且整个设计用 Verilog 实现，可以在 FPGA 上进行定制。仿真分析表明，空间过采样时钟数据恢复电路能够有效的克服时钟频移和相位抖动，完成突发模式时钟数据恢复功能。为了验证该方法在 PON 系统中的性能，本章还设计了一个可综合的 PON 系统数据发送接收平台。对突发模式测试系统进行了设计和验证。突发测试系统的作用是统计突发系统中的误码个数，计算误码率。

第 5 章 总结和展望

5.1 论文工作总结

本论文是以高速突发误码测试仪的设计为背景，针对误码测试仪接收端的各单元模块提出的一种设计方案。为了完成本论文，作者查阅了大量有关时钟数据恢复和高速 FPGA 设计的文献和资料，并作了大量的设计、仿真、验证工作。

1. 本文首先根据突发数据的结构特点，设计了一种基于相位拾取的触发延时时钟数据恢复电路，并从原理上进行了详细的说明。利用 PSpice 对设计各单元进行了瞬态仿真。通过仿真，确定电路各元件的参数值。仿真结果显示设计可以实现突发模式时钟数据恢复的基本功能。这个设计的优点在于能够快速进行数据恢复，实现首比特同步，满足突发模式时钟数据恢复的要求。但是由于是分立器件构成，所以在实际应用中存在诸多困难，比如单个分立器件之间的互相影响严重，工作点不稳定，对实现工艺要求较高等。本文利用 Simulink 产生突发信号，通过 SLPS，结合 PSpice 对时钟数据恢复系统进行了联合仿真，降低了建立仿真模型的难度。

2. 本文的第二部分设计了一种可在 FPGA 上实现的基于过采样的突发模式时钟数据恢复电路，对该方案进行了设计和验证。并建立了模拟 PON 系统的发送和接收平台。仿真验证表明该系统可以较好的模拟 PON 系统数据，并进行数据恢复和误码检测。过采样方案的优点在于根据多路数据边沿检测的结果选取最佳采样时刻，避免了传统过采样数据恢复方案中使用相关运算恢复数据带来的实现难度和硬件开销。整个设计的重点在于利用 FPGA 实现高速逻辑操作，在进行设计时，需要考虑设计对时序的要求。通过功能仿真和时序仿真结果，不断地修改优化设计，最终使设计的各项指标达到设计要求。整个系统是可综合的，不但可以准确地测试误码个数，而且对 PON 系统的其他数据处理应用有较好的参考价值。

5.2 展望

由于时间和精力有限。本文的某些方面研究不够深入和全面，有许多需要

改进的地方。

本文利用晶体管设计的时钟数据恢复电路，在电路实现方面可以有很多改善的地方。通过功耗和 CMOS 设计等方面的改进，可以采用定制 ASIC 而不是分立器件实现吉比特级应用。

过采样系统利用 TestBench，通过波形和屏幕打印的方式进行了验证。利用 Xilinx Virtex 4 系列芯片可以挂载处理器内核，加载 UART 等输出模块，进行更多元化的设计。在逻辑实现中，只是采用了基本的查错和纠错操作，为了实现更健全的设计，可以在各单元模块中加入丰富的差错和纠错功能。

随着高速数据通信的发展，以及 FPGA 功能的不断完善，通过 FPGA 实现高速突发接收，特别是 PON 系统的接收已经成为一个必然趋势。FPGA 的灵活性和可扩展性为有效满足 PON 系统的应用铺平了道路。由于两个不同的 PON 标准机构(ITU-T 和 IEEE)对各自的 PON 标准将如何演进到下一代数据速率等方面还存在不确定性，这两个标准机构还在提出各种应用层标准。因此，与固定架构的解决方案相比，利用 FPGA 可以最好地解决这些不确定性。

随着信息量的指数增长，光纤到户是信息时代发展的必然趋势。居民用户对光网络终端（ONT）的成本是高度敏感的，NGPON 的 ONT 成本不能增加太多。一些网络提供商可能会希望 NGPON 的 ONT 比现在的 ONT 还要便宜，这个要求只能通过高度标准化和集成化来实现。

直接部署 10G PON 网络的成本和代价太高，普遍的做法是采用一个中间频率作为过渡技术。因此对 3.125G 高速突发光信号接收与误码测试的研究对发展下一代 PON 网络具有重要的意义。

随着研究的深入，以及制造工艺的不断改善和提高，高速突发光信号的传输速度越来越高。对 PON 系统的研究，必将朝着高速化，标准化，集成化的方向发展。

参考文献

- [1] 宽带—10G PON 引领下一代接入网[J]. 华为技术. 2008, 38 期.
- [2] 陈洁. PON 技术的发展与演进[J]. 电信技术. 2008 (9): 15~18
- [3] 马壮, 马润斌, 张博山. 下一代 PON 接入技术的引领者[J]. 通讯世界. 2008 (10): 74~75
- [4] 冉然, 邱琪. 适用于 2.5Gb/s 光突发接收的高稳定性前置放大器[J]. 现代传输, 2007 (2) :66~69
- [5] Roo-Da Lee, Hyun-Kyun Choi, Ho-Yong Kang, et al. An Implement of Clock Phase Alignment for Burst-Mode Data Recovery in GPON[C]. COIN-ACOFT 2007, July 2007.
- [6] Alan Li, Julien Faucher, Burst-Mode Clock and Data Recovery in Optical Multiaccess Networks Using Broad-Band PLLs[J]. IEEE PHOTONICS TECHNOLOGY LETTERS, Volume 18, Issue 1, Jan 2006, pp.73~75
- [7] C. A. Eldering et al. Digital burst mode clock recovery technique for fiber-optic systems[J]. J. Lightw. Technol., VOL.12, NO.2, Feb. 1994, pp. 271-279.
- [8] S. Lee, M. Hwang, Y. Choi, S. Kim et al. A 5Gb/s 0.25 μm CMOS jitter-tolerant variable-interval oversampling clock/data recovery circuit[J]. IEEE Journal of Solid-State Circuits, VOL.37, NO.12, Dec. 2002, pp.1822-1830.
- [9] Y. H. Moon, J. K. Kang. 2 \times oversampling 2.5Gbps clock and recovery with phase picking method[J]. Current Applied Physics, VOL.4, NO.1, Feb.2004, pp.75-81.
- [10] C. K. K. Yang, M. A. Horowitz. A 0.8 μm CMOS 2.5Gb/s oversampling receiver and transmitter for serial links[J]. IEEE J. Solid-State Circuits, VOL.35, Dec.1996, pp.2015-2023.
- [11] M. Banu, A. E. Dunlop. Clock recovery circuits with instantaneous locking[J]. Electronics Letters, VOL.28, NO.23, Nov.1992, pp.2127-2130.
- [12] E. Dunlop, W. C. Fischer, M. Banu et al. 150/30 Mb/s CMOS non-oversampled clock and data recovery circuits with instantaneous locking and jitter rejection[C]. In Proc. IEEE International Solid-State Circuits Conference, Feb.1995, pp.44-45.
- [13] Masafumi Nogawa, Kazuyoshi Nishimura, Shunji Kimura, et al. A 10Gb/s Burst-Mode CDR IC in 0.13 μm CMOS[C]. 2005 IEEE International Solid-State Circuits Conference. VOL.1, 2005, pp.228~595
- [14] Che-Fu Liang, Sy-Chyuan Hwu, Shen-Iuan Liu. A 10Gbps Burst-Mode CDR Circuit in 0.18 μm CMOS[C]. IEEE 2006 Custom Intergrated Circuits Conference, CD-ROM.

- [15] Lee, J, Liu MC. A 20-Gb/s Burst-Mode Clock and Data Recovery Circuit Using Injection-Locking Technique[J]. IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.43, 2008, pp.619~630.
- [16] C. H. Doan. Design and Implementation of a Highly-Integrated low-Power CMOS Frequency Synthesizer for an Indoor Wireless Wideband-CDMA Direct-Conversion Receiver[D]. M.S. Thesis, U.C Berkeley, 2000
- [17] Pyung-Su Han, Woo-Young Choi. 1.25/2.5-Gb/s Dual Bit-Rate Burst-Mode Clock Recovery Circuits in 0.18- μm CMOS Technology[J]. IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 54, NO. 1, JANUARY 2007, pp.38~42
- [18] Sander L. J. Gierkink. A 2.5 Gb/s Run-Length-Tolerant Burst-Mode CDR Based on a 1/8th-Rate Dual Pulse Ring Oscillator[J]. IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, NO. 8, AUGUST 2008, pp.1763~1771
- [19] C.A.Eldering. Theoretical determination of sensitivity penalty of burst-mode fiber optic receiver[J]. J. Lighthwave Technol., vol.11, pp.2145-2149, Dec.1993.
- [20] Y.Ota and R.G.Swartz. Burst mode compatible optical receiver with large dynamic range[J]. J.Lighthwave Technol., vol.8, pp.1897~1903, Dec.1990.
- [21] Yusulke Ota, Robert G.Swartz, Vance D.Archer. DC-1Gb/s burst mode compatible receiver for optical bus application[J]. J.Lightwave Technol., vol.10, pp.244~249, Feb.1992
- [22] 康华光主编. 电子技术基础: 模拟部分[M]. 华中理工大学电子教研室编. 北京: 高等教育出版社, 1999.
- [23] 陈一辉. 高速低噪声锁相时钟发生器的设计[硕士学位论文]. 上海: 复旦大学, 2003
- [24] 戚新波, 刘宏飞, 郑先锋. 电路的计算机辅助分析: MATLAB 与 PSpice 应用技术[M]. 电子工业出版社, 2006.
- [25] William H. Tranter, K. Sam Shanmugan, Theodore S. Rappaport. 著, 肖明波, 杨光松, 许芳译. 通信系统仿真原理与无线应用[M]. 机械工业出版社, 2005.
- [26] D. Johns, K. Martin, Analog Integrated Circuit Design[M]. John Wiley & Sons, New York, 1997.
- [27] 陈伟, 刘会衡, 黄秋元. EPON 突发式光信号产生及测试系统设计[J]. 武汉理工大学学报. 2005 年 10 月, pp.77-88.
- [28] Huang Qiuyuan, Liu Luli, Li Senmao. Design and simulation of the AC-coupled burst-mode receiver with a large time constant[J]. Optical Transmission, Switching, and Subsystems VI, 27 October 2008.
- [29] 郭阳, 李曦, 李思昆. 微处理器功能验证方法[J]. 计算机工程与应用. 2003 年 5 月, pp.35-37

- [30] 王国章, 须自明, 刘战, 于宗光. SoC 芯片验证技术的研究[J]. 微计算机信息. Vol.23, NO.8, 2007, pp.132-154
- [31] 董杨鑫, 郑建宏. SoC 设计验证策略及方法学[J]. 电子质量, 2007 年第 10 期, 53-56
- [32] 李斌, 薛质, 王忠海. 事务级验证的设计方法[J]. 中国集成电路, 2005 年 7 月, 35-38
- [33] Janick Bergeron. Writing Testbenches—Functional Verification of HDL models[M]. KLUWER ACADEMIC PUBLISHERS. 2002.
- [34] Jason R. Andrews. Co-Verification of Hardware And Software for ARM SoC Design[M]. Elsevier Inc, 2005.
- [35] Janick Bergeron. Writing Testbenches—Functional Verification of HDL models[M]. KLUWER ACADEMIC PUBLISHERS. 2002.
- [36] Prakash Rashinkar, Peter Paterson, Leena Singh. System-on a-Chip Verification Methodology and Techniques[M]. KLUWER ACADEMIC PUBLISHERS. 2002.
- [37] Stuart Sutherland, Simon Davidmann, Peter Flake. System Verilog 硬件设计及建模[M]. 科学出版社, 2007.
- [38] Janick Bergeron, Eduard Cerny, Alan Hunter, Andrew Nightingale 著, 夏宇闻, 杨雷, 陈先勇, 徐伟俊, 杨鑫译. System verilog 验证方法学[M]. 北京航空航天大学出版社, 2007
- [39] Glasser, M 著, 王欣译. 高级验证方法学[M]. 电子科技大学出版社, 2007.
- [40] 樊昌信, 张圃翊, 徐炳祥, 吴成柯, 通信原理[M]. 国防工业出版社, 2001.
- [41] 薛小刚, 葛毅敏编著. Xilinx ISE 9.X FPGA/CPLD 设计指南[M]. 人民邮电出版社, 2007

致 谢

回顾三年的硕士学习，我所取得的每一个进步，都离不开良师益友及亲人的鼓励和帮助。在此，谨向他们表示最衷心、最诚挚的感谢。

首先，忠心感谢我的导师黄秋元副教授。早在本科阶段黄老师主就开始教授我相关课程，为后来的进步学习打下了坚实的理论基础。在通信技术研究所学习阶段，在他的指引之下，不仅提升了我的理论研究能力，更进一步加强了我分析问题，解决问题的能力，培养了我从事技术工作的兴趣。在近七年的学习生活中，黄老师以他渊博的学识、严谨的治学态度、一丝不苟的工作态度和丰富的实践经验指导着我的工作，使我体会到了技术世界的无穷魅力，坚定了我从事技术工作的信心。他敏捷的思维，创新求实的治学风范和平易近人的处世方式给我留下了深刻的印象，将使我受益终生。

衷心感谢通信技术研究所的陈伟教授和周鹏副教授对我在科研上的指导、生活上的帮助和精神上的鼓励。

衷心感谢上海明波通信技术有限公司的周长明董事长、何达希部长、算法部和系统部的各位同事。感谢周长明董事长和何达希部长给我一个难得的实习机会，在明波通信实习期间，各位同事的的指点和教导让我受益匪浅，让我学到了很多学校里无法学到的经验和技能。感谢明波通信第三研发部和第四研发部以及其他部门同事对我的信任和鼓励。

感谢实验室中邹昱、陈康、刘璐玲、邓继洲等同学在课题研究和生活中给予的帮助和支持。

感谢二十年读书生涯中认识的所有同学和朋友，认识这些朋友是我的荣耀。

特别感谢我的父母。感谢父母二十多年的养育，自始至终的关怀与鼓励。父母的爱和信任，使我有信心和勇气去面对一切困难，迎接所有挑战。我成长的每一步都离不开父母，父母是我学习和前进的动力。谁言寸草心、报得三春晖。愿今后的日子不会辜负他们的期望。

攻读硕士期间发表的论文

谢伟. MCU 芯片级功能验证平台的设计. 中国科技论文在线. 200902-1189. 2009, 2. 23