摘要

近年来,随着无线通信技术、嵌入式技术、传感器技术和半导体技术的飞速发展,设计低成本、小体积、可重配置的无线视频采集传输系统成为可能。 本课题设计了一款基于 FPGA (Field Programmable Gate Array,现场可编程门阵列)的微型无线视频采集传输系统。该系统可以采集、压缩现场的视频图像信息,并通过无线通信网络将信息传输到显示终端显示。

本文首先讨论了基于 Avalon 总线的图像采集 IP 核的设计与实现,将 IP 核 进行层次功能划分设计,并进行 HAL 下的设备驱动及封装,最后加入到 Nios II 系统中,测试效果良好。IP 核是可配置的,具有很好的移植性,可以方便的应 用于图像采集的嵌入式系统中。

在 JPEG 图像压缩硬件加速电路设计部分,本文研究了 JPEG 图像压缩标准, 利用 FPGA 的高速并行运算能力,采用 VerilogHDL 硬件描述语言设计了 JPEG 图像压缩硬件加速电路,并对电路的功能和时序进行了仿真验证。实验结果证 明 JPEG 图像压缩硬件加速电路各模块设计正确。

在 JPEG 图像压缩硬件加速电路 Avalon 接口设计部分,本文研究了 Avalon 总线接口规范,并为 JPEG 图像压缩硬件加速电路设计了 Avalon 总线接口和相应的硬件驱动程序,使之在 SOPC (System On Programmable Chip,可编程片上系统)中可以作为 JPEG 图像压缩 IP 核来使用。仿真实验证明: JPEG 图像压缩 IP 核设计正确,并能成功挂载到 SOPC 系统中,作为一个 IP 核来使用。

在码流无线传输部分,本文研究了几种短距无线通信协议标准,并在 FPGA 中的 Nios II 处理器上采用 C 语言实现了一种非标准的短距无线通信协议。协议 中采用自动调频、自动应答和自动重发的机制提高通信的稳定性。实验结果表 明:在正常条件下,无线通信模块可完整、准确地实现无线数据收发功能。

最后对本课题设计的视频图像采集 IP 核、JPEG 图像压缩 IP 核和无线通信 模块进行了联合验证。实验证明:在发送端,系统能够成功的利用 JPEG 图像压 缩 IP 核对图像进行压缩,并通过 nRF24L01 非标准无线通信协议稳定、准确地 传输码流数据。在接收端,系统能够完整、准确地接收码流数据。

最后文章对所做的工作进行了总结,并为未来可开展的工作进行了展望。 关键词: FPGA, SOPC,无线视频, JPEG, Avalon, nRF24L01;

I

Abstract

With the development of wireless communication technology, embedded technology, sensor technology and semiconductor technology, design of a low-cost, minisize and reconfigurable wireless video acquisition and transmission system is possible. The focus of this paper is to design a minisize wireless video acquisition and transmission system used for information exchange in medical emergency. It captures and compresses pictures, and then sends them through wireless communication network.

Firstly, the design and implementation of customized image capture IP core based on Avalon bus was presented in this paper. We hierarchically spited the design into blocks called design partitions and integrated device driver into the HAL API. The customized peripheral was added into Nios II system and the test is smooth and effective. The IP core was configurable and can be easily ported into other embedded image capture system.

In the JPEG image compression hardware accelerate circuit design part, a JPEG image compression hardware accelerate circuit is designed with Verilog HDL on an FPGA (Field Programmable Gate Array). Simulations prove that the circuit meets the design requirements.

In the Avalon Bus interface design part, an Avalon Bus interface and drives for the JPEG image compression hardware accelerate circuit are designed. As a result, the JPEG image compression hardware accelerate circuit can be used as an IP core (Intellectual Property core) in the whole system. Tests prove that the design is correct and the JPEG image compression hardware accelerate circuit can be integrated in the SOPC (System on Programmable Chip) system successfully as an IP core.

In the code stream wireless transmission part, some wireless communication standard protocols are introduced. And by reference to these standard protocols, a non-standard wireless communication protocol is implemented by using the nRF24L01 wireless RF chip. Tests prove that the module can transmit data correctly.

In the experiment part, an experiment is implemented to test the function of the

designed JPEG image compression IP core and the wireless communication module.A image is compressed and sent to the receiver wirlessly by the wireless communication module.The received data are stored. With the corresponding JPEG head file, the encoded image can be decoded and displayed.

The end of this paper summarizes the points of writer's research work and predicts the future direction of minisize wireless image capturing and transmission system for medical emergency.

Key words: FPGA, SOPC, wireless video, JPEG, Avalon, nRF24L01;

学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工 作及取得的研究成果。据我所知,除了文中特别加以标注和致谢的地 方外,论文中不包含其他人已经发表或撰写过的研究成果,也不包含 为获得 <u>南昌大学</u> 或其他教育机构的学位或证书而使用过的材料。与 我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确 的说明并表示谢意。

学位论文作者签名 (手写):这个百 签字日期: 年 月 日

学位论文版权使用授权书

本学位论文作者完全了解 <u>南昌大学</u> 有关保留、使用学位论文 的规定,有权保留并向国家有关部门或机构送交论文的复印件和磁 盘,允许论文被查阅和借阅。本人授权<u>南昌大学</u>可以将学位论文的全 部或部分内容编入有关数据库进行检索,可以采用影印、缩印或扫描 等复制手段保存、汇编本学位论文。同时授权中国科学技术信息研究 所将本学位论文收录到《中国学位论文全文数据库》,并通过网络向 社会公众提供信息服务。

(保密的学位论文在解密后适用本授权书)

导师签名: 美子子子子 签字日期: 2009年6月12日 学位论文作者签名:文书子 签字日期:2019 年6 月/2日

第1章 绪论

1.1 背景及意义

随着社会的不断发展和人民生活水平的不断提高。日常生产生活中的安全 问题越来越受到重视。视频监控成为解决安全问题的手段之一,它以直观形象 和信息内容丰富而被广泛应用于许多场合。

视觉是人类最重要的感觉器官,视频图像信息也是人们从客观世界获取信息的主要来源,约占人们依靠五官从外界获得的信息总量的 80%。但在很多场合,由于受客观条件的限制,人不可能经常亲临现场进行直接观察,采用嵌入式视频监控系统可以从根本上解决以上问题。

在信息化时代的今天,随着计算机网络技术、嵌入式技术、视频编码技术、 微电子技术和通信技术的迅速发展,极大地推动了嵌入式视频监控技术的不断 发展。已经由原来的模拟视频监控系统发展到现在的数字视频监控、数字网络 视频监控和无线网络视频监控等更高级的视频监控系统。

利用嵌入式视频监控技术对重要对象进行监控,逐渐成为现代生活中必不可少的一部分。

目前的无线视频采集传输系统从传输方式上分为模拟信号传输和数字信号 传输二大类。模拟信号传输就是用图像信号直接调制载波。模拟传输设备简单, 因此造价相对便宜,但模拟传输距离近,容易被干扰,一般需要比较大的发射 功率,接收灵敏度也低;同时一般一路信号必须独自占据一个频道。如果需对 上面任一个问题进行改进,则需要大量复杂电路,成本体积都会迅速上升。数 字信号传输就是先将视频信号采样成 01 组成的数据,然后调制载波。由于只 有 01 两种调制状态,因此很容易做成高性能的电路,因此传输距离远,所需 发射功率小,容易实现频道复用^[1]。

由于视频信号采样成数字信号后,数据量很大,需要占用很大带宽,因此 一个频道能传输的信号数量很少。为解决这个问题,就需要在发射端先将数字 信号压缩。现有技术能将视频信号压缩到几十甚至几百分之一。因此传输甚至 存储压缩后的视频信号,只在播放时才还原成为原始的信号,能大大提高传输 利用率,降低成本。

1

第1章 绪论

目前我国无线视频采集传输采用两类方式实现压缩后的数字视频信号传输 ^[2]:其一是利用现有的公共无线传输系统,即GPRS、CDMA、卫星等;其二是 用户自己建立无线网络。利用现有的公共无线传输系统的优势有很多:其一是 公共网络覆盖到哪里,哪里就可以使用;其二是自己建立网络。但是,利用现 有的公共网络,也有许多问题:(1)运营费用高,每个月都需要向公共网络运 营商交钱(几百到几千/月不等,卫星、海事卫星等更高达二十几万/天/每个摄像 机);(2)带宽小,只有100—200kbps,传输的视频质量不高;(3)当一个小的 区域范围内有许多台摄像机时,公共网络系统在该区域的带宽可能不足以支持 这么多视频信号同时传输;(4)现有的公共网络的主要收入来自语音服务,而 公共网络的带宽有限,线路繁忙时会优先保证语音服务,因而可能使无线视频 采集传输系统在关键时无法使用;(5)有些偏远地区公共网络没有覆盖或不提 供数据服务,而这些地方可能恰恰是最需要无线视频采集传输系统的地方。由 于以上问题,只有在需要在很大的不固定范围,不固定线路移动的监控点,如 井下,采用公共系统传输视频数据,只在处理事故时开启传输系统,以节约运 行成本。多数采用自己建立无线覆盖系统传输视频信号^[3]。

1.2 研究现状

传统的视频采集传输系统以有线连接方式为主。近年来,随着无线通信技术和网络技术的快速发展,市场上出现了大量的无线视频采集传输设备。与以往的有线视频采集传输系统需要铺设大量的地上地下设备线路、可移动性差的情况相比,无线视频采集传输系统,不仅具有安装时间短、灵活、易于扩展、便利等特点,就成本上它也可省下一笔可观的布线费用。基于以上优点,无线视频采集传输系统已开始应用到军事、医疗、农业、安防等各个领域的各个方面,并引起了国内外学术界和工业界的广泛关注^[4-6]。

一般而言,无线视频采集传输系统包括视频采集模块,视频处理模块和无 线通信模块。早期的一些无线视频采集传输系统仅仅关注于系统功耗,忽略了 视频处理的功能,使得系统在视频质量和传输效率上欠佳,如系统^[7]。该系统采 用低功耗的 MSP430 单片机作为主控芯片,采集现场的视频数据,并通过无线 通信网络直接把数据传输到终端服务器显示。由于单片机的数据处理能力有限, 系统无法进行实时的视频压缩处理。另一方面,无线通信带宽非常有限,在不

第1章 绪论

进行任何压缩处理的情况下直接对视频进行无线传输,必然导致很低的帧率。 一个较早的具有本地视频处理功能的无线视频采集传输系统是 Panoptes^[8]。它主 要由 Intel StrongARM 处理器, USB 摄像头, Linux 操作系统和 WiFi802.11 无 线网络接口组成。该系统可以有针对性地对待传输视频数据进行洗择,很好的 解决了无线传输带宽有限的问题。Panoptes 采用了一些商业化的设备,结构不够 紧凑,并且功耗和成本都较高。Cvclops、WiSN、WiCa 等系统除了有视频采集 和本地处理的功能,还具有结构紧凑的特点^[9-11]。Cyclops 系统是一种低功耗的 设计,它把一块 CPLD 直接与摄像头相连,用于做简单的视频处理工作。然而, 8bit, 7.3MHz 的 CPU 和 64KB 的 RAM 限制了它提供更高级的视频处理算法的 计算能力。WiSN 采用一个更强大的 32bit, 48MHz 的 CPU 和 64KB RAM。但其 处理器要同时承担视频处理和无线通信的功能,严重影响了系统的处理和传输 速度。第二代的 WiCa 系统把视频处理和系统控制单元分开,采用 84MHz 的 Xetal-II SIMD 处理器来提高视频处理速度,利用 8051 和 ZigBee 模块来完成无 线网络功能。Xetal-II SIMD 处理器具有一个专为高级视频处理而设计的含有 320 个并行处理单元的线性处理器阵列和一个 64bit 的全局控制器,可为系统提供实 时的高级视频处理功能。参考文献^[12]中设计了一种无线视频采集传输系统。该 系统包括摄像头, FPGA, SUMSUNG ARM7 微处理器和无线通信模块。与 WiCa 相似,系统把视频处理和系统控制单元分开,利用 FPGA 进行视频采集和 视频压缩加速,利用 ARM 处理器对视频采集、视频压缩、无线通信模块进行控 制。该系统能够对视频进行实时处理,但 FPGA+ARM 的结构无疑增加了系统的 成本、功耗和体积。

本课题采用 SOPC (System On Programmable Chip)的设计方案。在 FPGA 上配置一个 Nios II 软核微处理器对系统进行控制,利用 FPGA 在高速复杂逻辑 和高速并行运算能力上的优势,设计视频采集、视频压缩硬件加速电路 IP 核, 并设计 IP 核与 Nios II 的接口电路及驱动程序,通过 Nios II 上的程序调用自行 开发的 IP 核,完成视频采集和视频压缩的功能。在无线通信方面,配置 SPI IP 核和 PIO IP 核控制 nRF24L01 无线收发芯片,通过 Nios II 上软件程序完成无线 通信协议。与上文所述的系统相比,本设计具有以下优点:第一,由于设计中 把视频采集电路,视频图像压缩硬件加速电路以及无线通信控制单元集成在一 块 FPGA 的不同功能区域上,系统可以在较低的功耗下工作,同时单片的设计 也减小了系统的体积和成本。第二,在系统中设计了一个专用的视频图像压缩

3

第1章 绪论

硬件加速电路,减轻了 CPU 的负担,提高了系统的工作效率。第三,SOPC 的 解决方案可非常方便的对系统进行重新配置,使系统更具灵活性。最后,本系 统采用的 RF 模块,最高传输速率达 2Mbit/S,可使系统达到更高的帧率。

1.3 本课题方案的提出

嵌入式无线视频系统主要由两个子系统构成:视频采集压缩及传输系统、数据接收解压及显示系统。其中底层的视频采集接口要求实时预处理数据量大,速度快,但运算结构相对简单,常采用 FPGA 硬件实现;高层基于 JPEG 视频压缩算法和系统总体控制结构复杂,由嵌入式 NIOS II 软核处理器来串行顺序处理;无线传输由 nRF24L01 无线射频芯片完成,数据搬移采用 DMA 方式。

无线视频系统主要由三个方面性能要求。第一,视频输入端口为高分辨率 QVGA(320×240)格式,25帧/秒;第二,图像压缩比例大于30:1,视频图 像从采集端到显示端(经过编解码和无线收发)的时间延迟小于1s;第三,视 频图像采集端到显示端的传输距离应大于100m(空旷)。

我们设计采用 Altera 公司 Cyclone II 系列的 FPGA 实现,主要有三个方面的 原因。首先,可在系统中定制 NIOS II 软核处理器^[13],同时可以在 NIOS II 处理 器指令集中增加定制指令^[14],加速实现基于 JPEG 的视频图像压缩。其次,视频 采集接口模块和数据发送端口模块均由硬件逻辑实现,数据的搬移采用 DMA 的 方式,这样可提高系统性能。第三,避免了外接视频缓存 FIFO 等器件和外围电 路,采用 SOPC 的设计方法裁减软硬件,可降低功耗和增强可靠性。最后,通 过 NIOS II 支持的 MicroC/OS-II、uClinux 等多种实时操作系统^[15],以及*.zip 的 文件系统,可无缝移植自定义外设和接口逻辑,使设计过程十分方便。

1.4 本文内容安排

本文主要研究內容包括基于 Avalon 总线的图像采集 IP 核的设计与实现, 基于 Avalon 总线的图像压缩 IP 核的设计与实现,基于 FPGA 和 nRF24L01 的无 线数据传输,无线视频系统 SOPC 架构设计与实现。

本文具体内容安排如下:

第一章绪论,介绍了本文课题研究的背景和意义,综述国内外研究现状, 提出了本课题的设计方案,最后介绍本文的主要工作和内容安排。 第二章讨论了基于 Avalon 总线的图像采集 IP 核的设计与实现,将 IP 核进行层次功能划分设计,并进行 HAL 下的设备驱动及封装。

第三章讨论定制基于 Avalon 总线的图像压缩 IP 核,软硬件协同设计,实现可配置、可移植的实时视频图像压缩 IP 核,提供了一个 SOPC 系统中的视频图像压缩方案。

第四章讨论了 nRF24L01 模块的硬件设计,基于 FPGA 与 nRF24L01 的无线数据通讯。

第五章构建 SOPC 系统,对课题设计的视频图像采集 IP 核、JPEG 视频图像 压缩 IP 核和无线通信模块进行联合验证。

第六章为总结和展望。

第2章 基于 Avalon 总线视频图像采集 IP 核的设计与实现

2.1 引言

本章提出了基于 Avalon 总线的图像采集 IP 核的设计,实现了一个可配置、 可移植的 SOPC 系统中的图像采集方法。图像采集 IP 核要求能采集单帧、连续 帧图像数据,用户可设定采集窗口大小。由于后续图像压缩处理需要,图像采 集 IP 核同时包含了色彩模式的转换模块。

从定制用户逻辑外设的角度,基于 Avalon 总线的图像采集 IP 核包含下列三 个部分组成:硬件逻辑文件:描述图像采集存储的硬件描述文件 (HDL 文件); 软件文件:定义采集 IP 寄存器的头文件及软件驱动 (C 语言文件);元件描述文 件:定义元件架构,包含 SOPC Builder 配置和生成部件所需的详细信息 (TCL 文件)^[16]。

2.2 硬件逻辑设计

2.2.1 设计思想

图像采集 IP+核的硬件组成逻辑包含图像时序判断模块(Cmos Sensor Data Capture)、Bayer 转 RGB 模块(Bayer Pattern To RGB)、RGB 转 YUV 模块(RGB To YUV)、Avalon MM 从端口模块(Avalon Slave Interface)、Avalon MM 主端口 模块(Avalon Master Interface)。根据需要,可对系统结构进行剪裁。

2.2.2 系统框图



图 2.1 系统原理框图

系统框图如图 2.1 所示,时序判断模块(Cmos Sensor Data Capture)判断图 像传感器发出的时序信号,将有效数据、有效数据标志信号、行列信号引入下 一模块。Bayer 转 RGB 模块(Bayer Pattern To RGB)判断行列信号进行下抽 样,并缓冲单行数据转换 Bayer 格式数据为 RGB 数据,将 R、G、B 信号引入 下一模块。RGB 转 YUV 模块(RGB To YUV)将 RGB 数据转换为 YUV 数据, 将 Y、U、V 信号引入下一模块。Avalon MM 主端口模块(Avalon Master Interface) 将 Y、U、V 信号引入下一模块。Avalon MM 主端口模块(Avalon Master Interface) 将 Y、U、V 数据写入 double clock FIFO 的缓存,从 double clock FIFO 读出后, 通过 Avalon 总线和 SDRAM Controller 保存到 SDRAM。Avalon MM 从端口模块 (Avalon Slave Interface)向 Avalon MM 主端口模块和其他功能模块发送控制信 号和寄存器参数信号。根据需要,可对上述系统结构进行剪裁。

2.2.3 模块设计

2.2.3.1 时序判断模块 (Cmos Sensor Data Capture):

图像传感器 MT9M011 的时序如图 2.2 和图 2.3 所示



图 2.3 行同步与像素数据

FRAME_VALID 和 LINE_VALID 信号同时为高电平时,标志有效像素数据。 时序判断模块 (Cmos Sensor Data Capture)判断图像传感器发出的时序信号,将 有效图像数据、数据有效标志信号、行列计数信号引入下一模块。帧有效信号 取反作为一帧结束信号,该信号上升沿会置位 Avalon MM 从端口的 status register 的第一个比特。时序判断模块原理图如图 2.4 所示。



第2章 基于 Avalon 总线视频图像采集 IP 核的设计与实现

图 2.4 时序判断模块原理图

设定接口信号类型如表 2.1 所示。

方向	信号类型	宽度	功能描述		
	clk	1	时钟信号(对应来自 Avalon 总线的像素同步时钟, 25MHZ)		
	control_go	1	启动采集新的一帧数据		
	reset	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)		
输入	user_ipixclk	1	像素时钟(对应 PIXCLK 25MHZ)		
	user_ifval	1	帧有效信号(对应 FRAME_VALID)		
	user_ilval	1	行有效信号(对应 LINE_VALID)		
	user_idata	8	像素数据(对应 DOUT , 取高 8 位)		
	control_frame_don e	1	一帧结束信号		
	user_odval	1	有效数据标志信号		
检山	user_odata	8	有效像素数据		
稝山	user_ox_cont	11	有效列计数		
	user_oy_cont	11	有效行计数		
	user_oframe_cont	32	采集帧数计数		

表 2.1 时序判断模块信号类型列表

2.2.3.2 Bayer 转 RGB 模块 (Bayer Pattern To RGB):

MT9M011 采用 Bayer 格式,偶数行间隔包含绿色和红色像素,奇数行间隔 包含蓝色和绿色像素;偶数列间隔包含绿色和蓝色像素,奇数列间隔包含红色 和绿色像素,如图 2.5 所示。



图 2.5 Bayer 格式

根据时序判断模块输入的行列计数信号值,进行下抽样,输出新的有效数据标志信号。对 G 分量进行插值,并与缓存的 R、B 分量拼成 RGB 格式数据。 Bayer 转 RGB 模块原理图如图 2.6 所示。



图 2.6 Bayer 转 RGB 模块原理图

设定 Bayer 转 RGB 模块信号接口信号类型如表 2.2 所示。

表 2.2 Bayer 转 RGB 模块信号类型列表

方向	信号类型	宽度	功能描述
	clk	1	时钟信号(对应来自 Avalon 总线的像素同步时钟, 25MHZ)
	reset	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)
输入	user_idval	1	像素数据有效标志信号(对应 user_odval)
	user_idata	8	像素数据(对应 DOUT , 取高 8 位)
	user_ix_cont	11	有效列计数 (对应 user_ox_cont)
	user_iy_cont	11	有效行计数 (对应 user_oy_cont)
	user_odval	1	下抽样后像素数据有效标志信号
	user_ored	8	下抽样后有效像素红色分量
输出	user_ogreen	8	下抽样后有效像素绿色分量
ſ	user_oblue	8	下抽样后有效像素蓝色分量

在这一模块中,采用 Shift Register(RAM based)来做行缓冲,参数设置为2 抽头,间距为1280,每个抽头位数为8 (number_of_taps=2, tap_distance = 1280, width= 8)。Shift Register(RAM based)模块原理图如图 2.7 所示。



图 2.7 Shift Register(RAM based)模块原理图

设定行缓冲模块接口信号类型如表 2.3 所示。

表 2.3 行缓冲模块信号类型列表

方向	信号类型	宽度	功能描述	
	clken	1	行缓冲输入使能(对应 user_idval)	
输入	clock	1	Avalon 主端口的同步时钟信号(25M)	
	shiftin	8	行缓冲输入数据(user_idata)	
输出	taps0x	8	抽头1(奇数行数据)	
	taps1x	8	抽头2(偶数行数据)	

2.2.3.3 RGB转YUV模块(RGBToYUV):

RGB 是基于红绿蓝三基色的颜色空间,而亮度和色差的颜色空间。它们之间的转换公式如式 2.1 所示

Y = 0.299*R + 0.587*G + 0.114*B

U = -0.169*R - 0.332*G + 0.500*B

V = 0.500*R - 0.419*G - 0.0813*B

(2.1)

各颜色分量值与小数系数相乘转换称为各颜色分量与 8 位二进制数(小数 系数乘以 128 对应的二进制数)相乘,乘加之后的结果再舍掉低七位。小于 0 的数置为 0,大于 255 的数置为 255。

RGB 转 YUV 模块原理图如图 2.8 所示。



图 2.8 RGB 转 YUV 模块原理图

设定 RGB 转 YUV 模块信号类型如表 2.4 所示。

表 2.4 RGB	转 YUV	模块信号	号类型列表
-----------	-------	------	-------

方向	信号类型	宽度	功能描述		
	r	8	有效像素红色分量 (对应 user_ored)		
输入	g	8	有效像素绿色分量 (对应 user_ogreen)		
	b	8	有效像素蓝色分量 (对应 user_oblue)		
	у	8	有效像素亮度分量		
输出	u	8			
	v	8	有效像素色差分量		

2.2.3.4 Avalon MM 从端口 (Avalon Slave Interface)

Avalon 从端口模块将内部节点映射为可寻址的偏移地址, Nios II 处理器通 过它进行读写操作。Avalon MM 从端口向 Avalon MM 主端口发送控制信号和寄 存器参数信号,同时包含符合 Avalon 总线规范的各种接口信号^[17]。

Avalon MM 从端口模块原理图如图 2.9 所示。



图 2.9 Avalon MM 从端口模块原理图

定义 Avalon MM 从端口信号类型如表 2.5 所示。

方向	信号类型	宽度	
	clk	1	时钟信号(对应来自Avalon总线的CPU时钟,100MHZ)
	control_frame_done	1	一帧结束信号
	control_write_done	1	一帧写完成信号
	reset	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)
榆入	slave_read		读请求信号(对应来自 Avalon 总线的 read 信号)
制八	slave_write	1	写请求信号(对应来自 Avalon 总线的 write 信号)
	slave_address	3	地址线 (对应来自 Avalon 总线的 address 信号)
	slave_writedata	32	数据线(对应来自 Avalon 总线的 writedata 信号)
	slave_byteenable	4	字节使能信号(对应来自 Avalon 总线的 byteenable)
	control_return_address	8	当前地址值

表 2.5 Avalon MM 从端口信号类型列表

方向	信号类型	宽度	功能描述
	control_fixed_write_address	1	固定基地址控制信号
	Control_irq	1	中断信号
	Control_read_go	8	启动采集信号
输出	debug_slave_done_strobe	11	调试信号
	Slave_readdata	11	数据线
	Control_write_address		数据保存首地址
	Control_write_length	4	数据保存长度

第2章 基于 Avalon 总线视频图像采集 IP 核的设计与实现

2.2.3.5 Avalon MM 主端口模块 (Avalon Master Interface)

Avalon 主端口发起基本主端口写传输,每次向 Avalon 总线模块传输一个数 据单元。Avalon MM 主端口模块接收来自 Avalon MM 从端口的控制信号和寄存 器参数信号,同时包含符合 Avaion 总线规范的各种接口信号^[18]。

Avalon MM 主端口模块原理图如图 2.10 所示。



图 2.10 Avalon MM 主端口模块原理图

设定 Avalon MM 主端口模块信号类型如表 2.6 所示。

1

32

32

user_write_clk

control_write_base

contol write length

输

方向	信号类型	宽度	功能描述
输入	clk	1	时钟信号(对应来自 Avalon 总线的 CPU 时钟, 100MHZ)
	control_fixed_location	1	固定基地址控制信号(对应 control_fixed_write_address)
	control_go	1	
	master_waitrequest	1	主端口保持等待信号(对应来自 Avalon 总线的 wait_request)
	reset	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)
	user_write_buffer	1	写有效标志信号 (对应 user_odval)
		-	

表 2.6 Avalon MM 主端口模块信号类型列表

时钟信号(对应来自 Avalon 总线的像素同步时钟, 25MHZ)

数据保存首地址 (对应 Avalon MM 从端口 control_write_address)

数据保存长度(对应 Avalon MM 从端口的 control_write_length)

方向	信号类型	宽度	功能描述	
	user_buffer_data	8	有效数据信号(对应{y,u,v,8'b0})	
	control_done	1	一帧写完成信号	
	debug_master_write	1	调试写请求信号	
	master_write	8	写请求信号	
te u	user_buffer_full	1	FIFO 满信号	
789 (23)	control_return_address	32	当前地址值	
	master_address 32		Avalon 总线和 Avalon 主端口的地址线	
	master_byteenable	4	字节使能信号	
	Master_writedata	32	Avalon 总线和 Avalon 主端口写数据操作的数据线	

第2章 基于 Avalon 总线视频图像采集 IP 核的设计与实现

双端口时钟模块原理图如图 2.11 所示



图 2.11 双端口时钟模块原理图

设定双端口时钟模块信号类型如表 2.7 所示。

表 2.7 双端口时钟模块信号类型

方向	信号类型	宽度	功能描述
	aclr	1	异步清零
	rdclk	1	读时钟(对应来自 Avalon 总线的 CPU 时钟, 100MHZ)
+ A \	rdreq	1	读请求信号(rdempty 非 0)
である	wrclk	1	写时钟 (对应来自 Avalon 总线的像素同步时钟, 25MHZ)
	wrreq	1	写请求(对应 user_write_buffer)
	data	32	写数据 (对应 user_buffer_data)
	rdempty	1	FIFO 空标志信号
输出	wrfull	1	FIFO 满标志信号
	q	32	读数据

2.2.4 各模块连接示意图

将上述各模块连接起来,得到原理图如图 2.12 所示。其中左一为时序判断 模块,左二为 Bayer 转 RGB 模块,左三为 RGB 转 YUV 模块,左四为 Avalon MM 主端口模块,左五 Avalon MM 从端口模块。各模块连接示意图如图 2.12 所示。



第2章 基于 Avalon 总线视频图像采集 IP 核的设计与实现

图 2.12 各模块连接示意图

2.3 HAL 下的设备驱动及封装

2.3.1 设计思想

定制图像采集外设,必须为其提供驱动程序,并将其驱动程序集成到 HAL 系统库中。驱动程序包含两部分,一部分是定义底层硬件接口的头文件,用于 描述设备寄存器和访问方法,另外一部分是 HAL 驱动程序文件(API 函数)。

2.3.2 寄存器描述

设备驱动程序通过存储器映像的寄存器,控制图像采集 IP 核,并与该核进行通信。图像采集 IP 核的寄存器映像如下

2.3.2.1 control 寄存器

CMOS_GO_BIT 0X01

判断 CMOS_BUSY_BIT 位为高后,置位 CMOS_GO_BIT,则启动采集新一帧

2.3.2.2 status 寄存器

状态寄存器由指示采集 IP 核内部状态的多个独立的状态位组成。软件可以随时读取状态寄存器,而不会改变其内容。写 0 到 status 寄存器将清除各状态位。

CMOS_FRAME_DONE_BIT 0X01

如果行同步信号由置低时,则置位 CMOS_FRAME_DONE_BIT,标志上一帧刚刚结束。

CMOS_BUSY_BIT 0X03

如果启动采集新的一帧数据,则置位 CMOS_BUSY_BIT,标志采集核正在采 集图像数据。

CMOS WRITE DONE BIT 0X02

当 Avalon Master Interface 中的计数长度大于一帧且 double clock FIFO 为空时,则置位 CMOS_WRITE_DONE_BIT,标志一帧图像保存到 SDRAM 完成。

2.3.2.3 write_address 寄存器

write_address 寄存器表示在 DMA 传输中要写入的第一个数据单元的地址,即采集图像数据存放首地址。该寄存器为 32 位,完成对所有从端口的寻址。

2.3.3 软件编程模型

图像采集 IP 核不匹配 HAL 支持的一般设备模型类型,因此用户通过 Avalon 接口采用基地址+地址偏移量的方式访问寄存器映像,从而控制图像采集 IP 并与 其通信。

设计一个子程序 alt_avalon_capture_command (),提供对图像采集 IP 的通用接口访问。

int alt_avalon_capture_command (alt_u32 base, alt_u32 address_reg)

base 为图像采集外设的基地址, address_reg 为数据保存首地址。返回值为 当前地址,可作为下一帧数据保存首地址。

驱动程序软件流程图如图 2.13 所示

START
判断CMOS_BUSY_BIT==0
设置(int) address_reg
判断CMOS_FRAME_DONE_BIT==0
设置CMOS CO_BIT
判断CMOS_FRAME_DONE_BIT==0
返回当前(int)address_reg
END

图 2.13 驱动程序软件流程图

2.3.4 封装

打开 SOPC Builder 提供元件编辑器,通过元件编辑器在 GUI (用户图形界面)下将图像采集逻辑(Verilog 文件)封装成一个 SOPC Builder 元件(也可以称为 IP 核)。

在设备文件夹下新建两个文件夹:一个 inc,用于放置设备寄存器描述文件 altera_avalon_cmos_controller_regs.h; 另外一个是 HAL,放置集成到 HAL 系统 库中的设备驱动文件。HAL 目录下的 inc 文件夹存放头文件 altera_avalon_cmos_controller.h, src 文件夹放置 altera_avalon_cmos_controller.c 文件。驱动程序 Makefile 也放置在 src 文件夹中,欲编译的 C 文件放置在 C_LIB_SRCS 一行。设备驱动程序文件目录如图 2.14 所示。



至此编译器可以找到驱动设备文件,并把它编译到 HAL 系统库中。组件选择栏(system contents)显示图像采集 IP 核如所示。基于 Avalon 总线的图像采集 IP 可以像使用 Altera 提供的外设元件一样使用了。组件选择栏显示的自定义组件如图 2.15 所示。集成到 SOPC 系统中实例化的组件如图 2.16 所示。

And Component ● My Component ● cmos_burst_write_controller 图 2.15 组件选择栏显示的自定义组件



2.4 结果分析

Compliation Report 显示该 IP 核耗用资源如图 2.17 所示:

Top-level Entity Name	cmos_burst_write_controll
Funily	Cyclone II
Device	EP2C35F672C6
Timing Hodels	Final
Net timing requirements	Ies
Total logic elements	693 / 33,216 (2 %)
Total combinational functions	592 / 33,216 (2 %)
Dedicated logic registers	370 / 33,216 (1 %)

图 2.17 IP 核耗用资源

实际测试是在 Altera 的 DE2 开发板上进行的,测试系统如图 2.18 所示。使用的图像传感器是 MICRON 公司的 MT9M011。将图像采集 IP 核主端口与 SDRAM 相连。采集完成后通过文件子系统将 SDRAM 中存放的 QVGA 大小图 像数据上传 PC,添加头文件后,显示实际图像如图 2.19 所示。



图 2.18 测试系统



图 2.19 实际图像显示效果

本文讨论了基于 Avalon 总线图像采集 IP 核的设计,根据自顶向下的设计 思想,将 IP 核进行层次功能划分设计,并对 IP 核进行 HAL 下的设备驱动及封 装,最后加入到 Nios II 系统中。该 IP 核测试效果良好。由于本 IP 核是可配置 的,具有很好的移植性,可以方便的应用以 Nios II 为核心的各种需要图形显示 的嵌入式系统中。

第3章 基于 Avalon 总线视频图像压缩 IP 核的设计与实现

3.1 引言

本章设计定制基于 Avalon 总线的图像压缩外设,软硬件协同设计,实现可 配置、可移植的实时图像压缩 IP 核,提出了一个 SOPC 系统中的图像压缩方法。

从软硬件协同设计的角度,基于 Avalon 总线的图像压缩 IP 核包括两部分。硬件实现部分:DCT 计算,量化,ZIGZAG;软件实现部分:游程编码,量化编码。

3.2 硬件逻辑设计及封装

3.2.1 设计思想

从定制用户逻辑外设的角度,基于 Avalon 总线的图像压缩 IP 核包含下列三 个部分组成。硬件逻辑文件:描述图像压缩的硬件描述文件(HDL 文件);软件 文件:定义寄存器的头文件及软件驱动(C 语言文件);元件描述文件:定义元 件架构,包含 SOPC Builder 配置和生成部件所需的详细信息(TCL 文件)。

设计的图像压缩逻辑包含二维离散余弦变换(DCT)、ZIGZAG 模块 (ZIGZAG)、量化模块(RGB To YUV)、Avalon MM 从端口模块(Avalon Slave Interface)、Avalon MM 读主端口模块(Avalon Read Master)、Avalon MM 写主 端口模块(Avalon Write Master)。根据需要,可对系统结构进行剪裁。

3.2.2 系统框图



图 3.1 系统原理框图

系统框图如图 3.1 所示, Avalon MM 读主端口模块(Avalon Read Master) 通过 Avalon 总线将 64 个原始图像数据写入 double clock FIFO 的缓存,从 double clock FIFO 读出后,进入二维离散余弦变换模块。二维离散余弦变换模块(DCT) 判断有效数据使能信号,进行二维离散余弦变换,将计算结果、结果有效信号 引入下一模块。ZIGZAG 模块(ZIGZAG)进行之字变换,将变换结果、结果有 效信号引入下一模块。量化模块(RGB To YUV)将对之字变换后得数据再进行 量化处理,量化系数由查表得到,量化结果、结果有效信号引入下一模块。Avalon MM 主端口模块(Avalon Master Interface)将量化后的数据写入 double clock FIFO 的缓存,从 double clock FIFO 读出后,通过 Avalon 总线和 SDRAM Controller 保存到 SDRAM。Avalon MM 从端口模块(Avalon Slave Interface)向 Avalon MM 主端口模块和其他功能模块发送控制信号和寄存器参数信号。根据需要,可对 上述系统结构进行剪裁。上述系统硬件结构实现了对一个图像块的 DCT、 ZIZAG、量化操作,其它后续处理用软件处理。

3.2.3 模块设计

3.2.3.1 二维离散余弦变换模块 (Cmos Sensor Data Capture):

离散余弦(DCT, Discrete Cosine Transform)变换是一种经典谱分析方法。 它属于离散傅立叶变换的一种特殊情况,即在变换后的傅立叶级数中只包括余 弦项^[19]。

离散余弦变换属于变换编码,它将图像信息从空间域转换到频域,实现能 量压缩,从而达到减少空间冗余性的目的。对于具有高相关性的信号(图像、声 音等)DCT具有非常好的压缩特性,同时又具有类似于FFT的快速算法,已经 成为 CCITT 建议的一种数字图像压缩技术。

离散余弦变换本身并不能够压缩图像,它只是通过使空间域的能量重新分 布来降低图像的相关性,为其后的量化去除人类视觉系统(HVS, Human Visual System)不敏感的高频分量信息和进行熵编码提供良好的基础^[20]。

DCT 变换具有图像无关性,可以使用多种快速算法实现。已提出的快速算法都是以并行处理为基础,能够很好的在并行硬件结构上实现^[21]。

其数学表达如式 3.1 所示[22]:

$$Y(u,v) = \frac{c(u)c(v)}{4} \sum_{i=0}^{7} \sum_{j=0}^{7} x(i,j) \cos \frac{(2i+1)u\pi}{16} \cos \frac{(2j+1)v\pi}{16}$$

其中, u,v =0,1…7;

$$c(u),c(v) = \begin{cases} \frac{1}{\sqrt{2}} & u,v = 0; \\ 1 & u,v \neq 0; \end{cases}$$
(3.1)

二维离散余弦变换模块原理图如图 3.2 所示。



图 3.2 二维离散余弦变换模块原理图

设定接口信号类型如表 3.1 所示。

第3章	基于 Avalon	总线视频图像压缩]	IP 核的设计与实现
-----	-----------	------------	------------

方向	信号类型	宽度	功能描述	
	clk	1	时钟信号(对应来自 Avalon 总线的 CPU 时钟, 100MHZ)	
[dstrb	1	启动 DCT 计算 (对应 control_dct_go)	
输入	ena	1	输入使能(64 周期)	
	rst	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)	
Ι	din	8	DCT 输入数据	
	douten	1	输出使能	
	dout_00	12	DCT 输出 (1)	
tesu	dout_01	12	DCT 输出 (2)	
		12	DCT 输出	
	dout_76	12	DCT 输出(63)	
	dout_77	12	DCT 输出(64)	

表 3.1 二维离散余弦变换模块信号类型列表

3.2.3.2 zigzag 扫描

量化后,要进行熵编码(无失真压缩)。对于 DC 系数和 AC 系数的编码,由 于两者在统计性质上有很大的不同,所以要分别进行。8×8 矩阵块的左上角第 一个元素是直流 DC 系数,即图像子块的平均值,由于相邻 8×8 块之间的 DC 系数之间的相关性很强,JPEG 对 DC 系数采用了差值脉冲编码(DPCM),即对相 邻块之间的 DC 系数的差值 Diff=DCi-DCi-1 进行编码。8×8 矩阵块的其它 63 个元素是交流(AC)系数,经压缩后多为 0 分量,考虑进行零值行程(Run Length) 的哈夫曼编码。为了保证低频分量先出现,高频分量后出现,以增加行程中连 续"0"的个数,这 63 个元素采用了"之"字型(Zigzag)的排列方法,如图 3.3 所示:按箭头方向存储,从 Q(0,0)开始,指向 Q(0,1),再指向 Q(1,0),这样使 AC 系数中的"0"集中,可以有效地压缩数据。



图 3.3 8×8 的 DCT 系数的 Zigzag 扫描

zigzag 扫描模块原理图如图 3.4 所示。



图 3.4 zigzag 扫描模块原理图

设定接口信号类型如表 3.2 所示。

衣 3.2 Z19Zag 扫油俁伏信亏尖尘外	表	3.2	zigzag	扫描模块	信号类型列表
------------------------	---	-----	--------	------	--------

方向	信号类型	宽度	功能描述		
	clk	1	时钟信号(对应来自 Avalon 总线的 CPU 时钟, 100MHZ)		
[[dstrb	1	启动 ZIGZAG		
	ena	1	输入使能(64 周期)		
] [rst	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)		
输入	dout_00	12	DCT 结果输入		
] [dout_01	12	DCT 结果输入		
		12			
[dout_76	12	DCT 结果输入		
	dout_77	12	DCT 结果输入		
	douten	1	输出使能		
输出	zigzag_test	1	输出脉冲标志		
	dout	12	ZIGZAGJ 结果串行输出		

3.2.3.3 量化模块 (QZR):

为了达到压缩数据的目的,对 DCT 系数需作量化处理。量化处理是一个由 多到一的映射,是在图像文件品质与压缩比例之间做一选择的重要过程,直接 关系到图像的质量和压缩比,它是图像有损压缩中的重要组成部分,是造成 DCT 编解码信息失真的根源。

在 JPEG 标准中采用线性均匀量化器。均匀量化定义为,对 64 个 DCT 变换 系数除以对应的量化步长,四舍五入取整,如下式 3.2 所示

$$S_q(u,v) = NearestInteger(\frac{F(u,v)}{Q(u,v)})$$
(3.2)

F(u,v)是做完 DCT 之后 8×8 方块内的值;Q(u,v)表示量化步长。每个不同的空间频率处理量化步长不同,并由此组成 8×8 的量化矩阵。

量化表是控制 JPEG 压缩比的关键。量化表的尺寸也是 64, 与 64 个变换数 一一对应,表中的每一个元素值为 1 至 255 之间的任意整数,其值规定了对位 置变换系数的量化器步长。由于 DCT 系数包含了空间频率信息,可充分利用人 眼对不同频率敏感程度不同这一特性来选择量化表的元素值。由于人眼对亮信 息敏感,对色度信息不敏感,所以,Y分量采用细量化,UV 采用粗量化;人眼 对灰度信息敏感,对轮廓信息不敏感。所以,量化表左上角代表灰度变化的低 频分量采用细量化,右下角代表灰度跳变的轮廓信息采用粗量化。这样,实际 传输时,右下角区域量化结果为 0 被舍去,达到了压缩的目的。对图像而言, 这种空间滤波去掉右下角,取左上角,相当于一个空间的低通滤波器。JPEG 规 范中,Y数据和 Cb, Cr 数据各有一个 8X8 的推荐量化表。

量化后得到的仍是 8X8 的 64 个系数,量化并没有改变系数的性质,下一步就是对量化后的系数进行嫡编码。



量化模块原理图如图 3.5 所示。

图 3.5 量化模块原理图

设定量化模块信号接口信号类型如表 3.3 所示。

		<u> </u>	化快庆快庆间 7 天空 7 1 化	
方向	信号类型	宽度	功能描述	
	cik	1	时钟信号(对应来自 Avalon 总线的 CPU 时钟,100MHZ)	
	dstrb	1	启动采集新的计算块	
	ena	1	输入使能	
	rst	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)	
	din	12	输入量化值	
	qnt_val	8	输入量化系数	
	dout_en	1	输出使能	
输出	qnt_cnt	6	计数	
	dout	12	输出量化后值	

表 3.3 量化模块模块信号类型列表

3.2.3.4 Avalon MM 从端口(Avalon Slave Interface)

Avalon 从端口模块将内部节点映射为可寻址的偏移地址,Nios II 处理器通过它进行读写操作。Avalon MM 从端口向 Avalon MM 主端口发送控制信号和寄存器参数信号,同时包含符合 Avalon 总线规范的各种接口信号。

Avalon MM 从端口模块原理图如图 3.6 所示。

- Г		
	all	control_clear
	control read done	control fixed read address
	control write done	control fixed write address
4	reset	control irq
-	slave read	control read go
┥	slave write	debug_slave_done_strope
t	slave address(20)	control read address(310)
1	slave writedata(310)	control read length[310]
1	slave_byteenable[3D]	control write address[310]
T	control_return_address[310]	control write length[310]

图 3.6 Avaion MM 从端口模块原理图

定义 Avalon MM 从端口信号类型如表 3.4 所示。

方向	信号类型	宽度	功能描述	
	cik	1	时钟信号(对应来自Avalon总线的CPU时钟,100MHZ)	
	control_read_done	1	NOT USED	
	control_write_done	1	一个压缩块写完成信号	
	reset	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)	
	slave_read		读请求信号(对应来自 Avalon 总线的 read 信号)	
神へ	slave_write	1	写请求信号(对应来自 Avalon 总线的 write 信号)	
	slave_address	3	地址线 (对应来自 Avalon 总线的 address 信号)	
	slave_writedata	32	数据线(对应来自 Avalon 总线的 writedata 信号)	
	slave_byteenable	4	字节使能信号(对应来自 Avalon 总线的 byteenable)	
	control_return_address	8	当前地址值	
	control_fixed_write_address	1	固定基地址控制信号	
	Control_irq	1	中断信号	
	Control_read_go	8	启动读取图像块信号	
输出	debug_slave_done_strobe	11	调试信号	
	Slave_readdata	11	数据线	
	Control_write_address		数据保存首地址	
	Control_write_length	4	数据保存长度	

第3章 基于 Avalon 总线视频图像压缩 IP 核的设计与实现

表 3.4 Avalon MM 从端口信号类型列表

3.2.3.5 Avalon MM 读主端口模块(Avalon Read Master)

Avalon 主端口发起基本主端口读传输,每次通过 Avalon 总线模块读取一个数据单元。Avalon MM 主端口模块接收来自 Avalon MM 从端口的控制信号和寄存器参数信号,同时包含符合 Avalon 总线规范的各种接口信号。

Avalon MM 读主端口模块原理图如图 3.7 所示。



图 3.7 Avalon MM 读主端口模块

设定 Avalon MM 读主端口模块信号类型如表 3.5 所示。

弗 3 草 基于 Avalon 忌线视频图像压缩 IP 核的设计

方向	信号类型	宽度	功能描述		
	clk	1	时钟信号(对应来自 Avalon 总线的 CPU 时钟, 100MHZ)		
	control_fixed_location	1	固定基地址控制信号(对应 control_fixed_write_address)		
	control_go	1	启动压缩信号 (对应 control_jpeg_go)		
	master_readvalid	1	表示 readdata 数据有效(流水传输模式)		
b (本)	master_waitrequest	1	主端口保持等待信号(对应来自 Avalon 总线的 wait_request)		
補八	reset	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)		
	user_read_buffer	1	读有效标志信号		
	control_read_base	32	数据读取首地址 (对应 Avalon MM 从端口 control_write_address		
	contol_read_length	32	数据读取长度(对应 Avalon MM 从端口的 control_write_length)		
	master_readdata	8	有效数据信号		
	control_dct_go	1	一帧写完成信号		
	debug_master_write	1	调试写请求信号		
1	master_write	8	写请求信号		
க்ப	user_buffer_full	1	FIFO 满信号		
湘西	control_return_address	32	当前地址值		
	master_address	32	Avaion 总线和 Avaion 主端口的地址线		
	master_byteenable	4	字节使能信号		
	master_writedata	32	Avalon 总线和 Avalon 主端口写数据操作的数据线		

双端口时钟模块原理图如图 3.8 所示



图 3.8 双端口时钟模块原理图

设定双端口时钟模块信号类型如表 3.6 所示。

表 3.6 双端口时钟模块信号类型

方向	信号类型	宽度	功能描述	
	aclr	1		
	rdclk	1	读时钟(对应来自 Avalon 总线的 CPU 时钟, 100MHZ)	
	rdreq	1	读请求信号(rdempty 非 0)	
7847	wrcik	1	写时钟 (对应来自 Avalon 总线的像素同步时钟, 25MHZ)	
[wrreq	1	写请求(对应 user_write_buffer)	
	data	32	写数据 (对应 user_buffer_data)	
	rdempty	1	FIFO 空标志信号	
输出	wrfull	1	FIFO 满标志信号	
	q	32	读数据	

3.2.3.6 Avalon MM 写主端口模块(Avalon Write Master)

Avalon 写主端口发起基本主端口写传输,每次向 Avalon 总线模块传输一个数据单元。Avalon MM 写主端口模块接收来自 Avalon MM 从端口的控制信号和寄存器参数信号,同时包含符合 Avalon 总线规范的各种接口信号。

Avalon MM 写主端口模块原理图如图 3.9 所示。



图 3.9 Avalon MM 写主端口模块原理图

设定 Avalon MM 写主端口模块信号类型如表 3.7 所示。

表 3.7	Avalon MM	主端口模块信	号类型列表
12 2.1	2 10 41011 101101		1 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2

方向	信号类型	宽度	功能描述			
	clk	1	时钟信号(对应来自 Avalon 总线的 CPU 时钟,100MHZ)			
	control_fixed_location	1	固定基地址控制信号(对应 control_fixed_write_address)			
	control_go	1	启动采集信号 (对应 control_read_go)			
	master_waitrequest	1	主端口保持等待信号(对应来自 Avalon 总线的 wait_request)			
16)	reset	1	复位信号(对应来自 Avalon 总线的 reset 信号,高有效)			
湘八	user_write_buffer	1	写有效标志信号 (对应 user_odval)			
	user_write_clk	rite_clk 1 时钟信号(对应来自 Avalon 总线的像素同步时钟, 25				
	control_write_base	32	数据保存首地址 (对应 Avalon MM 从端口 control_write_addres			
	contol_write_length	32	数据保存长度(对应 Avalon MM 从端口的 control_write_length)			
	user_buffer_data	8	有效数据信号			
	control_done	1	一帧 写完成信号			
	debug_master_write	1	调试写请求信号			
	master_write 8		写请求信号			
	user_buffer_full 1		FIFO 满信号			
输出	control_return_address	32	当前地址值			
-	master_address	32	Avalon 总线和 Avalon 主端口的地址线			
	master_byteenable	4	字节使能信号			
	master_writedata	32	Avalon 总线和 Avalon 主端口写数据操作的数据线			
	master_burstcount	2	突发传输中数据传输的次数(用于突发传输)			

双端口时钟模块原理图如图 3.10 所示



第3章 基于 Avalon 总线视频图像压缩 IP 核的设计与实现

图 3.10 双端口时钟模块原理图

设定双端口时钟模块信号类型如表 3.8 所示。

表 3.8	双端口	时钟模块	信号类型
1 3.0			ロノヘモ

方向	信号类型	宽度	功能描述				
	aclr	1	异步清零				
	rdclk	1	读时钟(对应来自 Avalon 总线的 CPU 时钟,100MHZ)				
检入	rdreq	1	读请求信号 (rdempty 非 0)				
1917	wrclk	1	写时钟 (对应来自 Avalon 总线的像素同步时钟, 25MHZ				
	wrreq	1	写请求(对应 user_write_buffer)				
	data	32	写数据 (对应 user_buffer_data)				
	rdempty	1	FIFO 空标志信号				
输出	wrfull	1	FIFO 满标志信号				
	q	32	读数据				

3.2.4 各模块连接示意图

将上述各模块连接起来,得到原理图如图 3.11 所示。其中左一为 Avalon MM 读主端口模块 (Avalon Read Master), 左二为图像压缩模块, 左三为 Avalon MM 写主端口模块 (Avalon Write Master), 左四为 Avalon MM 从端口模块。各模块 连接示意图如图 3.11 所示。根据需要,可对系统结构进行剪裁。图像压缩模块 原理图如图 3.12 所示,其中左一为 DCT 模块&ZIGZAG 模块,左二为量化模块, 左三为量化表模块。根据需要,可对该结构进行剪裁。



图 3.11 各模块连接原理图



图 3.12 图像压缩模块原理图

3.3 HAL 下的设备驱动及封装

3.3.1 设计思想

定制图像压缩外设,必须为其提供驱动程序,并将其驱动程序集成到 HAL 系统库中。驱动程序包含两部分,一部分是定义底层硬件接口的头文件,用于 描述设备寄存器和访问方法,另外一部分是 HAL 驱动程序文件(API 函数)。

3.3.2 寄存器描述

设备驱动程序通过存储器映像的寄存器,控制图像压缩 IP 核,并与该核进行通信。图像压缩 IP 核的寄存器映像如下

3.3.2.1 control 寄存器

JPEG GO BIT 0X08

判断 JPEG_BUSY_BIT 位为高后,置位 JPEG_GO_BIT,则启动采集新一帧 3.3.2.2 status 寄存器

状态寄存器由指示采集 IP 核内部状态的多个独立的状态位组成。软件可以随时读取状态寄存器,而不会改变其内容。写 0 到 status 寄存器将清除各状态位。

JPEG DONE_BIT 0X01

标志上一图像块刚刚结束。,则置位 JPEG_DONE_BIT,

JPEG_BUSY_BIT 0X03

如果启动压缩新的一帧数据,则置位 JPEG_BUSY_BIT,标志压缩核正在压缩 图像数据。

3.3.2.3 read_address 寄存器

read_address 寄存器表示在 DMA 传输中要读取的第一个数据单元的地址,即压缩图像数据读取的首地址。该寄存器为 32 位,完成对所有从端口的寻址。 3.3.2.4 write address 寄存器 write_address 寄存器表示在 DMA 传输中要写入的第一个数据单元的地址,即采集图像数据存放首地址。该寄存器为 32 位,完成对所有从端口的寻址。

3.3.3 软件编程模型

图像压缩 IP 核不匹配 HAL 支持的一般设备模型类型,因此用户通过 Avalon 接口采用基地址+地址偏移量的方式访问寄存器映像,从而控制图像采集 IP 并与 其通信。

我们设计了一个子程序,提供对图像采集 IP 的通用接口访问。

int jpeg(int base, signed char * source_location, short * destination_location, int read_length, int write_length)

base 为图像采集外设的基地址, source_location 为数据读取首地址, destination_location 为压缩数据保存首地址, read_length 为读取长度, write length 为写长度。

3.3.4 封装

打开 SOPC Builder 提供元件编辑器,通过元件编辑器在 GUI(用户图形界面)下将图像采集逻辑(Verilog 文件)封装成一个 SOPC Builder 元件(也可以称为 IP 核)。

在设备文件夹下新建两个文件夹:一个 inc,用于放置设备寄存器描述文件 altera_avalon_jpeg_regs.h;另外一个是 HAL,放置集成到 HAL 系统库中的设备 驱动文件。HAL 目录下的 inc 文件夹存放头文件 altera_avalon_jpeg_controller.h, src 文件夹放置 altera_avalon_jpeg.c 文件。驱动程序 Makefile 也放置在 src 文件 夹中,欲编译的 C 文件放置在 C_LIB_SRCS 一行。设备驱动程序文件目录如图 3.13 所示。

```
□ ▷ altera_avalon_cmos_controller
□ ▷ HAL
□ ▷ h altera_avalon_cmos_controller.h
□ ▷ src
□ □ eltera_avalon_cmos_controller.c
□ ○ component.mk
□ ○ inc
□ h altera_avalon_cmos_controller_regs.h
图 3.13 设备驱动程序文件目录
```

至此编译器可以找到驱动设备文件,并把它编译到 HAL 系统库中。组件选择栏(system contents)显示图像压缩 IP 核如所示。基于 Avalon 总线的图像采集 IP 可以像使用 Altera 提供的外设元件一样使用了。组件选择栏显示的自定义组件如图 3.14 所示。集成到 SOPC 系统中实例化的组件如图 3.15 所示。



3.4 软件设计

3.4.1 行程编码模块设计

由前面对 JPEG 标准中行程编码方法的介绍,可以知道行程编码的重点就是 对序列中出现的连续 0 的个数进行检测。在程序里,设置了一个宽度为 6 比特 的计数器,对 0 的数量进行检测。当发现序列中出现一个 0 时,计数器的值就 加 1,当发现非 0 值时,计数器就会清 0,这样,在清零之前计数器里的值,也 就表示了在这个非 0 数之前连续出现的 0 的个数。如果发现 0 检测器里的值大 于 16,电路就会生成一个表示(15,0)的码流,添加到序列中,然后把计数器的 值减去 16,再继续进行检测。

另外需要注意的是,经过行程编码之后,由于有些为 0 的数被压缩,输出 的数据流就不是连续的了,也就是说,并不是每个时钟周期都有数据输出。因 此,在行程编码输出的同时,在电路中设计一个数据有效信号,当数据有效信 号为高电平时,输出的数据才是有效的。

3.4.2 哈夫曼编码模块设计

哈夫曼编码在程序的实现上,首先要对分组的数取绝对值,即正数不变, 负数求补加 1。然后从这个数的绝对值(用二进制表示)的最高位往低位数,判断 第一个出现的 1 是在哪一位,就把这个数归在哪一组。比如,如果一个数的绝 对值用二进制表示是 00011100110,即从高位往低位数,第一个出现的1是在第 8 位,就把这个数归在第8组。由于分组之后生成的实际保存值已经包含了编码 的信息,所以就不需要再进行进一步的编码了,只需要对由两个4 比特的数拼 成的那些字节再进行哈夫曼编码即可。在图像存储控制与压缩电路里,是采用 基于查表的方式来实现哈夫曼编码的。在程序中,根据亮度与色差系数、DC与 AC系数的不同,共定义了四张哈夫曼表。对于DC系数,因为总是出现在序列 的开始,因此,标志前面0的个数的那4个比特一定是0,所以与DC系数对应 的那个待编码字节最多只有16种可能的变化。因此,在DC系数对应的两张哈 夫曼表中,只需要填入16个表项即可。而AC系数对应的那两张哈夫曼表,都 要填入256个表项。然后,电路中还设置了一个指针用于选择不同的哈夫曼表。 如果读入的 MCU 属于Y分量,就需要选择对应于亮度的哈夫曼表。然后,每个 MCU 经过处理后生成的第一个字节数据属于DC系数,在对这个系数进行编码 时,需要选择与DC系数对应的表,对其他的数进行编码,就要选择与AC系数 对应的表。对哈夫曼编码后生成的码流,依照先后次序,将每16位比特拼成一 个字节,送给输出控制模块,并同时产生一个数据有效信号。

3.4.3 添加 JPEG 头文件

JPEG 文件使用的数据存储方式有多种。最常用的格式称为 JPEG 文件交换 格式 (JPEG File Interchange Format, JFIF)。而 JPEG 文件大体上可以分成两个 部分:标记码(Tag)和压缩数据。标记码由两个字节构成,其前一个字节是固定 值 0xFF,后一个字节则根据不同意义有不同数值。在每个标记码之前还可以添 加数目不限的无意义的 0xFF。也就说连续的多个 0xFF 可以被理解为一个 0xFF, 并表示一个标记码的开始。而在一个完整的两字节的标记码后,就是该标记码 对应的压缩数据流,记录了关于文件的诸种信息。常用的标记有 SOI、APP0、 DQT、SOF0、DHT、DRI、SOS、EOI。

设计中用到的标记码、占用字节长度和表示的意义如下:
SOI, Start of Image,图像开始
标记代码 2字节 固定值 0xFFD8
APP0, Application,应用程序保留标记 0
标记代码 2字节 固定值 0xFFE0
包含 9 个具体字段:

33

第3章 基于 Avalon 总线视频图像压缩 IP 核的设计与实现

①数据长度 2字节 9个字段的总长度 固定值 0x4A46494600, 即字符串 "JFIF0" ②标识符 5 字节 ③版本号 2字节 一般是 0x0102, 表示 JFIF 的版本号 1.2 ④ X 和 Y 的密度单位 1 字节 只有三个值可选 0: 无单位: 1: 点数/英寸: 2: 点数/厘米 ⑤ X 方向像素密度 2字节 取值范围未知 2 字节 取值范围未知 ⑥Y方向像素密度 ⑦缩略图水平像素数目 1字节 取值范围未知 ⑧缩略图垂直像素数目 1字节 取值范围未知 ⑨缩略图 RGB 位图 缩略图 RGB 位图数据 DOT, Define Quantization Table, 定义量化表 标记代码 2字节 固定值 0xFFDB

包含9个具体字段:

①数据长度 2字节 字段①和多个字段②的总长度,即不包括标记代码, 但包括本字段

②量化表 数据长度-2字节

a)精度及量化表 ID 1 字节

高4位:精度,只有两个可选值0:8位;1:16位

低 4 位:量化表 ID,取值范围为 0~3

SOF0, Start of Frame, 帧图像开始

标记代码 2字节 固定值 0xFFC0

包含9个具体字段:

①数据长度 2字节 六个字段的总长度

②精度 1字节 每个数据样本的位数通常是8位

③图像高度 2字节 图像高度(单位:像素),如果不支持 DNL 就 必须 >0

④图像宽度 2 字节 图像宽度(单位:像素),如果不支持 DNL 就 必须 >0

⑤颜色分量数 1字节 只有3个数值可选 1: 灰度图; 3: YCrCb 或 YIQ; 4: CMYK

⑥颜色分量信息 颜色分量数×3 字节(通常为9字节)

标记代码 2 字节 固定值 0xFFC4
包含 2 个具体字段:
①数据长度
②哈夫曼表
a)表 ID 和表类型 1 字节
b)不同位数的码字数量 16 字节
c)编码内容 16 个不同位数的码字数量之和 (字节)
SOS, Start of Scan, 扫描开始 12 字节
标记代码 2 字节 固定值 0xFFDA
包含 2 个具体字段:

①数据长度 2 字节 ①~④两个字段的总长度即不包括标记代码,但包括本字段

②颜色分量数 1字节

③颜色分量信息

a)颜色分量 ID 1 字节

b)直流/交流系数表号 1字节

高4位: 直流分量使用的哈夫曼树编号;

低 4 位: 交流分量使用的哈夫曼树编号

④ 压缩图像数据

a)谱选择开始 1字节 固定值 0x00

b)谱选择结束 1字节 固定值 0x3F

c)谱选择 1 字节 在基本 JPEG 中总为 00

本标记段中,字段③应该重复出现,有多少个颜色分量(字段②),就出现 多少次(一般为3次)。本段结束后,紧接着就是真正的图像信息了。图像信息 直至遇到一个标记代码就自动结束,一般就是以 EOI 标记表示结束。

EOI, End of Image, 图像结束 2 字节

标记代码 2字节 固定值 0xFFD9

3.5 结果分析

Compliation Report 显示该 IP 核耗用资源如图 3.16 所示:

De v i ce	EP2C35F484C8
Timing Models	Final
Met timing requirements	Tes
Total logic elements	6,320 / 33,216 (19 %)
Total combinational functions	6,112 / 33,216 (18 🕱)
Dedicated logic registers	3,344 / 33,216 (10 %)
Total registers	3344
Total pins	224 / 322 (70 %)
Total virtual pins	0
Total memory bits	46,128 / 483,840 (10 %)
Embedded Multiplier 9-bit elements	70 / 70 (100 %)
Total PLLs	0/4(0%)

第3章 基于 Avalon 总线视频图像压缩 IP 核的设计与实现

图 3.16 IP 核耗用资源

实际测试是在 Altera 的 DE2 开发板上进行的,测试系统如图 3.17 所示。将图压缩 IP 核主端口与 SDRAM 相连。采集完成后通过文件子系统将 SDRAM 中存放的 JPEG 图像数据上传 PC,添加头文件后,原始图像显示效果如图 3.18 所示,压缩图像效果如图 3.19 所示。



图 3.17 测试系统



图 3.18 原始图像显示效果



图 3.18 压缩图像效果

从软硬件协同设计的角度,基于 Avalon 总线的图像压缩 IP 核包括两部分。 硬件实现部分:DCT 计算,量化,ZIGZAG;软件实现部分:游程编码,量化编码。

根据自顶向下的设计思想,将硬件逻辑部分 IP 核进行层次功能划分设计, 并对 IP 核进行 HAL 下的设备驱动及封装,最后加入到 Nios II 系统中,并设计 实现游程编码、量化编码的软件实现。该 IP 核测试效果良好。由于本 IP 核是 可配置的,具有很好的移植性,可以方便的应用以 Nios II 为核心的各种需要图 形显示的嵌入式系统中。

第4章 基于 FPGA 的无线数据收发设计及实现

4.1 引言

随着无线通信和网络技术的发展,除了广域网(WAN: Wide Area Network)、 城域网 (MAN: Metropolitan Area Network)、局域网 (LAN: Local Area Network) 外,网络界又提出了无线个人局域网(WPAN: Wireless Personal Area Network)的 概念。无线个人局域网能够在近距离相隔几米或几十米的范围内为设备建立连 接,还可以将一组相互连接的设备中的一个或多个设备连入更广阔 LAN 或 Internet。其核心思想是用射频无线电波或者红外线代替传统的电缆,实现个人 信息终端的智能化互连,组建个人化的办公或者家用信息网络^[24]。

国际标准化组织 ISO 提出了开放系统互连 ISO 的参考模型,它是一种定义 异种计算机连接标准的框架结构,适用于包括广域网和局域网在内的所有网络 结构。一个系统与其他系统通信时,如果彼此能够相互识别并支持共同的标准 化信息交换协议,则具备互连的条件。

ISO 采用了层次结构的构造技术,通过分层,把一个复杂的问题划分为不同 的局部问题,并规定每一层所必需完成的功能。在同一体系结构中的上层和下 层之间,下层为上层提供服务,上层是下层的用户,上下层之间靠接口联系, 上层通过原语或过程调用相邻底层的服务,相邻高层协议通过不同的服务访问 点调用底层协议。不同计算机的通信在同等的层之间进行,同等直接的连接和 信息由协议定义,同一层的协议根据该层所要完成的功能多少,而应包含有多 个相应的进程或实体。

ISO 参考模型分为 7 个层次,由一组完整的分层协议及标准组成。如图 4.1 所示^[25]。

38





图 4.1 无线通信协议栈示意图

物理层负责选择信道、信号调制解调及数据收发。数据链路层负责信道复 用、数据帧检测、介质访问控制和拥塞控制等。网络层负责路由发现和数据路 由。传输层负责提供虚电路的建立、维护和拆除以及系统间透明传输,提供端 到端的差错恢复和流控。会话层负责建立、维持和终止进程间的会话连接,实 现对话时方向交换的管理。表示层为应用层提供数据的传输表示方式,完成数 据转换、格式化和文本压缩。应用层负责和其他用户建立通信,为网络中的用 户提供文件传输,E-mail等服务。

无线局域网网络结构相对简单,在单一局域网内部不存在复杂的中转、路 由等网络控制、局域网的协议体系结构主要包括物理层、数据链路层、网络层。 下面分别对这三层的功能进行介绍^[26]:

物理层协议解决的是数据终端设备与通信线路上数据电路设备之间的接口 问题。数据终端设备与数据电路设备之间连接时要遵循共同的接口标准。接口 标准由机械特性、电器特性、功能特性和规程特性来详细说明。无线局域网中, 该层包括使用的频率、调制技术、频率扩展技术等。

数据链路层负责邻近节点间链路的建立,一般包括介质访问控制(MAC)协议,差错控制算法和一些功率调度算法。MAC 协议比较关键是因为它决定了网络最底层通信的建立,并且决定了相邻节点间如何公平有效地共享资源。MAC 协议根据实现机制可分为:基于调度的协议、竞争性的协议和混合协议方案。现有的无线个人局域网,比如蓝牙、Zigbee 所采用的 MAC 协议,并不完全适用于微型无线图像采集传输系统,这是因为它们在设计的时候主要考虑节省带宽

资源。近年来,一些专门为无线个人局域网所设计的 MAC 协议都是针对不同的 优化目标提出的,有的目标是提高系统工作时间,有的则为了节省能量,所以 MAC 协议最好针对具体应用和系统要求来优化设计。

网络层主要负责路由发现、数据交付和路由维护。其中,开发路由协议是 网络层的核心问题。

4.2 无线通信方式选择

目前用于无线个人局域网的几种主流的无线通信协议有:红外、蓝牙、 HomeRF、Zigbee、基于非标准协议的 RF 射频通信^[27]。

基于非标准协议的 RF 射频通信同蓝牙技术一样是基于电磁波的。RF 射频 模块的选择很多,可以灵活的根据系统需求选择需要的射频模块、开发相应的 无线通信协议,成本低且实现电路简单,降低了 RF 射频模块的开发难度。某些 RF 射频模块甚至能够同时满足高带宽、低功耗、低成本的要求。

通过对红外、蓝牙、Zigbee、基于非标准协议的 RF 射频通信特点的分析、 以及表 4.1 中几种射频芯片性能特点的比较,基于传输速率、传输距离、工作频 段、功耗、成本等因素的考虑,选择 nRF24L01RF 射频模块作为本系统的无线 通信模块。

	TR1000	CC1000	LMX3162	nRF24L01	MICRF103	CC2420
调制 类型	ООК	FSK/ASK	N/A	GFSK	OOK/ ASK	O-QPSK
载波 频率	916 MHz	300- 1000 MHz	2.45GHz	2.4 GHz	800- 1000 MHz	2.4GHz
工作 电压	3V	2.1-3.6 V	3.0-5.5 V	1.9-3.6 V	4.75-5.5 V	1.6 to3.6V
发送模 式电流	12mA	16.5mA	50mA	11.3mA	27.5mA	17.4mA
接收模 式电流	3.8 mA	9.6 mA	27mA	12.3mA	4mA	19.7mA
数据率	115.2 kbps	76.8 kbps	115.2 kbps	2Mbps	20kbps	250kbps
接收 灵敏度	-97dBm	-110 dBm	-93dBm	-84dBm	-95dBm	-94dBm
发射 功率	0dBm	-20-10 dBm	-7.5dBm	+2dBm	-3 dBm	-24- 0dBm

表 4.1 射频芯片的对比

4.3 无线模块设计

Nordic 公司的 nRF24L01 是单片射频收发芯片,工作于 2.4-2.5GHz 的 ISM 频段。芯片内置频率合成器、功率放大器、晶体振荡器和调制器等功能模块, 输出功率和通信频道可通过程序进行配置。芯片能耗非常低,以0dBm的功率发 射时,工作电流只有11.3mA,接收时工作电流只有12.3mA,多种低功率工作模 式,使节能设计更方便。nRF24L01 提供 83 个频道,满足多点通信和跳频通信 的需要,工作速率 0-2Mb/s。输出功率、传输速率和频道选择可通过三线串行接 口编程配置。nRF24L01 芯片最突出的特点是有两种通信模式: DirectMod(直接 模式)和 ShockBurstTM (突发模式)。直接模式的使用与其它传统射频收发器的 工作一样,需要通过软件在发送端添加校验码和地址码,在接收端判断是否为 本机地址并检查数据是否传输正确。ShockBurstTM 使用芯片内部的先入先出堆 栈区,数据可从低速微控制器送入,高速 2Mbit/s 发射出去,地址和校验码硬件 自动添加和去除,这种模式的优点是:可使用低速微控制器控制芯片工作:减 小功耗; 射频信号高速发射, 抗干扰性强: 减小整个系统的平均电流。因此, 使用 nRF24L01 芯片特有的 ShockBurstTM 使得系统整体的性能和效率提高。图 4.5 是购买的 nRF24L01 模块,图 4.6 自制射频模块,图 4.7 是 nRF24L01 模块电 路设计。



图 4.5 射频模块



图 4.6 自制射频模块



图 4.7 nRF24L01 电路设计

图 4.7 中,CE为片选端,它与nRF24L01 中 CONFIG 寄存器的 PWR-UP 和 PRIM-RX 位组合用于选择芯片的工作方式,CSN 为芯片内部 SPI 硬件接口的使 能端,SCK 为 SPI 时钟输入端,MOSI 为 SPI 接口的数据输入端,MISO 为 SPI 接口的数据输出端,IRQ 为中断请求端。

4.4 无线通信实验

FPGA 可以通过一个 SPI 口和两个 IO 口对 nRF24L01 芯片进行配置。 nRF24L01 芯片 SPI 的读操作和写操作时序分别如图 4.8 和图 4.9 所示。 CSN 为 低时,在每个 SCK 的下降沿,微控制器 SPI 上 MOSI 管脚的指令或数据串行移 入到 nRF24L01 的 MOSI 管脚,在每个 SCK 的上升沿 nRF24L01 锁定指令或数 据。写入指令时,要求高位在前,低位在后。指令的数据宽度为八位。向 nRF24L01 写入指令的同时,其 STATUS 寄存器的值会从 MISO 脚移出。nRF24L01 上 SPI 的最高数据速率可达 8Mbps。



第4章 基于 FPGA 的无线数据收发设计及实现

图 4.9 SPI 写操作时序

利用 SOPC Builder 工具,在 SOPC 系统中配置一个 SPI IP 核和两个 PIO IP 核,以满足 nRF24L01 读写时序要求。具体配置如下:对 SPI IP 核,时钟相位和 时钟极性都设置为 0,数据宽度 8 位,高位先进,SCK 速率 8MHz。对与 nRF24L01 CE 管脚相对应 PIO 核,设置为输出模式,数据宽度为 1 位,用于选择 nRF24L01 工作模式。对与 nRF24L01IRQ 管脚相对应的 PIO 核,设置为输入模式,数据宽 度为 1 位,由于 nRF24L01 的 IRQ 信号低电平有效,所以配置此 PIO 核在下降 沿产生中断。

使用 SignalTap II 嵌入式逻辑分析仪软件在板探测 FPGA 上 CSn、MISO、 MOSI、IRQ 管脚信号。直接利用 FPGA 上 SPI 的时钟 SCK 作为采样时钟,在每 个 SCK 的上升沿采集数据,采样深度为 1K。检测结果如图 4.10 所示,其时序 与图 4.8、4.9 要求的 SPI 时序一致。



图 4.10 FPGA 管脚信号测试结果

为测试无线数据传输的准确性,把系统接收端与 PC 相连。接收端收到数据 后,通过串口把数显示到 PC 上。实验结果表明:无线传输模块能准确传输数据。 无线通信模块在整个系统中起着非常重要的作用,它的功能与性能是整个 系统应用成败的关键。本章首先介绍了无线个人区域网、OSI/RM 网络协议模型 和无线局域网协议模型,在分析几种主流的短距无线通信协议的结构和特点的 基础上,确定系统采用基于 nRF24L01 的非标准通信协议。其后,重点介绍了 nRF24L01 的硬件设计、FPGA 与 nRF24L01 间接口设计以及无线通信协议中物 理层和数据链路层的设计与实现。最后,对数据无线传输速率进行了理论估算, 并对无线通信模块数据传输的准确性和完整性进行了测试。实验结果表明,设 计的无线通信模块能够准确、完整的传输数据。

第5章 系统 SOPC 架构设计及实现

5.1 引言

SOPC 设计包括以 32 位 Nios II 软核处理器为核心的嵌入式系统的硬件配置, 硬件设计、硬件仿真、软件设计、软件调试等。SOPC 系统设计的基本工具软件 有: Quartus II,用于完成 Nios II 系统的综合、硬件优化、适配、编程下载和硬 件系统测试;SOPC Builder,是 ALTERA Nios II 嵌入式处理器开发软件包,用 于实现 Nios II 系统的配置、生成;Modelsim,用于对 SOPC 生成的 Nios II 系统 的 HDL 描述进行系统功能仿真;Matlab/DSP Builder,可生成 Nios II 系统的硬 件加速器,进而为其定制新的指令;Nios II IDE,用于软件开发、调试和运行。

与传统的嵌入式系统设计不同,基于 Nios II 的 SOPC 系统开发分为硬件开 发和软件开发两个流程。硬件开发过程包括由用户定制系统硬件的构建,然后 由计算机完成硬件系统的生成;软件开发则与传统方式比较接近,在构建的硬 件系统之上建立软件设计。SOPC 开发流程比 FPGA 的开发流程增加了处理器、 外设接口的定制步骤及软件开发的步骤。

5.2 SOPC 系统架构

发送端 SOPC 系统包含了视频图像采集 IP 核、视频图像压缩 IP 核和 SPI 等 模块,如图 5.1 所示。



图 5.1 系统 SOPC 架构

5.3 SOPC 系统建立

构建的 SOPC 系统由 CPU、存储器接口、标准外围设备、自定义的图像采 集 IP 核、自定义图像压缩 IP 核组成。SOPC Builder 将这些组件组合起来,生成 对这些组件进行实例化的单个系统模块,自动生成必要的总线逻辑,并将这些 组件连接到一起。

5.3.1 添加 Nios II CPU Core

与一般的嵌入式系统开发不同,在一般的嵌入式系统开发中,当需要新的 外设模块时,往往需要在 CPU 外(即 PCB 上)加入相应的外设芯片,或者换用 更高档次的 CPU,而 SOPC 设计可以在 CPU Core 外(但还是在同一块 FPGA 芯 片内)加入相应的外设模块核,并通过片上的 Avalon 总线与 Nios II Core 相连, 因此可以不需要在 PCB 这个层面上做很多修改。

在 Nios II Core 配置选项中可供选择 Nios II Core, 有以下几种:

经济型 CPU 核 (Nios II/e),占用的 LE 最少,功能最少。(Up to 5DMIPS 600-700LEs)

标准型 CPU 核 (Nios II/s), 平衡于性能和尺寸, 具有 Nios II CPU 的一般功能。(Up to 26DMIPS 1200-1400LEs)

全功能型 CPU 核 (Nios II/f),最高性能的优化,具有 Nios II CPU 的所有功能。(Up to 26DMIPS 1200-1400LEs)

这里选用(Nios II/f) 全功能型 CPU 核。添加 Nios II CPU Core 如图 5.2 所示。

Nio:	s II Processor	•			About Decumentation
Parasieter Settings		hereit			
Core Naos II 🔪 Các	ties and Memory Interfaces		NOIU and MPU Settings) ЛАБ Detxig M	adale 🔪 Custan Instructions
Core Nios II Select a Nios II core:	ONIOS II/e	O Nilos II/s	[⊛] Nios II/f		-
Nios II Selector Guide Family: Cyclone II Synthem: 50.0 MHz cpuid: 0	RISC 32 bit	RSC 32-bi Instruction Cache Branch Prodiction Hardware Multiply Hardware Divide	RSC 32-bit Instruction Cache Branch Prediction Herdware Multiply Hardware Divide Berrel Shifter Dels Cache Bansmie Branch Pri	ediction	
Performance at 50.0 M	Hz Up to 5 DMIPS	Up to 25 DMIPS	Lip to St DMIPS		
Logic Usage	600-700 LEs	1200-1400 LEs	1400-1800 LEs	a water in a page	
Hardware Multiply: Emi	bedded Multipliers	Y Hardware Divide			
Reset Vector: Me	mory: cfi_flesh	✓ Offset: 0x0		0x03400000	
Exception Vector: Mer	nory sdram	✓ Offset 0x20		0x02800020	

图 5.2 添加 Nios II CPU Core

包含 Avalon 总线的指令主控制器 instruction_master、数据主控制器 data master 和调试模块 jtag debug module。

5.2.2 添加 JTAG UART

JTAG 通用异步接收器/发送器 (UART) 核是在 PC 主机和 FPGA 上的 SOPC Builder 系统间进行串行通信的一种实现方式。JTAG UART 核替代 RS-232,完成与 PC 主机的字符 I/O。SOPC Builder 中所提供的 JTAG UART 核只有简单的 寄存器映射,对嵌入式软件程序人员隐蔽了其内部结构。Avalon 主外设 (如 Nios II 处理器)通过访问 JTAG UART 接口的控制寄存器和数据寄存器来完成通信。

JTAG UART 核使用 FPGA 内嵌的 JTAG 电路, 主机可以通过 FPGA 上的 JTAG 专用引脚来访问 JTAG 电路, 主机可以通过 JTAG 下载电缆(如 USB-Blaster) 与 FPGA 实现连接。对于 Nios II 处理器, JTAG UART 核在 HAL 系统库中提供 器件驱动,允许软件程序通过 ANSI C 标准库函数访问 JTAG UART;而对于主 机,ALTERA 提供 JTAG 终端软件来管理 PC 与目标系统的连接,对 JTAG 数据 流进行解码,并在显示设备上显示字符。

JTAG UART 核提供访问 FPGA 内部 JTAG 电路的 Avalon 从端口。JTAG UART 核接口可见的用户部分为 data 和 control 两个 32 位寄存器。通过 Avalon 从端口访问这两个寄存器, Avalon 主外设通过访问这两个寄存器来控制 JTAG UART 核,并利用 JTAG 连接来传输数据。JTAG UART 核每次传输 8 位为一个数据单元,当读数据准备好或写 FIFO 也准备好时, JTAG UART 核可以输出一个高电平有效的中断请求信号。

JTAG UART 核提供双向的 FIFO 来提高 JTAG 的连接带宽, FIFO 的深度根据 FPGA 片内可用的存储单元来确定。FIFO 可以用存储器或寄存器来构建,这就允许用户在必要的情况下牺牲逻辑资源来换取存储资源。

FPGA 内部的 JTAG 控制器和位于主机上的下载电缆驱动程序在主机和目标 系统之间实现了一个简单的数据链路层。在 FPGA 内部的所有 JTAG 节点都复用 同一个 JTAG 连接。主机上的 JTAG 服务器软件对 JTAG 数据流进行控制和解码, 并维持 FPGA 内部节点和 JTAG 电路之间的连接。

添加 JTAG UART 如图 5.3 所示。

JTAG UAR	r	About Do	cumentation
arameter ettings			
Configuration $>$ Simulation $>$			
Write FIFO (Data from Avalon to J	TAG)		
Buffer depth (bytes): 64	~	IRQ threshold: 8	
Construct using registers instea	d of memory blo	cks	
Read FIFO (Data from JTAG to Av	alon)		
Buffer depth (bytes): 64	*	IRQ threshold: 8	
Construct using registers instea	d of memory blo	cks	

图 5.3 添加 JTAG UART

5.2.3 添加 SDRAM 控制器

基于 Avalon 总线的 SDRAM 控制器为 Nios II 系统和片外 SDRAM 之间的连接提供了一个 Avalon 接口,使得设计者可以方便地将片外的 SDRAM 芯片连接到自定制的 Nios II 系统中来。

SDRAM 一般用在需要大容量易失性存储器且对成本敏感的应用系统中。 SDRAM 价格相对便宜,但是需要较为复杂的控制逻辑来实现 SDRAM 的刷新、 行访问(Open Row)管理、延时及其他操作。SDRAM 控制器与一个或者多个 SDRAM 芯片相连,并由它处理所有的 SDRAM 协议请求。在 FPGA 内部, SDRAM 控制器核提供一个线形存储器的 Avalon 从端口,与 Avalon 主外设相连。

Avalon 从端口是 SDRAM 控制器核唯一的用户可见部分。该端口提供了一个线性、连续的存储器空间,其容量与片外 SDRAM 相同。

SDRAM 控制器的 Avalon 从端口支持可变等待周期的读/写传输,在提供有效数据之前,将系统挂起。该从端口也支持具有可变延时的读传输,允许高带宽的流水线传输。

添加 SDRAM 控制器如图 5.4 所示。

🖷 SDRAT Controller - sdram	
SDRAM Controller	About Documentation
Parameter Settings	
Memory Profile > Timing >	
Presets: Custom	•
Data width Bits: 16 ❤	
Architecture Chip select: 1 🗸 Banks: 4 🗸	
Address widths	
Row: 12 Column: 8	
Share pins via tristate bridge Controller shares dq/dqm/addr I/O pins Tristate bridge selection:	
Generic memory model (simulation only)	
✓ Include a functional memory model in the system testbench	
Memory size = 8 MBytes 4194304 × 16 64 MBits	

图 5.4 添加 SDRAM 控制器

5.2.3 添加 CFI 控制器

基于 Avalon 总线的通用 Flash 接口(Common Flash Interface, CFI) 控制器 核为 Nios II 系统与片外遵守 CFI 标准的 FLASH 存储器提供了一种简单的连接 方式。CFI 控制器是 SOPC Builder 内部集成的,可以很容易地集成到 SOPC Builder 创建的系统中。添加 CFI 控制器如图 5.5 所示。

🛎 Flash Lemory	Inter	face (C	FI) - cfi_fl	ash			×
Fla:	sh M	emor	y Interfac	e (CFI)		About	Documentation
Parameter Settings				A SAN ANA			
Attributes Timin	9 >						
Presets: Custom							*
Size							
Address Width (bits):	22	~					
Data Width (bits):	8	~					
Create an interface to a flash memory device. So and timing information for	ny indust siect from ar a CFI m	ry-standard n a list of tes nemory devic	CFI (Common Flash I ted flash memories o se which does not ap	nterface)-compl or provide interfa opear on the list.	iant ice		
(i) Info: Flash memory	capacity.	4.0 MBytes	(4194304 bytes).				
					Cancel		Next > Finish

图 5.5 添加 CFI 控制器

• .

5.2.4 添加 SPI

SPI 是一个工业标准的串行接口协议,通常用于嵌入式系统中连接处理器核 各种片外的传感器、合成器、存储器控制设备。基于 Avalon 接口的 SPI 核实现 了 SPI 协议并提供了一个 Avalon 接口。

SOPC Builder 中提供了现成的 SPI 核,可以轻松地集成到 Nios II 系统中。 SPI 核可以配置为主和从两种模式。当 SPI 核配置为主模式时,它可以最多控制 16 个独立的 SPI 从设备。SPI 核传输数据的宽度是用户配置的,在 1-16 之间,如 果需要传输位数更高的数据,则需要软件支持。当一次数据传输结束时, SPI 核 发出一个中断请求。

基于 Avalon 总线的 SDRAM 控制器为 Nios II 系统和片外 SDRAM 之间的连接提供了一个 Avalon 接口,使得设计者可以方便地将片外的 SDRAM 芯片连接到自定制的 Nios II 系统中来。

5.3 SOPC 系统集成实验

利用 Quartus II 中的 SOPC Builder 系统集成工具,在 FPGA 上配置满足系

统需求的 IP 核,并把自行开发的视频图像采集 IP 核、JPEG 图像压缩 IP 核集成 到系统中。SOPC 系统配置如图 5.6 所示。外部时钟 50MHz。系统时钟设置为 100MHz。外部时钟通过锁相环分频,对 CMOS 摄像头提供 25MHz 采样时钟。 配置好相应的 IP 核后,在 SOPC Builder 中生成 SOPC 硬件系统及相应的驱动程 序,为 Nios II 上应用程序的开发做好准备。



图 5.6 SOPC 系统配置

在成功进行 SOPC 系统集成后,对整个系统的图像压缩和无线传输功能进 行验证。把设计好的硬件系统和软件应用程序下载到开发板上。系统验证的方 法为:在发送端,视频图象采集 IP 核将采集到的视频图像数据到 SDRAM,产 生标志信号后,则启动视频图像压缩 IP 核。完成视频图像压缩后产生标志信号。 系统再通过 nRF24L01 把码流打包,无线发送出去。接收端收到完整一祯数据后, 把压缩数据码流解码并在液晶屏上显示。发送端测试平台如图 5.7 所示,接收端 测试平台如图 5.8 所示。

51



图 5.7 发送端测试平台



图 5.8 接收端测试平台

第6章 总结与展望

随着计算机技术、数字通信技术以及集成电路的发展,无线图像采集传输 技术的研究受到了越来越多的重视。无线视频采集传输系统大量应用到了社会 生活的方方面面,在现代生产领域发挥着重要的作用。本文设计并实现了一种 基于 SOPC 的无线视频采集传输系统,在基于 Avalon 总线的视频图像采集 IP 核、基于 Avalon 总线的视频图像压缩 IP 核和无线数据传输等几个方面做了一些 研究和设计工作,总结如下:

(1)提出了无线视频系统的整体构架,并对系统的整体设计需求进行了分析。重点介绍了无线视频系统的总体结构、各部分的设计思路和工作原理。

(2) 设计实现基于 Avalon 总线的视频图像采集 IP 核,将 IP 核进行层次 功能划分设计,并进行 HAL 下的设备驱动、封装及验证。

(3)设计实现基于 Avalon 总线的视频图像压缩 IP 核,软硬件协同设计, 实现可配置、可移植的实时视频图像压缩 IP 核,提供了一个 SOPC 系统中的视频图像压缩方案。

(4) 设计实现了 nRF24L01 的硬件模块、实现基于 FPGA 与 nRF24L01 的 无线数据通信。

(5) 构建 SOPC 系统,对课题设计的视频图像采集 IP 核、JPEG 视频图像 压缩 IP 核和无线通信模块进行联合验证。

为进一步扩大微型无线图像采集传输系统的适用范围,本文的研究与设计 尚有待于完善和拓展,主要包括以下几个部分:

(1)实现多点无线通信。本文设计的无线通信模块为点对点的单点无线通信协议,为了满足多个视频采集传输终端的应用要求,应设计实现多点的无线通信协议。

(2)视频图像压缩算法改进。本设计采用了 JPEG 图像压缩编码算法,下 一步可根据实际应用环境及无线传输要求,在 JPEG 图像压缩的基础上进行修 改,设计出特定的图像压缩编码算法。也可参考动态图像压缩标准,设计出适 合无线窄带传输的动态图像压缩算法,这样不仅可以提高图像传输速率,也有 利于指挥中心进行决策、判断。

(3)研究新的快速而高效的抗干扰算法。本设计在无线通信协议的设计上

53

仅采用了自动调频、自动应答和自动重发机制来保证无线传输的可靠性,将来 可以结合图像所采用的压缩算法,研究出适合本系统的快速高效抗干扰算法。

(4)自聚焦算法的设计。如果采用人工调焦,非常麻烦,而且在不同的场 合对图像质量有不同的要求,系统须自动调整焦距来满足对监控信息的需求。

致谢

值此论文完成之际,我要对论文完成过程中得到的各方面支持和帮助表示 衷心的感谢。

感谢导师吴禄慎教授,是他引导我走向科学研究与工程设计的神圣之路。 在过去的三年里,吴禄慎教授给了我许多学习、锻炼的机会和平台。吴禄慎教 授开明的思想、渊博的学识,严谨的治学态度,对科研的敬业精神一直让我深 深敬佩,并终身受益。

感谢中科院深圳先进技术研究院研究院导师胡超研究员。在一年多的实习 期里,胡老师给予了我无微不至的关怀,教会了我许多东西,胡老师宽阔的眼 界、活跃的思维、对科研的热情、平易近人的性格深深的影响了我。

感谢陈冬梅博士、张瑞博士、谢谢你们对我的帮助和鼓励。

特别感谢项目组的潘樱子同学对我的无私帮助。

感谢吴维军、郑华军、高阳、王海滨、戴厚德、田龙强、官冠、蔡文韬、 李貌、刘立、王鲁佳、贺庆、沈昭等同学,能和你们一起学习、工作、生活是 我的幸运。因为有了你们,我的生活变得更加的充实而精彩。

感谢我的家人,谢谢你们博大而无私的爱,你们永远是我前进的动力和避 风的港湾。

感谢对我的论文进行认真评阅以及提出修改意见的各位老师和同学, 衷心 的感谢您们。

最后向辛勤培育我成长的母校、导师和领导们致以由衷的感谢和崇高的敬 意。

> 刘智勇 2006.5.11

55

参考文献

- C. F. M. Weston, W. J. Penny, and D. G. Julian. Guidelines for the early management of patients with myocardial infraction[J].British Medical Journal, vol. 308, pp. 767-771, 1994.
- [2] S. Pavlopoulos, E. Kyriacou, A. Berler S. Dembeyiotis, and D. Koutsouris. A novel Emergency Telemedicine System Based on Wireless Communication-ABULANCE[J].IEEE Transactions on Information Technology in Biomedicine, vol. 2, no. 4, pp. 261-267, Dec 1998.
- [3] 何小海, 腾奇志.图像通信.西安:西安电子科技大学出版社, 2005年.
- [4] 路林吉, 吕新荣.数字图像监控技术讲座[J].电子技术, 2001,7:45 48.
- [5] 任宇,张利欣,徐正光.基于 GPRS 无线传输的便携式图像监控系统[J].计算机测量与控制, 2003(10)
- [6] 季瑞松.基于 GPRS 无线图像监控系统的研究与应用[D].浙江大学硕士学位论文, 2004.
- [7] Liu Chaowei, Zhao Junlin, Yi Weidong. Design of wireless image sensor node bases on nRF24L01.Eelctronic measurement technology.Vol.31, No 6, 2008:136-139.
- [8] Wu-Chi Feng, Ed Kaiser, Wu Chang Feng, et al. Panoptes: Scalable low-power video sensor networking technologies. ACM Transactions on Multimedia Computing, Communications and Applications, Vol.1, No2, May 2005:151-167.
- [9] M. Rahimi, R. Baer, O. Iroezi, J. Garcia, J. Warrior, D. Estrin, and M. Srivastava. Cyclops: In situ image sensing and interpretation. In Embedded Networked Sensor Systems, 2005.
- [10] I. Downes, L. Rad, and H. Aghajan. Development of a mote for wireless image sensor networks. In COGIS, 2006.
- [11] R. Kleihorst, A. Abbo, B. Schueler, and A. Danilin. Camera mote with a high-performance parallel processor for real-time frame-based video processing. In ICDSC, pages 109–116, Sept. 2007.
- [12] Zhi-Yan Cao, Zheng-Zhou Ji, Ming-Zeng HU.An image sensor node for wireless sensor networks. Proceedings of the international conference on information technology: coding and computing (ITCC) (2005).
- [13] 徐欣,于红旗,易凡,卢启中等.基于 FPGA 的嵌入式系统设计[M].北京:机械工业出版社, 2005.1-5, 30-32.
- [14] 潘松, 黄继业, 曾毓.SOPC 技术使用教程[M].北京:清华大学出版社, 2005.3.
- [15] 方茁, 彭澄廉等. 基于 Nios II 的 SOPC 设计[J]. 计算机工程与设计, 2004, 25(4).
- [16] 徐光辉, 程东旭, 黄如等. 基于 FPGA 的嵌入式开发与应用[M]. 电子工业出版社, 2006.
- [17] 任爱锋. 基于 FPGA 的嵌入式系统设计[M]. 西安: 西安电子工业大学出版社, 2004.
- [18] G.K.Wallace. The JPEG Still Picture Compression Standard[J]. Commun.ACM,1991,34(4):30-44.
- [19] Uramoto.S, et al.A 100MHz 2-D Discrete Cosine Transform Core Processor [J].IEEE

Solid-state Circuits, 1992, 4(27):492-499.

- [20] 李剑,季晓勇.二维离散余弦变换的 FPGA 实现[J].微处理机,2006,10(5):86-88.
- [21] 夏宇闻.Verilog 数字设计教程[M],北京航空航天大学出版社,2003.
- [22] Uwe Meyer-Baese.数字信号处理的 FPGA 实现[M].刘凌, 胡永生译.北京:清华大学出版 社,2003, 50-55.
- [23] 李兰英.Nios II 嵌入式软核 SOPC 设计原理及应用[M].北京:北京航空航天大学出版社, 2005.
- [24] IEEE 802. 15 WPAN Task Group 4(TG4)[S], 2003.
- [25] 李文元.无线通信技术概论[M] 北京:国防工业出版社,2006.
- [26] IEEE Std. 802-11. IEEE Standard for Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specification[S], 1997.
- [27] 蔡骏.无线局域网技术标准及其比较[J]. 网络与应用, 2002, 7:10-13.
- [28] Altera International Limited. "Cyclone II Device Handbook"
- http://www.altera.com.cn/literature/hb/cyc2/cyc2_cii5v1.pdf
- [29]Omni Vision Technologies, Inc. "OV7670/OV7671 Product Brief"
- http://www.ovt.com/data/parts/pdf/OV7660_PB.pdf
- [30] Omni Vision Technologies, Inc. "Omni Vision Serial Camera Control Bus (SCCB) Functional Specification"
- http://www.ovt.com/products/SCCBSpec_AN_2_1.pdf
- [31]I2C-Master Core Specification
- http://www.latticesemi.com/documents/doc21615x46.pdf
- [32] Altera International Limited. "Nios II Processor Reference Handbook"
- ttp://www.altera.com.cn/literature/hb/nios2/n2cpu_nii5v1.pdf
- [33] Altera International Limited. "uartus II Version 7.1 Handbook Volume: Embedded Peripherals"

http://www.altera.com.cn/literature/hb/nios2/n2cpu_nii5v3.pdf

[34]Single chip 2.4 GHZ Transceiver nRF24L01 preliminary product specifications

攻读学位期间的研究成果

已发表论文:

- [1] 刘智勇, 吴禄慎. 一种 Mumford_shah 模型的图像分割算法.飞机设计, 2008, Vol.1:70-74
- [2] Chao Hu, Wei Liu, Yingzi Pan, Zhiyong Liu, Max Q.-H.Meng. Wireless Acquisition System for the Real Ambulance Field. IEEE International Conference on Robotics and Biomimetics, ROBIO 2008. Accepted.

获奖情况:

- 2007.6 《快速图像分割系统》获全国大学生挑战杯课外科技作品竞赛江西赛区二等奖
- 2007.9 江西省首届研究生数学建模大赛一等奖
- 2009.3 中科院深圳先进技术研究院三好学生