

**Subject : Design of Monolithic BUCK DC/DC Converter Intergrated
Circuits based on BCD process**

Specialty : Power Electronics & Electric Drives

Name : Zhao Xinyi

(Signature) Zhao Xinyi

Instructor: Liu Shulin

(Signature) Liu Shulin

Abstract

Power supply is one of the important elements of the electronic equipment; its influence on the stability and reliability of electronic equipments is becoming stronger and stronger. With the development of electronic technology, the type of electronic equipments is becoming more and more, therefore, the requirements for power supply are various. With advantages of simple structure, convenient regulation and high reliability, BUCK DC/DC converter is widely used in voltage step-down situation.

BCD process is a novel one that combines DMOS and low voltage BiCMOS process together; its advantages are low power dissipation, high integrity and strong drive. According to design method of ASIC, operation principle of BUCK DC/DC converter and pulse width modulation technique of current mode, a monolithic BUCK DC/DC converter IC based on BCD process is designed, which is integrated with many function modules, such as band-gap reference voltage circuit, over-thermal protection circuit, error amplifier, voltage comparator, saw-tooth oscillator, bootstrap drive circuit, under voltage lockout circuit, current sensing circuit and over-current protection circuit, etc. all these circuit structures and operation principles are designed and simulated. This chip features its unique frequency conversion proection, which can reduce duty cycle and operation frequency so as to decrease short-circuit current and power dissipation and guarantee the safety of the power supply when output is short-circuited. When the EN pin is low voltage, the chip operates in shutdown mode and its static current and power dissipation is low, so it is easy to realize remote and timing control. This chip can constitute a BUCK DC/DC converter with a minimum number of external components; thus, it can be widely used in distributed power systems, battery chargers and pre-regulators for linear regulators.

The feasibility and validity of design method and theory analysis are proved by the

simulation results of the chip's application circuit with Hspice offered by EDA tools. On the basis of circuits of each function module, layout of the IC is completed according to EPISIL BCD 0.8um process design rules, DRC and LVS documents are compiled to confirm the validity of the layout. The monolithic BUCK DC/DC converter IC based on BCD process in the thesis can realize the target expected.

Key words: BCD process BUCK DC/DC Converter PWM IC layout

Thesis : Application Research

西安科技大学

学位论文独创性说明

本人郑重声明：所提交的学位论文是我个人在导师指导下进行的研究工作及其取得研究成果。尽我所知，除了文中加以标注和致谢的地方外，论文中不包含其他人或集体已经公开发表或撰写过的研究成果，也不包含为获得西安科技大学或其他教育机构的学位或证书所使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中做了明确的说明并表示了谢意。

学位论文作者签名：赵新敏 日期：2006年6月20日

学位论文知识产权说明书

本人完全了解学校有关保护知识产权的规定，即：研究生在校攻读学位期间论文工作的知识产权单位属于西安科技大学。学校有权保留并向国家有关部门或机构送交论文的复印件和电子版。本人允许论文被查阅和借阅。学校可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。同时本人保证，毕业后结合学位论文研究课题再撰写的文章一律注明作者单位为西安科技大学。

保密论文待解密后适用本声明。

学位论文作者签名：赵新敏

指导教师签名：刘树林
06年6月28日

1 绪论

1.1 开关电源的概述

电源，如今已是非常重要的科技和产业。从日常生活到最尖端的科技，都离不开电源技术的支持，电源技术也正是在这种环境中一步步发展起来的。电源技术是一门综合功率变换技术、现代电子技术和自动控制技术的多学科边缘交叉技术。电源技术的发展已经历了多次变革，如图 1.1 所示。除控制技术外，从本质上讲电源技术的变革也就是功率变换技术的变革。功率变换技术的变革经历了从发电机组到半导体功率器件的应用，而半导体功率器件的应用又经历了从不间断工作模式到间断工作模式，即开关模式。功率变换器件工作在开关状态的电源，称为开关电源 SPS (Switching Power Supply)。按照目前习惯，开关电源是专指电力电子器件工作在高频开关状态下的直流电源^[1]。

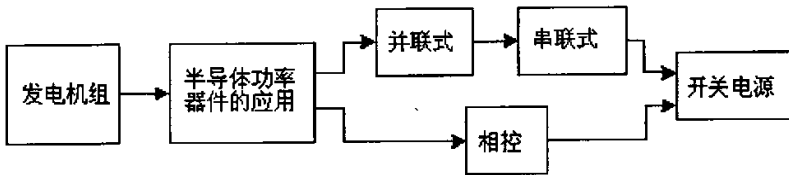


图 1.1 电源技术的发展

传统的线性电源一般是由变压器、整流电路、滤波电路和串联线性稳压电路组成^[2]。这种电源由于采用工频(50Hz)铁芯变压器，其体积和重量都相当大。由于线性电源采用串联线性稳压电路，其调整管工作于放大状态，即不间断工作模式，其效率取决于输出电压与输入电压之比，因而它适用于压差变化不大的降压场合。压差稍大就会显露出效率低(一般为 35%~60%)的弊病，造成功率率的浪费，并可能因芯片发热对系统稳定性产生不良影响。

开关电源取消了铁芯变压器，代之以体积小，重量轻的铁氧体磁芯变压器。由于开关电源电路中的功率晶体管工作于开关状态，因而效率大大提高(可达 70%~95%)。并且，因为开关频率很高(几十~几百 KHz)，所以滤波电路也简单得多，这就进一步减小了电源的体积和重量^{[3][4]}。另外，开关电源的输出对输入电压大小的要求不高，可做成宽输入电压范围的国际通用电源。目前，一些半导体厂家纷纷推出高性能的开关电源控制器，推动了开关电源的普及应用。据有关资料介绍，在西方一些发达国家开关电源的普及率已超过 60%，而国内还不到 20%，其中的主要原因包括：(1) 近年来发展起来的开关电源技术还没有被国内的电子工程师们普遍掌握；(2) 开关电源技术的推广工作滞

后以至于很多技术人员虽耳熟能详开关电源却不知其工作原理；(3) 人们环保节能意识不够强（工频变压器组成的电源要浪费几倍于开关电源的矽钢片和漆包线，但这并没有引起足够的重视）。尽管如此，但令我们欣喜的是随着中国经济的发展和电子行业的兴起越来越多的人开始认识到开关电源的优势和发展前景，并投身到开关电源的推广与发展中来。当然开关电源也有它的缺点：一是用高频变压器作为传输能量的器件。开关电源通常工作在 100KHz 以上，因而会产生电磁干扰，影响自身或其它系统正常工作；另外，开关电源输出电压的纹波较大。但随着电子技术的发展（如：抗干扰技术、软开关技术、谐振变换技术、半导体技术等）上述缺点已得到很好的解决，从而使开关电源在其应用中表现出强大的生命力。开关电源同线性或相控电源相比，由于其具有诸多的优势，因而一问世就受到广泛关注，并成为电源技术发展的主流方向。

1.2 单片开关电源的现状与发展趋势

开关电源虽然对低档的线性电源，尤其是 20W 以下的线性电源构成了巨大的威胁^[5]，但是这类开关电源的主要缺点是：集成度低、外围电路复杂、稳定性较差和输出电压纹波较大。然而随着微电子技术的迅猛发展、生产工艺技术的成熟以及 IC 产业的发展，单片开关电源集成电路具有高集成度、高性价比、最简外围电路、最佳性能指标等优点，一经问世便显示出强大的生命力。目前，单片开关电源已成为国际上开发 290W 以下中、小功率开关电源、精密开关电源、特种开关电源及模块开关电源的优选集成电路模块，也为新型开关电源的推广和普及创造了条件^{[6][7]}。由它构成的开关电源，在成本上与同等功率的线性稳压电源相当，而电源效率显著提高，体积和重量可减小一半还多，展示了良好的应用前景。单片开关电源的应用领域主要有^[8]：

(1) 通用开关电源

各种通用开关电源；开关电源模块；精密开关电源模块；智能化开关电源模块。

(2) 专用开关电源

微机电源，USB 接口电源，彩电、录像机（VCR）、摄录像机（CVCR）等高档家用电器中的待机电源；电子仪器仪表中的电源；调制解调器电源；辅助电源；IC 卡付费电表中的小型化开关电源模块；机顶盒（Set-top Box）电源；手机电池充电器；AC/DC 电源适配器等。

(3) 特种开关电源

复合型开关电源；恒压/恒流型开关电源；截流输出型开关电源；恒功率输出型开关电源；功率因素校正器（PFC）及其它类型的特种开关电源。

单片开关电源集成电路是近几年在功率变换技术和电源管理产业出现的重大技术突破，它将电源的控制管理、保护、驱动、功率开关管等集成在一个芯片上。芯片只需外接少许元件就可构成一理想的电能供应器。单片开关电源被誉为高效节能电源，它代

表着稳压电源的发展方向，现已成为稳压电源的主流产品。近 20 多年来，单片开关电源沿着两个方向不断发展：一是对开关电源的核心单元（控制电路）实现集成化；二是对中、小功率开关电源实现单片集成化^{[7][9]}。

目前，日本是开关电源产量最大和自动化生产技术水平最高的国家之一。开关电源在生产加工时采用表面安装元器件（SMC/SMD）和厚膜技术将大多数电子电路元件组成混合集成电路，实现了自动化，从而提高了可靠度，降低了成本，产品真正做到了轻、薄、小（如利用集成电路技术将开关电源中 2W 以下的电路元件与集成电路做成了 Smart Power IC）^[10]。

经过近二十年的发展，单片开关电源已形成了几十个系列和数百种产品^[7]。国外许多著名的 IC 厂家都在积极开发低功耗和节能型单片开关电源集成电路。例如，荷兰 Philip 公司于 2000 年推出的 TEA1520 系列，以及后续研制成功的 TEA1510 系列等新产品。TEA1520 系列适用于电池充电器、电源适配器、机顶盒、DVD、CD、CVCR（摄录像机）及电视 / 监视器的备用电源，并可作为 PC 机外部设备、便携式电子装置及家用电器中微控制器（MCU）的电源。此外，它还被应用到通信、网络等领域。TEA1510 等新产品由于采用了先进的节能技术和制作工艺，因此被誉为“绿色芯片”（Green Chip），统称为“STAR plug”产品。该系列产品采用 Philip 公司专用的高压 EZ-HV 和低压 Bi-CMOS 集成工艺。其“绿色节能”特性突出表现在以下几个方面：（1）空载时的待机功耗极低，小于 100mW；（2）内部设计了一个“谷值开关”（Valley Switching）电路，能把功率开关管导通时由漏极分布电容产生的开关损耗降至最低；（3）低功耗输出时能自动降低开关频率，使芯片工作在低频模式下，从而减小了芯片功耗。

还有，美国 PI 公司于 2000 年研制的 TOPSwitch-FX 系列产品。该系列产品采用了“跳过周期”等新技术。当开关电源的负载非常轻（以至开关电源在最小占空比（ $D_{\min}=1.5\%$ ）之下所提供的输出功率仍超过负载上的功耗），TOPSwitch-FX 就采用跳过周期的工作方式进一步降低输出功率，来提高轻载时电压的稳定性。此方式可等效为先将占空比固定在 1.5%（或更低值）上，然后用脉冲频率调制（PFM）方式调节轻载时的输出电压 U_O 值。根据负载变化情况，TOPSwitch-FX 系列单片开关电源能在正常工作和跳过周期方式二者之间自动转换，而无须其它控制。如不需要跳过周期，可在电源输出端接上最小负载 $R_{L\min}$ ，使 $D > D_{\min}=1.5\%$ 。采用跳过周期模式不仅能获得极低的输出功率，还能减小电压噪声。

美国 PI 公司于 2001 年推出的 Tiny Switch-II 系列第二代增强型隔离式微型单片开关电源集成电路，适合制作 23W 以下的低成本微型化开关电源。该芯片采用了“频率抖动”（Frequency Jittering）技术，以降低由开关频率高次谐波所造成的电磁干扰。该技术将开关频率限制在很窄的波段内抖动，频率在 128~136KHz 范围内抖动，抖动量为 $\pm 4\text{KHz}$ 。利用此功能可显著减小噪声干扰，并且噪声谐波次数愈高，抑制作用愈明显。

例如,对5次谐波噪声平均值的衰减量可达10dB以上^[8]。

多年来,在功率半导体开关器件、开关管驱动芯片及电源管理方面,我国没有自主知识产权的产品,更不用说单片开关电源芯片了。关键芯片的缺乏已严重制约了我国高新技术的发展。在DC/DC变换器的设计方面,国内外差距很大。目前我国还是处于应用和参考国外先进单片开关电源芯片结构,结合我们多年应用相关芯片的研究和已有类似芯片的设计经验,进行一些性能产品的仿制阶段^{[11][12]}。

由于小型个性化和便携式电子产品日新月异的发展,市场上迫切需要高效、可靠、功能强大、外围元件少、体积小及重量轻的电能变换器。利用传统芯片或电路构成的电能变换器体积大、效率低、电路复杂和成本高,难以满足小型化电子产品的要求^{[5][13]}。而且大多数电源控制芯片或现有的单片电源芯片均采用恒频控制技术,尽管芯片内部集成有过流保护功能,但当过载或短路时仍有很大的电流输出,甚至会出现电流失控等,导致芯片的损耗也相当大,最终影响芯片或用户系统的安全可靠工作。本论文针对目前电子设备对电源以轻、薄、小和高效率为要求而设计了一款单片BUCK DC/DC变换器芯片。该芯片最大特点是具有变频保护功能:正常工作时工作频率恒定;输出过载或短路时不仅工作频率急剧降低而且占空比也变小,大大降低了短路电流和短路损耗,同时也保证了用户系统的安全。当使能端的电压为低电平时,芯片处于关断状态,静态电流及静态功耗很小。通过对使能端的控制可方便地实现变换器芯片的遥控、定时、延时和开关控制等功能。当芯片工作温度过高时,芯片的过热保护电路将关断功率开关管,确保芯片安全可靠工作。该芯片只需外接少数元件就可构成一高性能的单片BUCK DC/DC开关电源,其体积小、输出电压精度高、变换纹波系数低及过热、短路保护等^{[14][15]}。此开关电源可广泛应用于分布式电源系统、电池充电器、可调节的线性调节器等。

1.3 本论文的主要工作及预期目标

本论文的主要工作就是针对控制系统电路及其电源管理部分,设计一款高效率、高性能及高可靠性的单片BUCK DC/DC变换器芯片。首先,根据BUCK变换器的工作原理及电流模式的PWM控制技术,设计DC/DC变换器芯片的结构,重点对变换器芯片的各功能模块电路进行分析设计与仿真验证,确保其性能优良,并对变换器芯片整体电路进行分析与模拟仿真验证。其次,对芯片电路进行版图设计、版图绘制、DRC和LVS文件的编写及版图物理检查。然后,对变换器芯片的应用电路进行仿真验证。本论文中对BUCK DC/DC变换器芯片的预期设计目标如下:

- (1) 工作电压范围: 4.8~25V;
- (2) 基准电压精度高,温度系数小于 $50 \times 10^{-6}/^{\circ}\text{C}$;
- (3) 采用电流模式的PWM控制方式;
- (4) 正常工作频率为380KHz(允许范围342-418KHz),故障时频率为40 KHz;

- (5) 具有变频保护功能;
- (6) 具有过热保护及用户可自行选择的欠压保护功能;
- (7) 逐周期电流检测功能;
- (8) 在关断状态时, 静态电流小于 $30\mu\text{A}$;
- (9) 信号输出的最大占空比是 90%, 最小占空比为 0;
- (10) 最大工作电流可达 2A。

2 BUCK DC/DC 变换器工作原理

BUCK DC/DC 变换器同线性串联式变换器相比，由于其功率管工作在截止与饱和两种状态，具有体积小、重量轻和转换效率高显著优点，因而在计算机、电视机以及各种工业电气设备中得到了广泛的应用^[16]。

2.1 BUCK DC/DC 变换器的工作原理

BUCK 变换器主电路结构如图 2.1 所示，由功率 MOS 管 (S)、储能电感 L、续流二极管 D、滤波电容 C 及负载电阻 R 组成。输入电压 U_I 是从电网电压直接整流滤波得到的直流电压，功率 MOS 管 (S) 的栅极驱动信号是周期为 T 的方波信号（方波信号由控制回路提供）。当方波信号为正半周期时，S 导通，续流二极管 D 因反偏而截止，功率 MOS 管的源极电流（如图 2.1 实线头所示）通过电感 L 向负载 R 供电，并同时向滤波电容 C 充电，此时电感 L 处于储能状态（电能转换成磁能）；当方波信号为负半周期时，功率管 S 截止。由于通过储能电感 L 的电流不能突变，所以在电感 L 两端感应出左负右正的自感电势，使续流二极管 D 导通，原先储存在电感 L 中的磁能转换成电能向负载电阻 R 供电，流经负载 R 的电流通路如图 2.1 虚线头所示。电路工作进入稳态时，S 导通期间储存在电感 L 中的磁能与 S 截止时电感 L 通过负载电阻 R 和二极管 D 释放的能量相等。当 S 栅极的驱动信号为脉冲宽度调制信号(Pulse Width Modulation, 缩写为: PWM)，导通时间为 T_{ON} ，开关周期为 T 时，则脉冲占空比 q 为

$$q = \frac{U_O}{U_I} = \frac{T_{ON}}{T} \quad (2.1)$$

由式 (2.1) 可以看出，改变占空比 q，输出电压 U_O 的平均值也就随之改变。因此，当负载以及电网电压变化时，可以通过闭合的反馈控制回路自动地调整占空比 q 以使 U_O 维持不变。

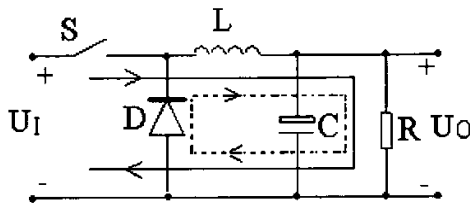


图 2.1 BUCK 变换器的主电路结构

由图 2.1 所示的主电路结构可看出，变换器的输出电压 U_O 是功率管 (S) 源极输出的方波脉冲通过储能电感 L 和输出电容 C 组成的滤波器滤波后的直流电压，故其数值上

等于这些方波脉冲的平均值。而这些方波脉冲的最大值近似等于输入电压 U_1 ，故其输出电压 U_O 始终小于输入电压 U_1 。因此，这种变换器称为降压型变换器，即 BUCK 变换器。BUCK 变换器的优点是：电路简单、调整方便和可靠性高；储能电感 L 在功率开关管导通时能将电能变为磁能储存起来，而在开关管截止时，又能将储存的磁能变为电能继续向负载供电，电源带负载能力强，电压调整率好；储能电感 L 和输出电容 C 组成的滤波器，能进一步降低输出电压的纹波。

2.2 DC/DC 变换器的控制方式

由式 (2.1) 可见，为了维持输出电压 U_O 稳定不变，可以采用以下三种调制方式：脉冲宽度调制 (PWM)、脉冲频率调制 (PFM) 和 PWM 与 PFM 混合调制方式。对于目前常用的脉冲宽度调制 (PWM) 技术主要有两种工作模式，一种是电压模式的 PWM 控制技术；另一种是电流模式的 PWM 控制技术。

2.2.1 电压模式的 PWM 控制技术

电压模式的 PWM 控制技术原理，如图 2.2 所示。电源输出电压 U_O 与参考电压 U_{ref} 进行比较放大，得到误差放大信号 U_e ，经 PWM 比较器与锯齿波信号比较后，PWM 比较器输出一系列脉冲，这些脉冲的宽度随误差信号 U_e 的变化而变化，而这些脉冲宽度决定了输出能量的大小。当负载消耗能量增大时，输出脉冲宽度增大；当负载消耗能量减小时，输出脉冲宽度减小，从而维持输出电压恒定。这种电压控制变换器只需要一个反馈信号，用于实现整个电路的负反馈而维持输出恒定。在整个控制电路中只有一个反馈环路，是一种单环控制系统。

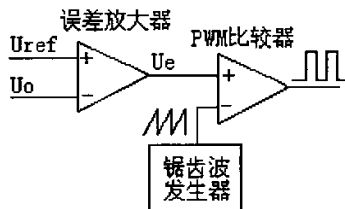


图 2.2 电压模式的 PWM 控制原理

电压模式的 PWM 控制技术最大的缺点是控制过程中没有电源电流的参与。众所周知，开关电源的电流都要通过电感，故相对于电压信号电流有 90° 的相位延迟。而对于整个稳压电源系统来说，必须考虑电流的大小，以适应输出电压的变化和负载的需求，从而达到稳定输出电压的目的。因此仅采用输出电压采样的方法实现的控制，其结果必然是响应速度慢和稳定性差，甚至在大信号变化时容易产生振荡、造成功率管的损坏等故障^{[17][18]}。

2.2.2 电流模式的 PWM 控制技术

电流模式的 PWM 控制技术是针对电压模式的 PWM 控制技术的缺点发展起来的。从图 2.3 可以看到，它除保留了电压控制型的输出电压反馈外，又增加了一路电流反馈环节。所谓电流模式的 PWM 控制技术，就是在 PWM 控制比较器的输入端直接用输出电感电流检测信号与误差放大器的输出信号 U_e 进行比较，实现对输出脉冲占空比的控制，使输出电感的峰值电流跟随误差电压的变化而变化。这种控制方式可以有效地改善开关电源的电压调整率和电流调整率，也可改善整个电路系统的瞬态响应。

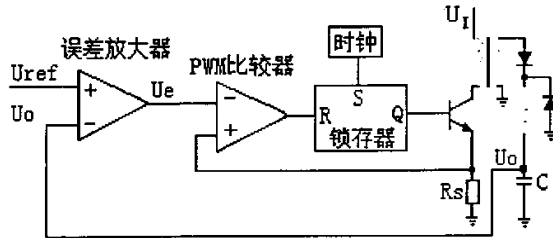


图 2.3 电流模式的 PWM 控制原理

电流模式 PWM 控制技术的工作原理是采用恒频时钟置位锁存器的输出脉冲以驱动功率管的导通。当电流在采样电阻 R_s 上的幅度达到 U_e 时，脉宽比较器的状态翻转，锁存器复位，功率管截止。这样逐个检测和调节电流脉冲，就可达到控制电流输出的目的。电流模式的主要优点如下^{[17][18]}：

(1) 线性调整率高，可与优良的线性稳压器相比较。这是因为输入电压 U_1 的变化可立即反映为电感电流的变化。它不经过误差放大器就能在比较器中改变输出脉冲的宽度，再加一级输出电压 U_o 至误差放大器的控制，能使线性调整率更好。

(2) 明显地改善了负载调整率，因为误差放大器专门用于控制负载变化而造成的输出电压的变化，特别是使轻载时电压升高的幅度大大减少。

(3) 是一阶系统，稳定性好，负载响应速度快；并联运行时，均流效果好。

(4) 简化了过流保护电路。由于 R_s 上感应出峰值电感电流，所以自然形成脉冲限流电路。这种峰值电感电流感应检测技术可以灵敏地、精确地限制最大输出电流。

因此，本论文采用电流模式的 PWM 控制技术。

2.3 BUCK DC/DC 变换器功能框图

本论文设计的 BUCK DC/DC 变换器芯片电路的内部功能框图如图 2.4 所示，该芯片的主要组成部分有误差放大器、振荡器、电流比较器、电流检测放大器、电压比较器、故障频率比较器、基准电压源、内部调节电路、逻辑电路、驱动电路以及其它一些保护

电路等。

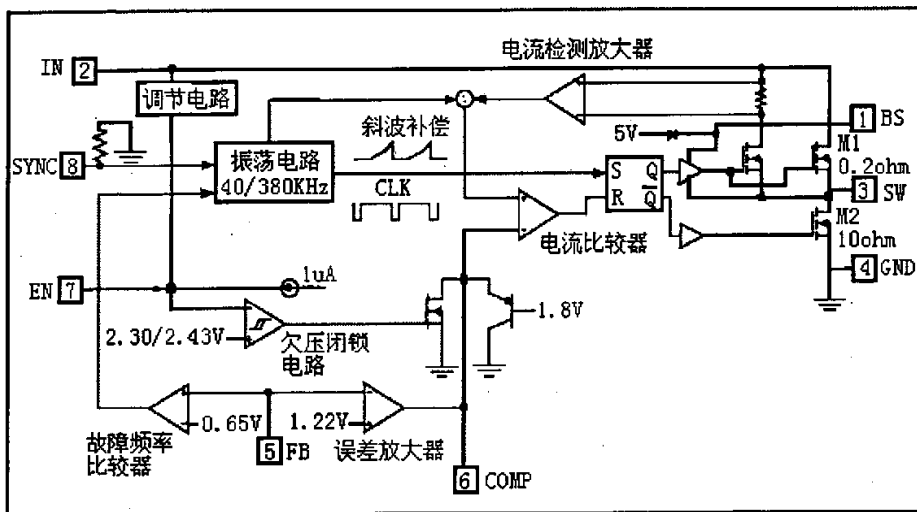


图 2.4 BUCK DC/DC 变换器功能框图

误差放大器是将 FB 端反馈的电压信号与基准电压信号的差值进行比较放大，误差放大电路工作在闭环状态，且负反馈深度较深。

振荡电路则产生两种频率的锯齿波信号及时钟信号，为了降低电磁干扰和提高电源效率，该振荡电路的正常振荡频率(或功率开关管的开关频率)设计为 380KHz，故障情况下的振荡频率为 40KHz。

基准电压源是能够产生对温度和电源电压不敏感的基准电压，为其它电路提供基准，所以要求该基准电压源是一个性能非常好的基准电压源。

内部调节电路是为模拟电路和数字电路分别提供工作电压。这样可以避免两种信号之间的相互干扰。

芯片内部还有偏置电路、过热保护电路、欠压保护电路、过流保护电路、自举驱动电路以及逻辑控制电路等。

该变换器芯片的典型应用为一单片 BUCK 开关电源，如图 2.5 所示。该芯片的管脚及其功能描述如下：

PIN1: BS(自举端)在 SW 端和自举端之间需要一个电容元件 C5。确保功率管(M1)的栅源电压始终为 4.7V 左右，使得 M1 良好导通。

PIN2: IN (电源端) 电源输入端，电源工作范围为 4.8~25V。电容 C1 的作用是消除工作电压的毛刺。

PIN3: SW (开关端) 通过 M1 连接电感 L1 与输入端 IN 或者通过 M2 与地 GND 相连。

PIN4: GND (地) 是该芯片的基准参考电压。

PIN5: FB (反馈端) 通过输出端外接的电阻 R1 和 R2 来反映输出端电压的变化。确保在短路故障时振荡器的频率下降。也就是说反馈电压低于 0.65V 时, 故障频率比较器翻转。

PIN6: COMP (补偿端) 它是误差放大器的输出端, 也是电流比较器的输入端。频率补偿是通过外接 RC 电路得以实现的。

PIN7: EN (使能端/欠压闭锁) 欠压闭锁功能需要输入端到地之间外接电阻的分压来实现, 工作电压需高于 2.495V。EN 端的电压低于 0.7V 时, 工作在关断低电流模式。

PIN8: SYNC (同步输入端) 使内部振荡器的频率与外部的频率一样, 外部输入的波形信号其上升时间应小于 20nS, 高电平要大于 2.7V, 低电平要低于 0.8V, 频率要大于 445KHz。(一般情况下不用)

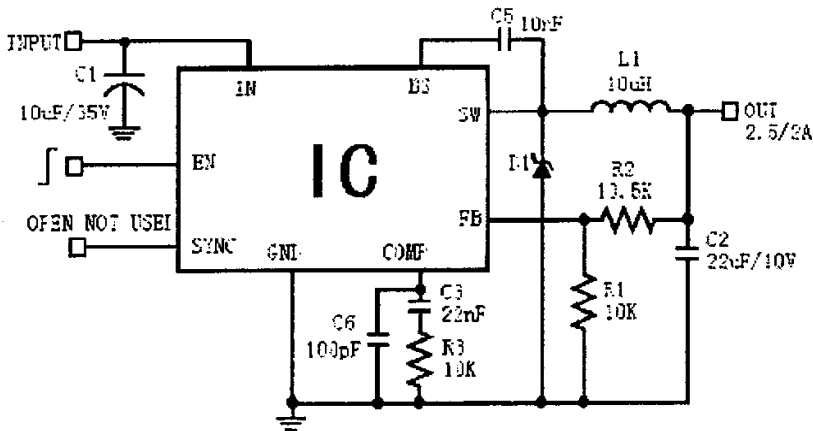


图 2.5 DC/DC 变换器芯片的典型应用电路

在周期开始时, 功率开关管 M1 关断, M2 导通, COMP 端的电压高于电流检测放大器输出端的电压, 电流比较器的输出为低电平。此时, 380KHz 的脉冲信号 CLK 的上升沿, 使得 RS 触发器置位, RS 触发器的输出使得功率管 M2 关断, M1 导通。此时, 外接的电感 L1 和电源输入端 (IN) 连接在一起, 电感的电流信号被电流检测放大器检测放大后, 通过斜坡补偿电路后, 与误差放大器的输出信号通过电流比较器进行比较: 当前者大于后者时触发器被复位, 该集成电路回到原来的工作状态, 即 M1 关断, M2 导通; 反之, 脉冲信号 CLK 的下降沿使 RS 触发器复位。误差放大器的输出电压在 1.22V 左右变动, 当反馈电压小于基准电压 1.22V 时, COMP 端电压升高, 因其与电感电流成比例, 故输出电流也升高。内阻 10Ω 的开关管 M2 的作用是为自举电容充电, 确保 M1 的良好导通。电感电流通过外接的肖特基二极管进行续流。

3 BUCK DC/DC 变换器芯片设计

3.1 集成电路设计技术

集成电路的设计通常包括逻辑（或功能）设计、电路设计、版图设计和工艺设计。设计通常分为正向设计和逆向设计两大类。正向设计是以用户对集成电路特性指标为出发点，依次进行电路设计和版图设计共两个层次的设计工作。EDA 技术的正向设计过程如图 3.1 所示。

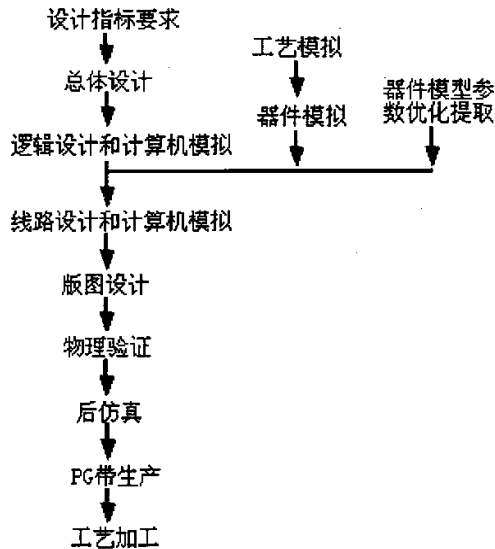


图 3.1 集成电路正向设计过程

1. 电路设计

(1) 系统设计 根据用户对电路功能和性能指标的要求，确定总体设计方案，给出框图，并进而将总体要求分解为对每一个组成部分的功能和性能的指标要求。

(2) 逻辑设计 确定出总体设计方案中每一部分的具体逻辑组成。如果某些部分是一些具有某种逻辑功能的“标准”功能块，这些部分就无需重新设计，可直接调用已有的结果。

(3) 线路设计 确定每一逻辑单元的具体线路组成。包括设计线路的拓扑结构和线路中各元器件参数值。当然，已有的“标准”单元线路组成可直接被调用。对模拟集成电路，总体设计完成后就可直接进行每一部分的线路设计。

(4) 设计校验 根据模拟对象的不同，设计校验分为逻辑模拟和电路模拟两种类

型。一般情况下,由于多种因素的影响,由人工进行的上述三个层次设计很难做到 100% 正确和满足要求。为此,需要采用计算机进行模拟分析,以检验设计的电路是否具有预定的功能,特性参数是否满足指标要求。

在电路设计阶段,目前只有个别问题实现了设计自动化。例如,若采用 PLA(可编程逻辑阵列)结构实现某种逻辑功能,只要给出输入与输出间逻辑关系的真值表,现有的 CAD 软件可首先对其进行逻辑简化,然后给出实现该功能的逻辑图和线路图,并能给出设计好的版图。但是,对绝大多数问题设计工作要靠人工完成。CAD 技术的关键作用在于检验设计结果是否满足要求,同时给出改进设计的方向。一般经过“人工设计—计算机模拟验证”几个过程,才能完成电路设计任务。

2.版图设计

(1) 将满足要求的电路设计图转换为版图 包括确定电路中各个元器件、单元功能块的图形结构、布局及其之间的走线。

(2) 版图设计规则校验 因具体工艺生产对工艺中允许采用的最小图形几何尺寸、最小线条宽度和线条间的距离等都有明确的规定,所以版图设计中必须遵循“设计规则”。采用人机对话方式设计出的版图难免会出现违背设计规则的情况,因此,在版图设计完成后应采用设计规则检查软件验证版图中的几何尺寸相互关系是否满足要求。目前有些软件是将“版图设计”和“设计规则检查”结合在一起,在设计版图时,每“画”一条线就随时检查该线条是否违背设计规则,具有很好的互动性。

(3) “版图电性能”校验 在完成设计规则检查以后,应采用有关的 CAD 软件,将版图转换为电路或逻辑连接图,并采用相应的模拟软件检查由版图转换的电路或逻辑图是否具有要求的功能并满足规定的指标,只有得到肯定的结论,才能保证版图设计的正确性。

(4) 产生版图数据带 这种数据带用以控制自动刻图机刻膜或控制图形发生器制版。一般规模较大的电路版图中均含有大量的数据(几百万甚至上千万个),这种数据处理工作必须实现自动化才能准确无误。

3.器件模型参数的确定

在电路模拟时,一方面要给计算机提供电路的拓扑结构,另一方面还要输入各个元器件的参数值。显然,模拟结果的可靠程度取决于程序中采用的元器件模型精度以及模型中的参数值是否代表以后生产出的集成电路中的实际情况。选用器件模型时应同时考虑需要和可能性,如果模型不能正确地表示器件特性,模拟结果当然不可能准确。但是若无视计算机资源情况(运算速度和存储量),片面追求过精细的模型也是不适用的。

4.工艺加工

采用 CAD 技术得到版图数据带后就可交给集成电路生产厂家制版并采用规范化的工艺加工成集成电路产品,然后采用已形成的测试码对产品作测试码检验和分析,必要

时, 提出对原设计的改进, 最终完成集成电路产品的研制任务。

在集成电路 (IC) 的设计中, EDA 软件是集成电路设计的强有力工具, 它的发展极大地推动了超大规模集成电路的发展, 也使片上系统(SOC)成为可能。另外, 随着工艺水平的迅速提高和元器件模型的不断完善, 一般 IC 的计算机设计结果与设计芯片的测试结果已很好相符。所以有人说, IC 设计就是“笔记本上设计”, 因为通过了计算机设计就等于拿到了芯片^[19], 这句话也许不够严格和准确, 但它反映了 EDA 软件在 IC 设计中的重要性。Cadence 是一个大型的 EDA 软件, 它几乎可以完成电子设计的各个方面, 在仿真、电路图设计、自动布局布线、版图设计及验证等方面都有着绝对的优势^[20]。本论文从 DC/DC 变换器芯片电路的设计、仿真到版图的绘制及验证都采用 Cadence EDA 软件来进行。

3.2 高精度基准电压源电路、过热保护电路及偏置电路设计

基准电压源是集成电路中一个非常重要的组成单元, 它直接影响着集成电路的工作精度、温漂等重要指标。在集成电路内部需要高质量的内部稳压源, 以提供稳定的基准电压, 一般要求这些电压源的直流输出电平稳定, 而且这个直流电平应该对电源电压和温度不敏感。

在集成电路中, 与电源电压无关的常用标准电压有以下三类^[21]:

- (1) BE 结二极管的正向压降 U_{BE} , $U_{BE}=0.6\sim 0.8V$, 它的温度系数 $\frac{\partial U_{BE}}{\partial T} \approx -2mV/^{\circ}C$;
- (2) 由 NPN 管反向击穿 BE 结构成的齐纳二极管的击穿电压 U_Z , $U_Z=6\sim 9V$, 它的温度系数 $\frac{\partial U_Z}{\partial T} \approx +2mV/^{\circ}C$;
- (3) 等效热电压 $U_T=26mV$, 温度系数 $\frac{\partial U_T}{\partial T} \approx +0.086mV/^{\circ}C$ 。

由上可见, 这三种标准电压的温度系数有正、有负。利用 U_{BE} 、 U_Z 和 U_T 温度系数符号相反以及集成电路中元器件间匹配和温度跟踪性较好的特点, 将这三种标准电压加以不同的组合, 就可以得到不同的对电源电压和温度不敏感的基准电压源和偏置电压源。

本论文所设计的变换器芯片内部需要一个性能良好的稳压源, 为其它电路如误差放大电路、欠压保护电路、过热保护电路等提供高精度的基准电压。要求其输出的基准电压对温度和电源电压不敏感, 温度系数小于 $50 \times 10^{-6}/^{\circ}C$ 。基准电压电路如图 3.2 左半部分所示。该电路主要由两部分组成: 启动电路和两管能隙电路, 其特点是稳压性能特别好, 也得到了仿真验证。

(1) 启动电路: M2、Q13、Q14、R6、R8 组成启动电路, M2、Q13、R6 构成分压电路给 Q14 提供偏置电压 (Q13 的基极电压为 0.7V, 电阻 R6 上的压降可以忽略, 因此 Q14 的基极电压约为 0.7V), 使 Q14 开启, 这样就形成了 M3、Q14、R8 的低阻值直

流通路，偏置电流源 M1、M3、M4 工作，使整个电路进入正常工作状态。一旦电路进入正常工作状态后，启动电路将关闭，（因为 Q14、R8 接成射极偏置电路的形式，Q14 的基极电压是固定不变的，而当电路进入正常工作状态时电阻 R8 上的电压降将增大，那么导致 Q14 的 U_{BE} 减小而使得 Q14 截止，同时对温度的变化有抑制作用）不对其它的电路产生影响，不消耗额外的功率。

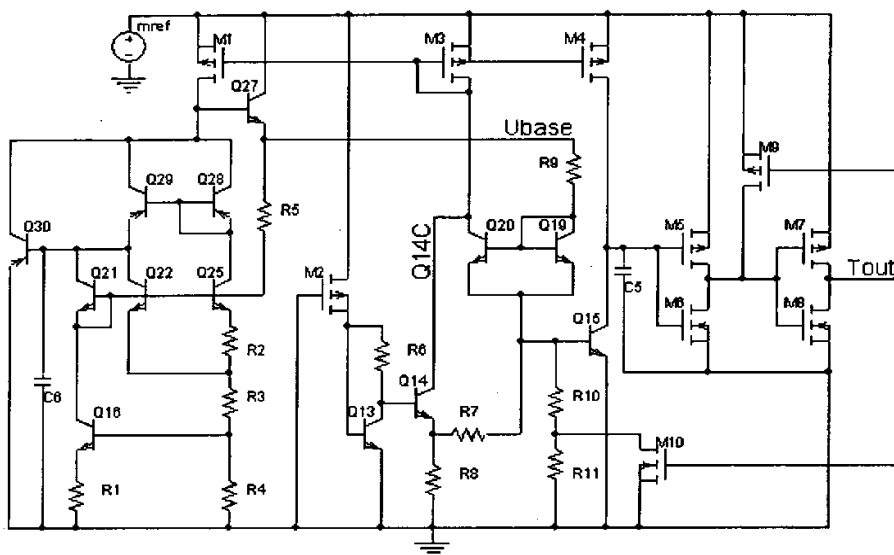


图 3.2 基准电压源电路及过热保护电路

(2) 两管能隙基准电路：Q27、Q28、Q29、Q22、Q25、Q21、Q16、Q30、C6、R1、R2、R3、R4、R5 组成两管能隙基准电路。Q28、Q29 为 PNP 恒流源，做为 Q22、Q25 管集电极的有源负载，设

$$\frac{I_{C29}}{I_{C28}} = \frac{I_{C22}}{I_{C25}} \approx \frac{I_{E22}}{I_{E25}} = p \quad (3.1)$$

适当忽略 Q30、Q16 的基极电流，则由式 3.1 及图 3.2 可得

$$\begin{aligned} U_{R3} &= (I_{E22} + I_{E25})(R3 + R4) = (1 + p)I_{E25}(R3 + R4) = (1 + p)(R3 + R4) \frac{\Delta U_{BE}}{R2} \\ &= (1 + p) \frac{R3 + R4}{R2} \frac{kT}{q} \ln \frac{J_{22}}{J_{25}} \end{aligned} \quad (3.2)$$

所以

$$U_{base} \approx U_{BE22} + U_{R3} = U_{BE22} + (1 + p) \frac{R3 + R4}{R2} \frac{kT}{q} \ln \frac{J_{22}}{J_{25}} = U_{BE22} + (1 + p) \frac{R3 + R4}{R2} U_t \ln \frac{J_{22}}{J_{25}} \quad (3.3)$$

由式 (3.3) 可知，利用等效热电压 U_t 的正温度系数和 U_{BE22} 的负温度系数相互补偿，

可使得输出基准电压的温度系数接近零。

令 $\frac{\partial U_{base}}{\partial T} = 0$ ，得

$$U_{base}|_{T=T_0} = U_{BE022} + (1+p) \frac{R3+R4}{R2} \frac{kT_0}{q} \ln \frac{J_{22}}{J_{25}} \quad (3.4)$$

所以可以通过控制有效发射结面积比 A_{E22}/A_{E25} 或 A_{E29}/A_{E28} 及其电阻比 $(R3+R4)/R2$ 来获得接近零的温度系数。以本设计为例，根据模型参数 $U_{BE0}=0.68V$ ，为了得到 1.22V 的基准电压，取 $p=1$ ， $A_{E22}/A_{E25}=1/4$ ， $kT_0/q \approx 0.026V$ ，则由式 (3.4) 得 $(R3+R4)/R2 \approx 7.7$ 。

另外，Q30、C6 组成负反馈电路，Q16、R1、R3、R4 组成射极偏置电路，在此条件下，当温度上升时， I_{C16} (I_{E16}) 将增加，那么在 R1 上产生的压降 $I_{E16}R1$ 也要增加，但由于 U_{R4} 电压基本固定，所以由于 U_{BE16} 的减小使 I_B 自动减小，结果牵制了 I_C 的增加，从而使 I_{C16} 基本恒定，起到负反馈的作用。这样就使得基准输出电压更加稳定。

基准电压源的输出电压 U_{base} 随温度及电源电压变化的仿真波形如图 3.3 和图 3.4 所示。

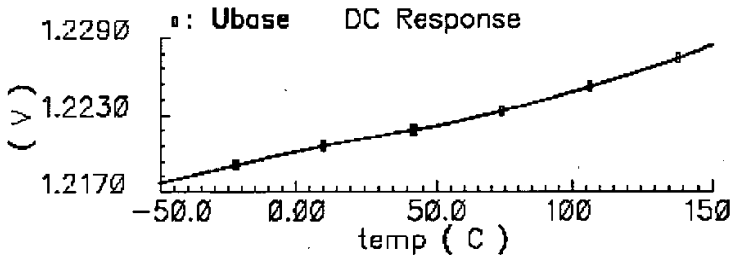


图 3.3 基准电压随温度变化的仿真波形

图 3.3 所示的是在工作电压为 3.6V 时，温度从 -50°C 变化到 150°C 时基准电压的仿真波形。可以看到，输出电压的变化大约为 0.01V。Ubase 的分数温度系数

$$TC_F(U_{base}) = \frac{\Delta U_{base}}{U_{base} \Delta T} = \frac{1.228 - 1.218}{1.22(150 + 50)} = 40.9 \times 10^{-6} / ^\circ C \quad (3.5)$$

通常， TC_F 低于 $50 \times 10^{-6} / ^\circ C$ 的基准电压源就可以认为是很稳定的了^[24]。

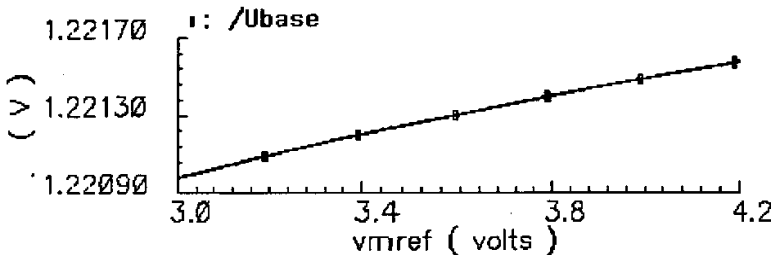


图 3.4 基准电压随电源电压变化的仿真波形

图 3.4 所示的是工作温度为 30°C 时的基准电压随电源电压变化的仿真波形。可以看出在电源电压从 3.0V 变化到 4.2V 时，基准电压变化很小，约为 0.001V。则基准源输出电压对电源电压 mref 变化的灵敏度

$$S_{U_{mref}}^{U_{base}} = \frac{U_{mref}}{U_{base}} \left(\frac{\Delta U_{base}}{\Delta U_{mref}} \right) = \frac{3.6}{1.22} \frac{1.222 - 1.221}{4.2 - 3.0} = 0.246\% \quad (3.6)$$

从以上的仿真波形及参数我们可以看出，所设计的基准电压源电压灵敏度及分数温度系数都很小，满足集成电路中应用的要求。

需要说明的是图 3.2 中的电压源 mref 是由内部调节电路提供的，其本身就是二极管能隙基准电压的输出（见 3.3 节）。因此，本论文设计的基准源输出电压 U_{base} 相当于两级能隙基准电压电路的输出，具有很高的电压精度。

在功率集成电路中，由于耗散功率较大，所以温度会升高，容易使得某些管子由于温度过高而损坏，进而使得整个电路处于瘫痪状态，无法正常工作。为了保护集成电路在这种情况下不被损坏，往往将过热保护电路集成在芯片内部。图 3.2 的右半部分为本论文设计的过热保护电路，由 Q15、C5、M5、M6、M7、M8、M9、M10、R10、R11 组成。该电路主要由双极型晶体管 Q15 的 U_{BE} 来感应芯片上温度的变化。当温度低于关断温度 150°C 时， T_{out} 为高电平，Q15 处于截止状态，反馈的 NMOS 管 M10 处于导通状态。当温度上升时，电阻 R10 上的压降增大，使 Q15 的基极电压上升，同时双极型晶体管 Q15 的 U_{BE} 下降，温度上升到所设定的上限值 150°C 时，Q15 进入导通状态，其集电极电压下降，导致 T_{out} 的电位下降，输出低电平，集成电路进入热关断状态。同时，由于 T_{out} 变为低电平，NMOS 管 M10 进入截止状态，使 Q15 基极到地的电阻增加，形成一个正反馈，这样就可以有效地抑制热振荡，直至温度下降后重新加电启动才能退出热关断。该电路的模拟结果如图 3.5 所示，从图可以看出温度升高到 150°C 时 T_{out} 变为低电平。因此，该芯片具有过热保护功能，其温度门限为 150°C（回差 5°C）。

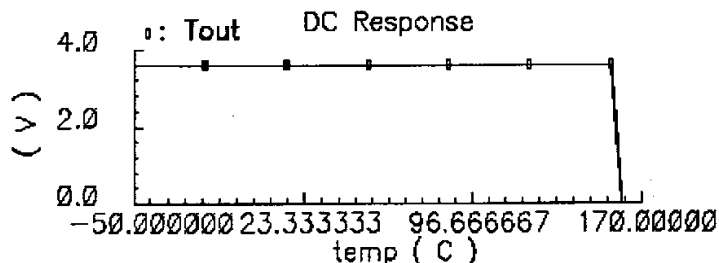


图 3.5 过热保护电路仿真波形

在变换器芯片内部不仅要用到基准电压电路，同时也需要偏置电压电路，来给其它部分电路提供偏置电压，如各种比较器电路，误差放大电路等。而恒流源电路被广泛用于做偏置电源和有源负载^[22]。本论文的集成电路内部需要有五个偏置电压源来给误差放

大电路和比较电路提供偏置电压，具体的偏置电路如图 3.6 所示。

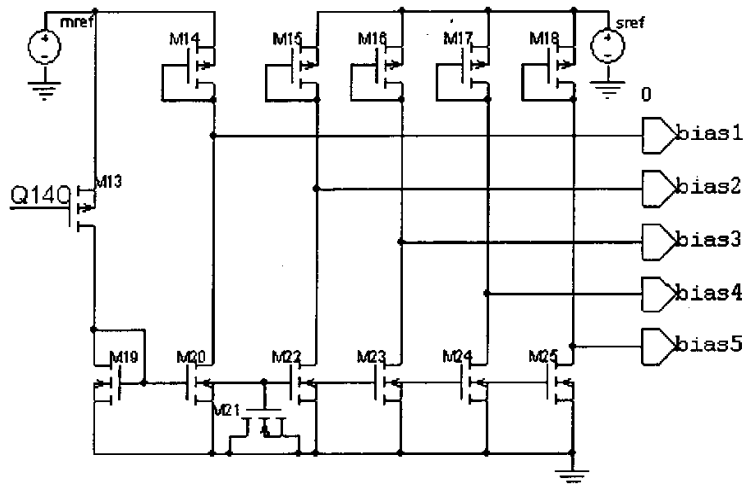


图 3.6 偏置电路

对于偏置电路，要求其产生的偏置电压随温度变化很小。对于 NMOS 管 M19，因为 $U_{DS}=U_{GS}$ ，所以， $0 < U_{GS} - U_{TN} = U_{DS} - U_{TN} < U_{GS}$ 。因此，M19 总是工作在饱和状态。当漏电流 I_{D13} 恒定时，栅电压 U_{G19} 也恒定，因此 I_{D20} 、 I_{D22} 、 I_{D23} 、 I_{D24} 、 I_{D25} 都恒定，即 M19、M20、M22、M23、M24、M25 组成镜像电流源。同理，PMOS 管 M14、M15、M16、M17、M18 也组成电流镜，确保其漏电流的恒定。

以 NMOS 管 M20 和 PMOS 管 M14 为例，对偏置电路的工作原理作以简单的介绍。NMOS 管工作在饱和区的电流方程为^{[23][24]}

$$I_{DS} = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (U_{GS} - U_{TN})^2 (1 + \lambda U_{DS}) \quad (3.7)$$

其中 μ_n 为电子迁移率， C_{OX} 为单位面积栅电容， U_{TH} 为阈值电压， λ 为沟道调制系数。那么根据式(3.7)(并忽略沟道调制效应)可知 M20 的栅极电压为

$$U_{G20} = \sqrt{\frac{2I_{D20}}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{20}}} + U_{TN} \quad (3.8)$$

$\mu_n C_{OX}$ 随着温度的升高而降低，温度每上升 100°C 就下降约 40%。如果保持 I_{D20} 很小的值，同时设定管子参数，使得 U_{G20} 受温度的影响主要取决于 I_{D20} 和 U_{TN} 。而对于 NMOS 场效应管，其阈值电压随着温度的升高而减小，即阈值电压具有负的温度系数^[24]。同时， $U_{G20} = U_{mref} - U_{DS13}$ ，保证 U_{G20} 随着温度的升高变化很小或几乎不变化，那么 I_{D20} 随着温度的升高而有下降。

PMOS 管工作在饱和区的电流方程为

$$I_{DS} = -\frac{\mu_p C_{OX}}{2} \frac{W}{L} (U_{GS} - U_{TP})^2 (1 + \lambda U_{DS}) \quad (3.9)$$

其中 μ_p 为空穴迁移率, C_{OX} 为单位面积栅电容, U_{TP} 为阈值电压, λ 为沟道调制系数。那么根据式(3.9)(并忽略沟道调制效应)可知

$$I_{D14} = -\frac{\mu_p C_{OX}}{2} \frac{W}{L} (U_{G14} - U_{mref} - U_{TP})^2 \quad (3.10)$$

因为 $I_{D20} = -I_{D14}$

$$U_{G14} = \sqrt{\frac{2I_{D20}}{\mu_p C_{OX} \left(\frac{W}{L}\right)_{14}}} + U_{TP} + U_{mref} \quad (3.11)$$

$\mu_p C_{OX}$ 随着温度的升高而降低, I_{D20} 随着温度的升高而有下降。而对于 PMOS 场效应管, 其阈值电压随着温度的升高而升高, 即阈值电压具有正的温度系数。所以适当调整 M14 管子的参数就可使得 U_{G14} 不随着温度的变化或变化很小。即 bias1 不随着温度的变化或变化很小。对 M15、M22, M16、M23, M17、M24, M18、M25 的分析同上。图 3.7 给出了各偏置电压随温度变化的仿真波形。

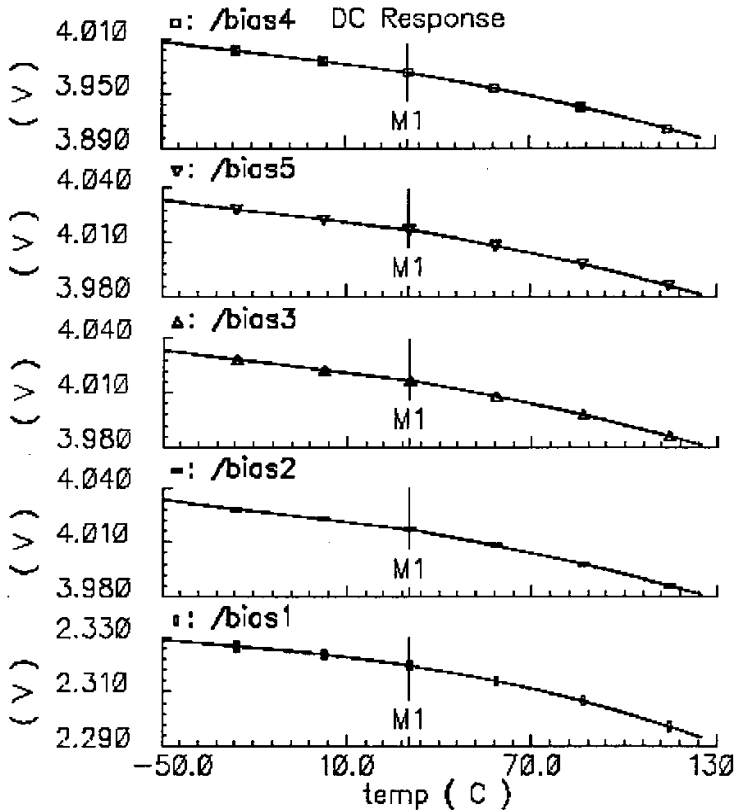


图 3.7 偏置电压随着温度变化时的仿真波形

从图 3.7 可以看出, 偏置电压随温度变化很小。根据式 (3.5) 偏置电压 bias4 的分数温度系数为 $\frac{4.008-3.901}{3.973(125+50)}=155.3\times 10^{-6}/^{\circ}\text{C}$, bias2、bias3、bias5 的分数温度系数为

$$\frac{4.034-3.981}{4.017(125+50)}=75.4\times 10^{-6}/^{\circ}\text{C}, \text{ bias1 的分数温度系数为 } \frac{2.329-2.293}{2.32(125+50)}=88.7\times 10^{-6}/^{\circ}\text{C}.$$

3.3 具有使能作用的内部调节电路设计

由于芯片内部, 既有模拟电路, 又有逻辑电路, 而这些电路对电源的要求有所不同, 模拟电路中对电源的要求较高, 而逻辑电路相比模拟电路对电源的要求不是很高。同时, 为了避免两种信号之间的干扰, 本论文中的模拟电路和逻辑电路采用不同的电源电路。为模拟电路提供工作电源的电路如图 3.8 所示。

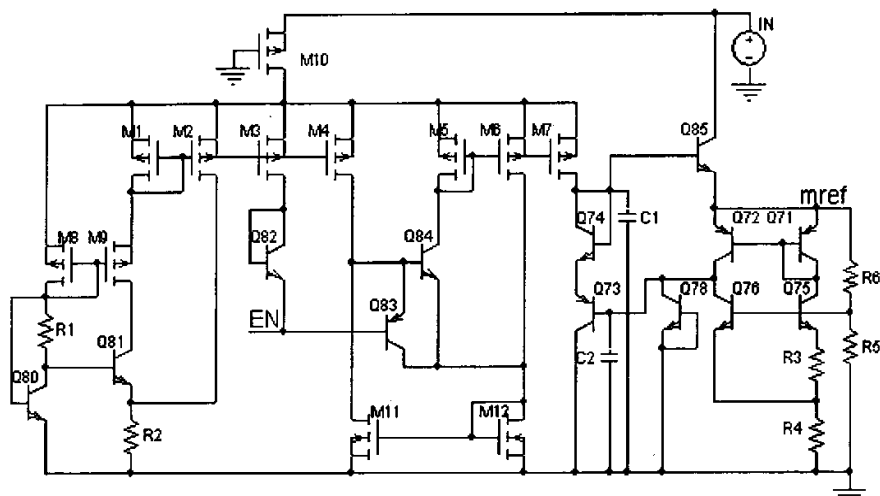


图 3.8 模拟电源电路

M8、M9、Q80、Q81、R1 构成启动电路, 正常工作时 M1、M9、Q81、R2 组成低阻值的直流通路, 使一级偏置电流源工作。M8 工作在饱和状态, 栅极电压约为 0.68V。Q80 工作在临界饱和状态, R2 起负反馈、稳定电流的作用。当工作电压即 IN 端的电压超过正常工作电压范围时, 也就是 Q80 进入饱和状态, Q81 的基极电压降低, 低阻值通路不能建立, 使一级偏置电流源不能工作, 导致整个电路不能工作。一级偏置电流源工作时, 当 EN 端为高电平时, Q84 导通 M5、M6、M7 构成的二级恒流源工作, 为 Q85 提供偏置电源, 使 Q85 工作在放大区, 同时由 Q72、Q71、Q75、Q76、R3、R4、R5、R6 构成的二极管能隙基准源工作, 其原理如 3.2 节所述。当 EN 端为低电平时, Q83 导通而 Q84 截止, M5、M6、M7 构成的二级恒流源不能建立起来, 基准源不工作, 无法为整个芯片电路供电即处于待机模式。模拟电源电路的仿真波形如图 3.9、3.10、3.11 所示。

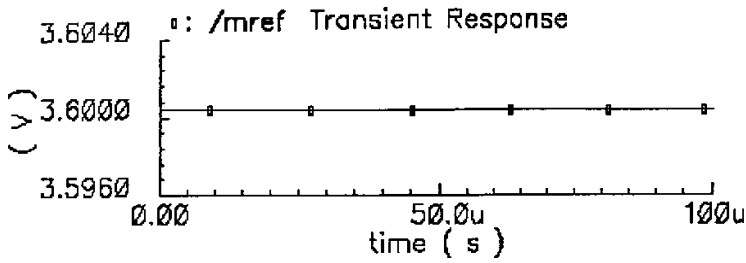


图 3.9 EN 端为高电平或悬空时模拟电源的波形

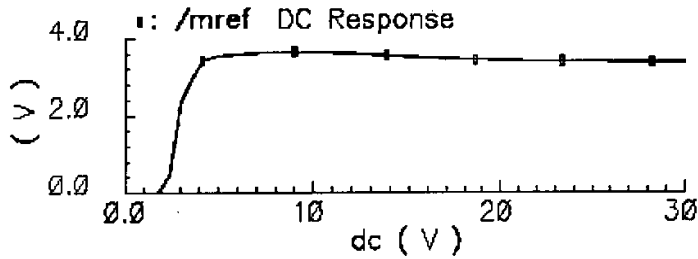


图 3.10 EN 端为高电平时模拟电源的直流扫描波形

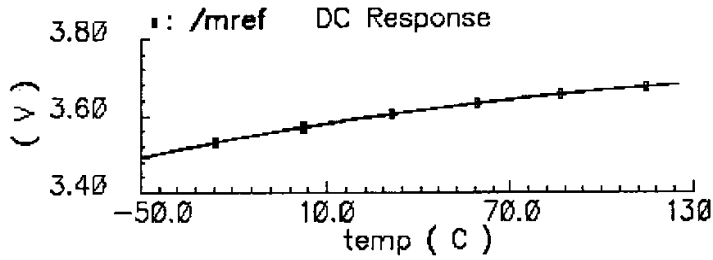


图 3.11 EN 端为高电平时模拟电源的温度扫描波形

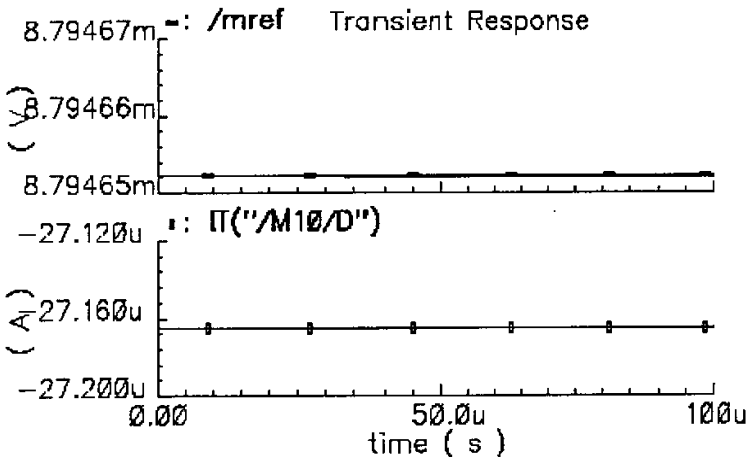


图 3.12 EN 端为低电平时模拟电源的波形

从图 3.9 可以看出, 在正常工作条件下即 EN 端为高电平或悬空时, 模拟电源的输出电压为 3.6004V; 从图 3.10 可以看出, 在 4.8~25V 的电压范围里模拟电源的输出电压维持在 3.60V 几乎保持不变; 从图 3.11 可以看出, 在 -30~125°C 的温度范围里模拟电源的输出电压变化也很小, 由式 (3.5) 得分数温度系数为 $\frac{3.681-3.582}{3.6004(125+30)}=177.4 \times 10^{-6}/^{\circ}\text{C}$;

从图 3.12 可以看出, 当 EN 端的电压为低电平时模拟电源的输出电压为 8.79mV, 整个电路不能正常工作即芯片处于关断状态, 此时的静态电流仅为 27.16 μA 小于 30 μA 。

本论文设计的逻辑电平为 5V, 为逻辑电路提供工作电压的电路如图 3.13 所示。该电路结构简单, 性能优良。

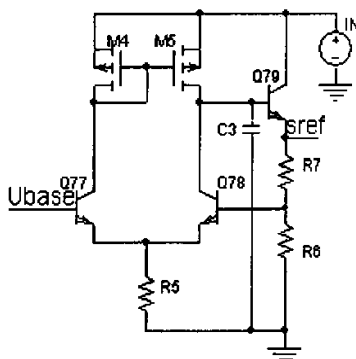


图 3.13 逻辑电源电路

基准电压 U_{base} 为一定值 (1.22V), M4、Q77、R5 形成低阻值通路, 此时 M4、M5 组成的电流源工作, 做为 Q78 的有源负载, Q79 工作在放大区, 输出电压 s_{ref} 建立。R7、R6、Q78、R5 构成负反馈电路, 当输入端 IN 的电压有上升趋势时, 输出电压 s_{ref} 也有上升的趋势, Q78 的基极电压也跟着上升, 导致 Q79 的基极电流减小, 引起输出电压 s_{ref} 的减小, 起到负反馈的作用。当温度上升时, $I_{\text{C}78}$ ($I_{\text{E}78}$) 将增加, 那么在 R5 上产生的压降 $I_{\text{E}78}R5$ 也要增加, 但由于 Q78 的基极电压基本固定, 所以由于 $U_{\text{BE}78}$ 的减小使 Q78 的基极电流自动减小, 结果牵制了 Q78 发射极电流的增加, 从而使 $I_{\text{C}78}$ 基本恒定, 起到负反馈的作用。逻辑电源电路的仿真波形如图 3.14、3.15、3.16 所示。

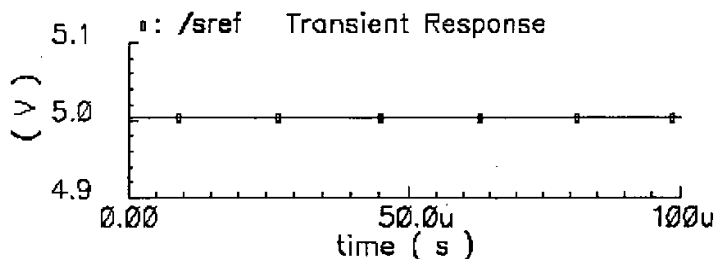


图 3.14 逻辑电源电路的输出波形

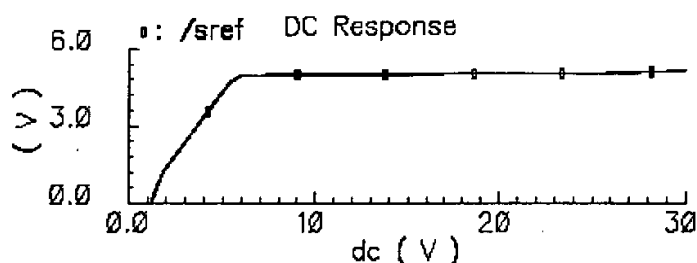


图 3.15 逻辑电源电路的直流扫描波形

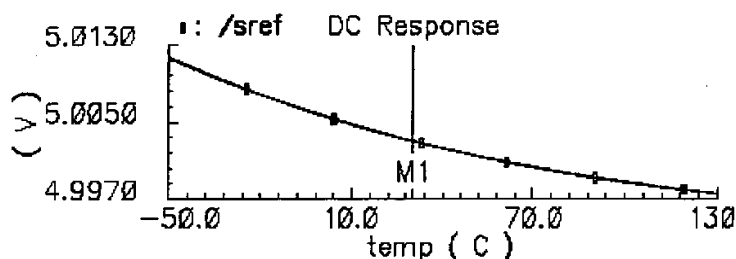


图 3.16 逻辑电源电路的温度扫描波形

从图 3.14 可以看出,正常工作条件下逻辑电源的输出电压为 5.01V;通过图 3.15 可以看出,在 4.8~25V 的电压范围里逻辑电源的输出电压几乎不变化;由图 3.16 可以看出,在 -50~125°C 的温度范围里逻辑电源的输出电压变化也很小,由式 (3.5) 得分数温度系数为 $\frac{5.012-4.998}{5.003(125+50)}=15.99 \times 10^{-6}/^{\circ}\text{C}$ 。可见,该电路结构简单,满足设计要求。

通过对内部调节电路的设计及仿真,可以看出此芯片达到了输入电压工作范围宽的要求 (4.8~25V)。当 EN 端为高电平或悬空时,整个模拟和逻辑电源电路正常工作;当 EN 端的电压为低电平时,电源电路不能工作,整个电路处于关断状态,此时的静态电流仅为 $27.16 \mu\text{A}$ (小于 $30 \mu\text{A}$),功耗很低。通过对使能端 EN 的控制,还可方便地实现变换器芯片的遥控、定时、延时和开关控制等功能。

3.4 比较器设计

比较器的作用,就是将两个模拟输入信号进行比较,输出一个电平信号。对理想的比较器,当同相输入端的信号大于反相输入端的信号时,比较器输出为高电平,反之,比较器输出为低电平。理想的比较器,意味着在输出过渡期间,比较器的增益为无穷大,即 $A_V=\infty$ 。在集成电路中对比较器的性能要求主要用下列参数描述:(1)分辨能力;(2)输入失调电压;(3)响应速度;(4)功耗和面积^[25]。

在以往的比较器电路中,存在单级增益不高,并以牺牲输出电压范围来提高增益,进而不能达到满幅度输出,导致电路性能不好。本论文所设计的比较器电路是在差动比

较电路的基础上增加两级驱动，即采用三级放大结构。比较器一般在开环条件下工作，因此不需要考虑放大器闭环稳定工作的频率补偿问题^[26]。电路结构如图 3.17 所示。

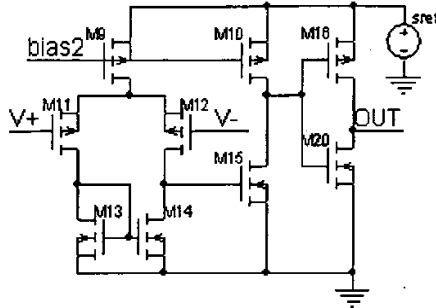


图 3.17 比较器电路

由图 3.17 可以看出第一级是 PMOS 管 M11, M12 组成的差分输入级，是将双端输入变为单端输出，NMOS 管 M13, M14 作为电流源负载。第二级为 PMOS 管 M10 和 NMOS 管 M15 组成的 CMOS 共源放大器。第三级为 M16, M20 组成的推挽式 CMOS 单级放大器，即普通 CMOS 反相器。由于 CMOS 反相器作为输出级，所以能达到满幅度的输出。在设计中要保证放大器的 MOS 管在静态条件下处于饱和区，且第二级、第三级保证静态时输出电压在电源电压中点，以保证后级 CMOS 反相器工作在高增益区。

该电路用两个尺寸完全一致的 PMOS 管做为差动对，其相对于用两个尺寸完全一致的 NMOS 管做为差动的转换速率要快。当输入信号 $V+ > V-$ 时，NMOS 管 M12 开启状况较好，流过的电流较大，相应的输出电压也较高。即 NMOS 管 M15 的栅压较大，M15 导通，因此比较器的输出 OUT 为高电平；反之，亦然。为了保证没有系统输入偏移电压的存在，当差动输入电压为 0 时，第一级的输出电压 U_{G15} 应让 I_{D15} 等于偏置电流 I_{D10} 所需要的电压。

在给比较器正相输入端输入一个幅度为 1V，频率为 400KHz 的正弦波电压信号，反相输入端输入一个 1.2V 的基准电压时，其瞬态仿真波形如图 3.18 所示。电压转换波形如图 3.19 所示。

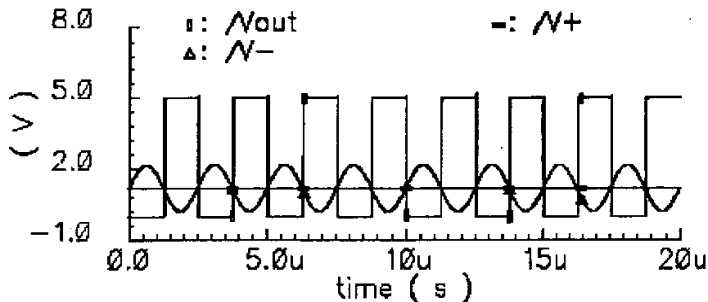


图 3.18 比较器的瞬态仿真波形

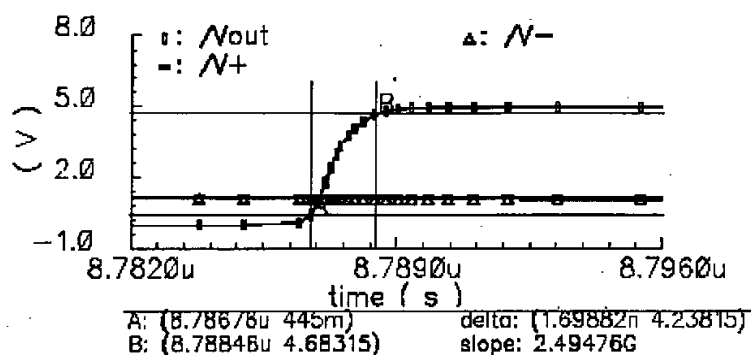


图 3.19 比较器的输出电压转换仿真波形

由图 3.19 可以看出，在 5.0V 的电源电压下，输出电平转换时间大约为 1.6988ns，转换时间短，速率高。即转折线几乎是垂直线，可见比较器的增益很高，分辨能力强、效率较高。

比较器的交流仿真见图 3.20 所示。由图可以看出比较器的增益为 137.3dB，截至频率为 18.5KHz，单位增益带宽为 41.24MHz。

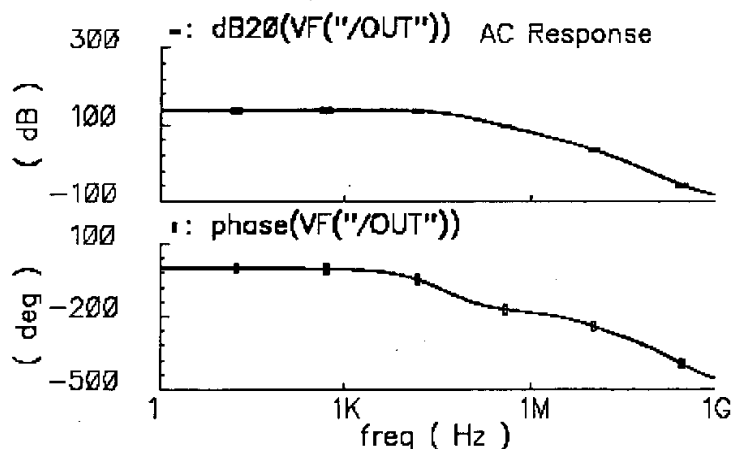


图 3.20 比较器的交流特性曲线

电路的功耗不仅与偏置信号 bias2 的电平有关，还与两个进行比较的信号电压值有关，具体为 bias2 电平越低电路功耗越大，输入的两个信号电平越低，电路功耗也越大。电路的输入失调电压主要是实际电路中元器件参数值的不完全相同造成的，其中主要是两个输入管阈值电压、导通电阻等区别产生的，为此，需要在版图设计中采取必要的手段来减小其差别，如采用交叉布局来减小工艺误差的影响等^[27]。

3.5 频率可控的锯齿波振荡电路设计

在现代电子电路中，尤其是在开关电源的 PWM 控制电路中，锯齿波振荡电路是核

心的功能部件，它对电路的信号处理性能有着很大的影响。但在一般的应用场合，要求其在电源电压、温度、工艺和环境负载变化或漂移的条件下，振荡电路能够产生频率稳定的信号输出即可^{[28][29][30]}。

本论文所设计的锯齿波振荡电路的振荡电容在设定的上、下值电压 U_{OH} 和 U_{OL} 之间周期性的线性充、放电，便产生锯齿波信号。基于提高整体电源效率，振荡电路的正常振荡频率设定在 380KHz 左右。锯齿波振荡电路如图 3.21 所示，该电路主要有偏置电路、电压比较器电路、恒流源充放电电路、二选一网络等四个部分组成。

M9、M10、M11、M12、M13、M14、M15、M16、M20 组成电压比较电路，就是前面 3.4 节所介绍的电路。

M23、M24、M25、M26 组成二选一网络。

Q18、M6、M7、M1、M2、M3、M4、R5 组成偏置电路。Q23、Q24、M4、C2、M8 组成恒流源充放电电路。

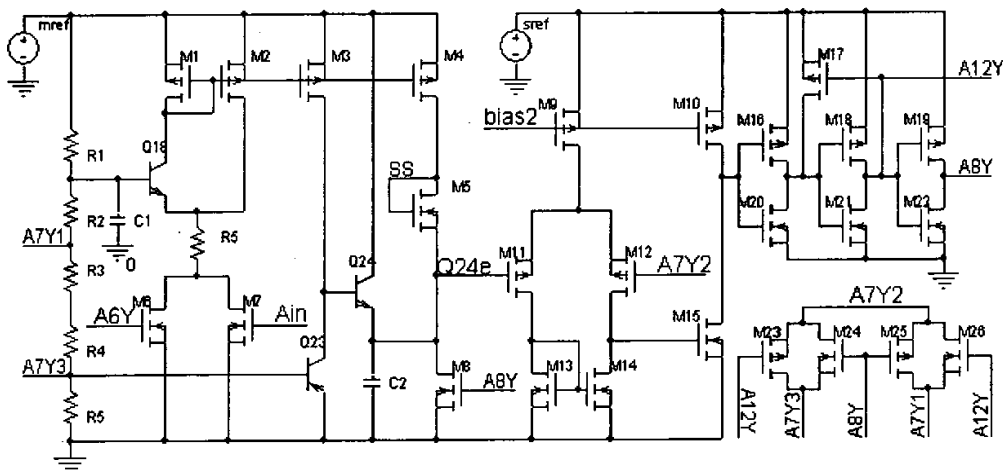


图 3.21 锯齿波振荡电路

A_{in} 为固定的电压值 (2.089V)，正常工作情况下，故障频率比较器输出的信号 A6Y 为高电平，NMOS 管 M6 导通，M1、Q18、R5、M6 形成较低阻值通路，M2、M3、M4 组成的镜像电流源开始工作。假设比较器的输出为低电平，即 A8Y 为低电平，A12Y 为高电平，通过由 M23、M24、M25、M26 组成的二选一网络，比较器的负相输入端电压 $A7Y2=U_{OH}=A7Y1=U_{mref}(R3+R4+R5)/(R1+R2+R3+R4+R5)$ ，同时 NMOS 管 M8 截止，电流源向电容 C2 充电，由于电流恒定，电容 C2 两端的电压线性上升。当电容 C2 上的电压 Q24e 高于 A7Y2 时，比较器翻转，输出为高电平，即 A8Y 为高电平，A12Y 为低电平，此时比较器的负相输入端电压为 $A7Y2=U_{OL}=A7Y3=U_{mref}R5/(R1+R2+R3+R4+R5)$ ，同时 NMOS 管 M8 导通，电容 C2 两端开始放电，其两端电压下降很快。当电容 C2 两

端的电压低于负相输入端 A7Y2 时, 比较器又翻转, 即 A8Y 为低电平, A12Y 为高电平。依次类推, 循环下去, 便在 Q24e 端产生锯齿波信号, 通过比较器产生同步脉冲信号。信号的振荡频率为

$$f = \frac{I_{充} + I_{放}}{2(A7Y1 - A7Y3) C_2} \quad (3.12)$$

在故障情况下, 故障频率比较器输出的信号 A6Y 为低电平, M1、Q18、R5、M7 形成较高阻值通路, M2、M3、M4 组成的镜像电流源工作, 恒流源的电流较小, 因此, 振荡器的频率下降。

图 3.22、3.23 给出振荡器在正常工作条件下和故障条件下的锯齿波电路仿真波形。

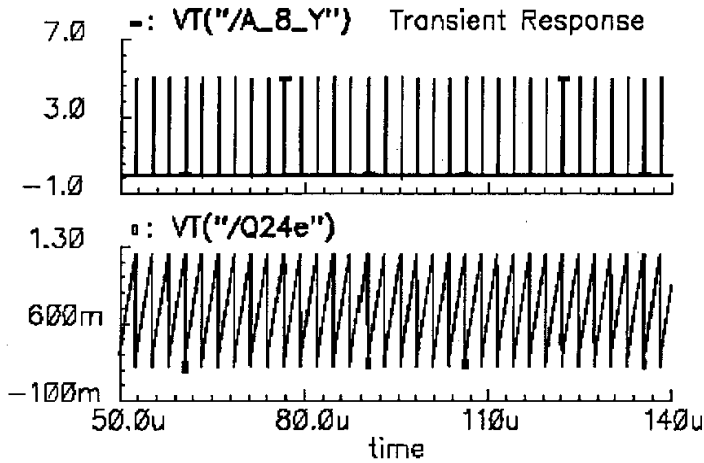


图 3.22 正常工作条件下振荡器的输出波形

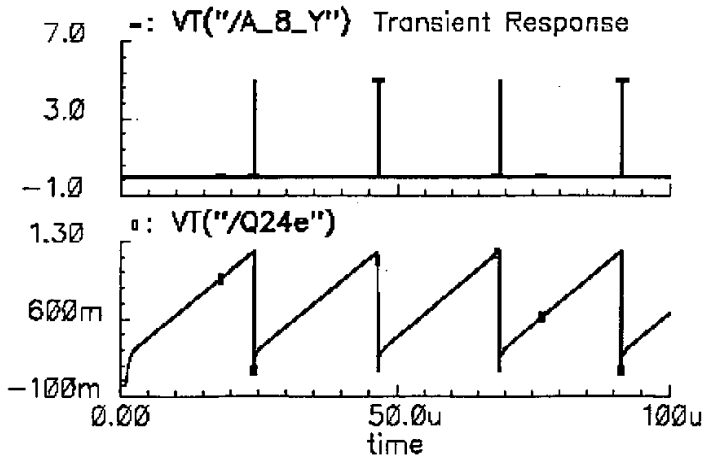


图 3.23 故障条件下振荡器的输出波形

从图 3.22 可以看出, 正常情况下, 振荡器的周期为 2.63 μ s, 频率为 380.23KHz, 达到了设计要求; 从图 3.23 可以看出, 故障情况下, 振荡器的周期为 24.8 μ s, 频率为 40.25KHz。

通过对锯齿波振荡电路的分析与仿真, 说明了该芯片实现了变频的功能。

3.6 误差放大电路设计

误差放大电路是在集成电路内部将反馈的实际电压与基准电压的差值进行放大, 并产生与电流比较器正相输入端信号进行比较的误差放大信号。误差放大器在 DC/DC 变换器电路中有如下作用:

1. 将输出电压与基准电压进行放大及反馈, 保证稳态时的稳压精度。
2. 将开关电源主电路输出端的附带有较宽频带开关噪声成分的直流电压信号, 转变为具有一定幅值的比较“干净”的直流反馈控制信号, 即保留直流低频成分, 衰减交流高频成分。
3. 对整个闭环系统进行校正, 使得闭环系统稳定工作。

本论文所要求的误差放大器频率响应速率较低, 放大倍数也要求不高。具体的误差放大电路如图 3.24 所示。

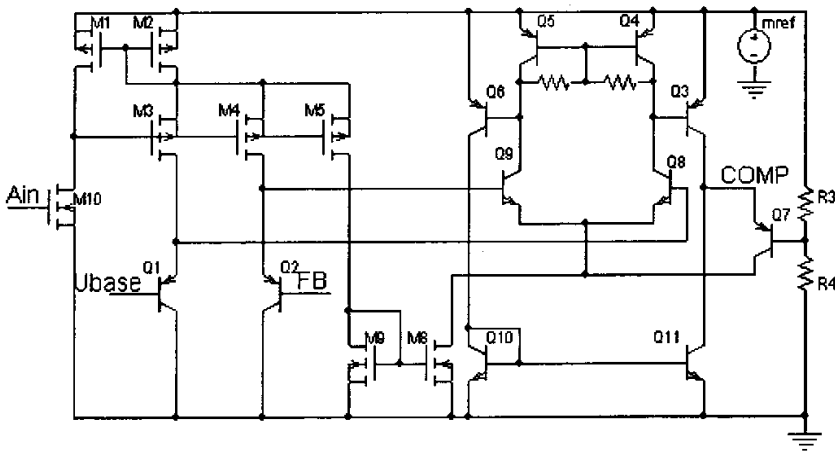


图 3.24 误差放大电路

A_{in} 为控制端口, M1、M2、M3、M4、M5 组成镜像电流源供给第一级放大电路偏置电流, 这种恒流源电路不仅减小了输出电流 I_{D3} 与参考电流 I_{D10} 之差, 而且由于 M3 的源极到 M1 的栅极形成电流负反馈, 提高了输出电流 I_{D3} 的稳定程度。M8 和 M9 组成镜像电流源作为第二级放大电路的有源负载。Q1、Q2 组成第一级差分输入对, 差分输入对的正相输入端为基准电压 U_{base} 的值, 反相输入端为反馈端 FB 的值, Q7 是一个

PNP 管，实现旁路分流的作用，当反馈端 FB 电流较大时，电流主要通过 Q7 流到地。在电路开始工作时，反馈端 FB 的电压很小，放大电路反相端的电压远小于正向输入端的基准电压 U_{base} ，Q8 的基极电压很高，而 Q3 的基极电压很低，因此，输出端 COMP 端的电压很高，芯片以最大占空比 90% 工作。反馈电压逐渐增大，COMP 端的电压值也逐渐升高，在一定范围内，输出电压 COMP 与反馈电压 FB 成正向变化。当反馈电压非常大的时候，放大电路反向输入端电压大于基准电压，输出电压与反馈电压处于非线性状态，COMP 端为很低的电平，电路以最小占空比工作。

图 3.25 给出了误差放大电路的交流仿真波形，由图可以看出开环增益为 63.44dB，截止频率约为 2.03K，单位增益带宽为 2.591MHz，经仿真测得转换速率为 9.82V/uS。

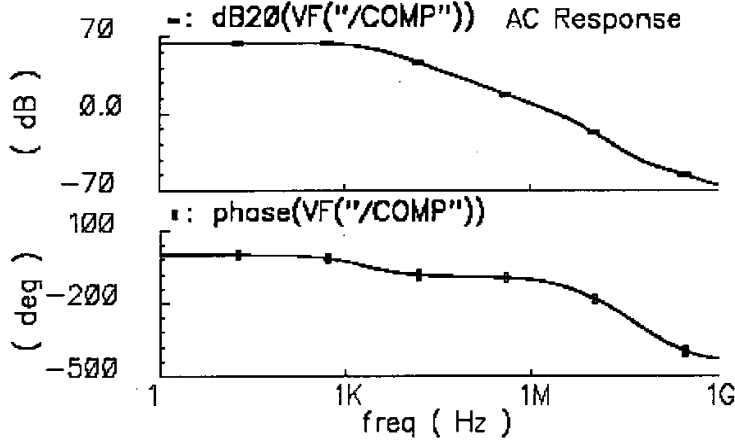
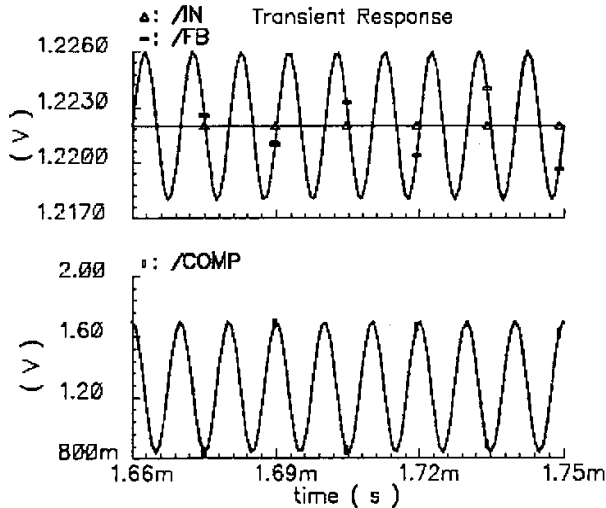
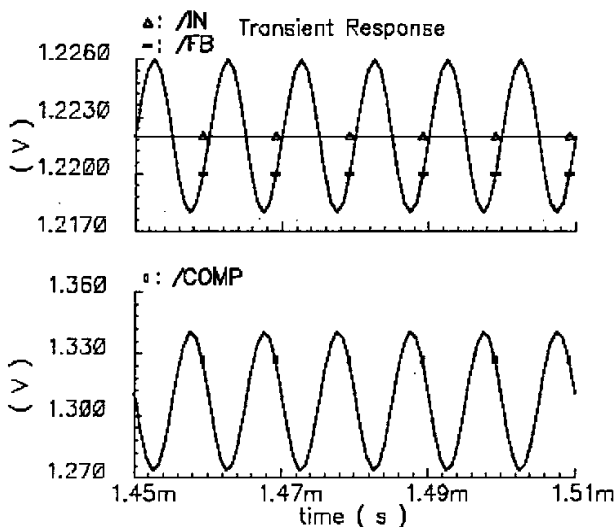


图 3.25 误差放大电路的交流特性曲线



3.26 误差放大器反馈端电压与输出电压的关系曲线（未加补偿电路）



3.27 误差放大器反馈端电压与输出电压的关系曲线（加补偿电路）

图 3.26 给出了未加补偿电路的误差放大电路的瞬态仿真波形。图 3.27 给出了有补偿电路的误差放大电路的瞬态仿真波形。其中误差放大电路在 3.6V 的电源下工作，反相输入端 FB 输入 1.218V 到 1.226V，频率为 100KHz 的正弦电压信号，正相输入端的电压为 1.222V。

从图 3.26 可以看出对反馈信号进行了放大，即由 0.841V 到 1.701V，但相位发生了变化；从图 3.27 可以看出误差放大对反馈信号进行了处理与放大，即由 1.275V 到 1.341V，且相位符合的很好。

3.7 欠压保护电路设计

如果由于某种异常情况导致芯片输入端 IN 电压低于 4.75V 时，要有一个保护电路来关断逻辑电路，使整个电路不工作，这就需要有欠压保护电路。该电路如图 3.28 所示。

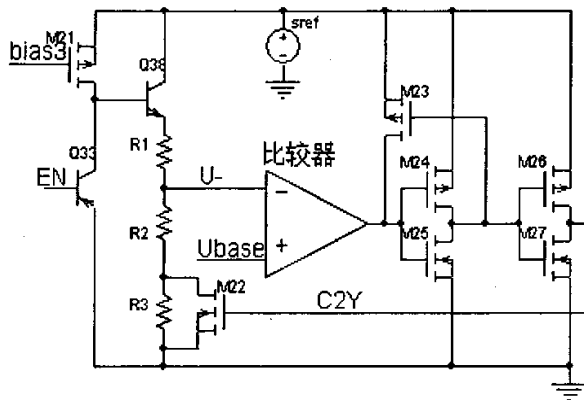


图 3.28 欠压保护电路

通过分压电阻从输入端 IN 给 EN 端引入电压信号（用户可自行设计），当 EN 端从零开始上升时，NPN 管 Q38 几乎不导通，比较器的输出为高电平，即 C2Y 为高电平，NMOS 管 M22 完全导通。随着 EN 端电压的上升，当比较器反相输入端的电压 U_{-} 大于正相基准电压 U_{base} 时，比较器翻转，输出为低电平，即 C2Y 为低电平，NMOS 管 M22 截止，起正反馈的作用，以防止比较器的振荡。此时对应的 EN 端的电压为 U_{TH+} ，即比较器反相输入端的电压 $U_{-}=I_{Q38e}R2$ ，集成电路进入正常工作状态，比较器反相输入端的电压变为 $U_{-}=I_{Q38e}(R2+R3)$ 。随着 EN 端的电压下降，当 $U_{-}=I_{Q38e}(R2+R3)$ 小于 U_{base} 时，比较器翻转，比较器的输出为高电平，即 C2Y 为高电平，对整个集成电路进行欠压保护，对应的 EN 端的电压为 U_{TH-} 。显然， $U_{TH-}<U_{TH+}$ ，起到了欠压保护的功能。图 3.29 为欠压保护电路的工作仿真波形。

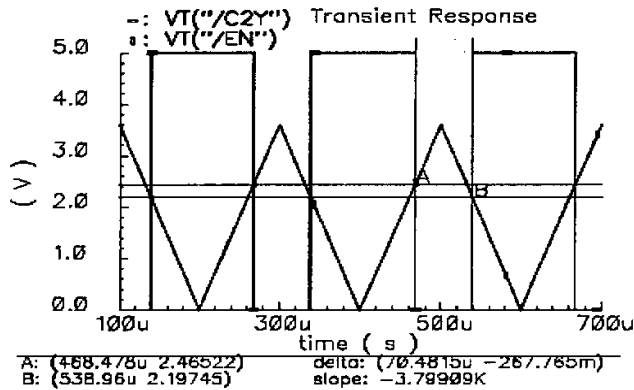


图 3.29 欠压保护电路的仿真波形

从图 3.29 可以看出，当 EN 端的电压上升到 2.465V 时，欠压保护电路的输出端 C2Y 为低电平，整个芯片电路开始工作。当输入电压降低时，EN 端的电压下降到 2.19745V 时，欠压保护电路的输出端 C2Y 翻转为高电平，起到保护整个芯片的功能，滞回电压为 0.268V。

3.8 逐周期电流检测与电流敏感放大电路设计

电流检测电路用于检测功率管电流。一方面是由于本电路的工作模式为电流型的，另一方面是过流保护功能实现的需要。电流检测电路逐周期检测流过功率开关管 M1 的电流并经过斜坡补偿电路后反映为一个电压值，作为电流比较器正相端的输入，比较器反相端的输入为误差放大器的输出，当流经 M1 管的电流达到某一值时，比较器状态翻转，使得 M1 管关断。由于集成电路功率开关管 M1 工作在开关状态，当 M1 导通时，由于漏极的高压，将会有很大的电流流过功率管 M1，如果流过功率管 M1 的电流更大，甚至出现短路的情况，该电流产生的热量足以使得功率管烧坏，所以这就要有检测电流

电路。此电路在每个周期内检测功率开关管是否电流过大，如果超过额定值，在此周期内关断功率管；如果故障消除了，电路重新进入正常工作状态。

电流检测通常采用的方法是在所要检测电路的支路加入一个小电阻，通过采样电阻上的压降来反映该支路上的电流。这种方法简单易行，但这将会增加一个额外的功率损耗。为了减小由于电阻带来的额外的功率损耗，本论文的电流检测电路是在此方法上加一小小的改进，电路结构如图 3.30 所示。

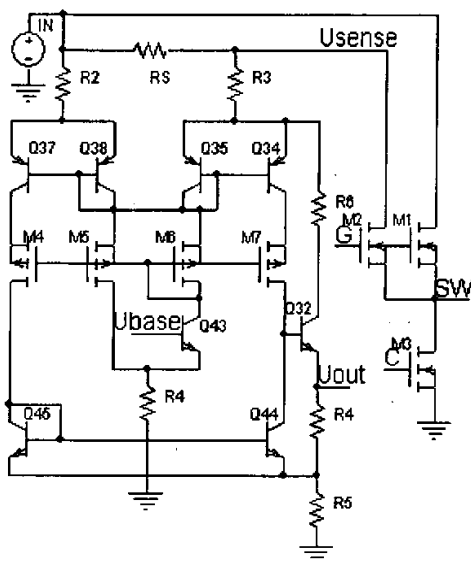


图 3.30 电流检测与电流敏感放大电路

M1、M2 为功率开关管，当 M1 导通时，流过 M1 的电流很大，因此不能直接从此取电流信号，否则，检测电阻上的功耗将会很大。我们利用镜像电流源的原理，从 M2 漏极取电流信号。在版图设计中，M1、M2 采用相同的制造工艺，因此，各工艺参数都相同。功率管 M1、M2 漏端的电流可通过 M1、M2 管子尺寸的大小来反映，且成比例关系。设计时取 M2 的尺寸为 M1 的 1/50。即 M2 漏极电流约为 M1 漏极电流的 1/50。这样检测电阻 RS 上的功耗显著降低，同时检测电阻上的压降也会变的很小，为了克服此缺点，这就需要一电流敏感放大电路对检测电阻上的压降信号进行放大，以方便后面电路的工作。Q37、Q38、Q35、Q34、M4、M5、M6、M7、Q43、Q45、Q44、Q32 及一些电阻构成电流敏感放大电路。当 Ubase 的电压达到 1.22V 时 R2、R3、Q38、Q35、M6、Q43、R4 形成一低阻值的通路，整个放大电路进入工作状态，其瞬态仿真波形如图 3.31 所示。

从图 3.31 可以看出电流的微小变化通过检测电阻及电流检测放大电路后，反映为输出电压 Uout 很大的变化。

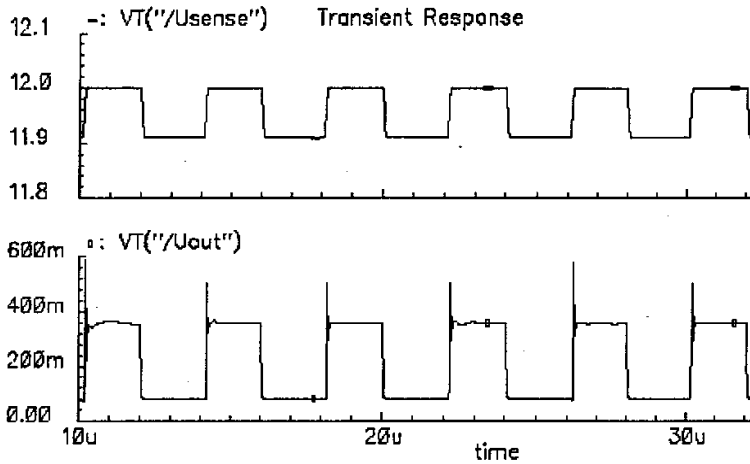


图 3.31 电流敏感放大电路的仿真波形

3.9 有自举功能的 DMOS 栅驱动电路设计^[31]

在开关电源系统拓扑结构中,当功率 MOSFET 工作于低频开关状态下, MOSFET 很高的输入阻抗就意味着驱动功率 MOSFET 仅需要很低的电流水平,只要通过施加电压就可以使得功率 MOSFET 工作在开与关的状态。随着集成电路功率密度的提高,开关电源朝着更高开关频率的方向发展。在越来越高的开关频率下,功率 MOSFET 的输入电容就成为输入阻抗的主要方面,这就要求设计的驱动电路有电流源和电流阱的功能,以便对 MOSFET 的有效栅-源电容分别进行充电或放电。

驱动指标是功率 MOSFET 对其栅电压的变化有立即的响应。例如,当栅压 V_{GS} 达到 2~3V 时,功率 MOSFET 将导通;当栅压 V_{GS} 达到 4~5V 时,它就完全导通。当栅电压超过阈值电压后,在接下来的连续时间内,栅电压有个阶跃变化,变化的大小取决于可利用的驱动电流。而驱动电流决定了功率 MOSFET 的漏电流的上升和下降时间。驱动电流可以用如下的表达式表示

$$I_m = C_{DC} * dV/dt, \quad I_C = C_{GS} * dV/dt \quad (3.13)$$

其中 I_m 是由于密勒效应给 MOSFET 的漏-栅电容充电所需的电流,并以此速率改变漏端的电压。 I_C 是给栅-源电容充电时所需的电流,改变栅源电压,以便使得 MOSFET 从阈值导通变化到完全导通为止。

本论文中的开关电源采用同步整流结构,其原理如图 3.32 所示。由于与功率管 M1 的源端连接的电感两端电压是变化的,对于集成的电源控制芯片而言,片内的电源水平无法驱动功率管 M1 的导通和截止。因此,功率管 M1 需要设计的是根据其源电压变化而自举的电路, M2 的源端连接的是地,片内电源水平就可以满足要求。

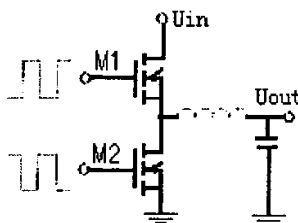


图 3.32 同步整流原理图

为了解决上面的问题，文中设计了具有自举功能的输出驱动电路。其原理结构如图 3.33 所示。A、B 是开关电源的控制系統发出的控制输入信号，信号 A 和 B 是相对于 UL 和地之间的逻辑信号，输出信号 G 是相对于电压 BS 和 SW 之间的逻辑驱动信号。自举原理如下：首先，电源 UL(5V)给自举电容 C 充电，使 BS 端的电压比 SW 端的电压高 4.7V 左右(即 UL 减去肖特基二极管 SD 正向导通压降)，这样当信号 $A \cap B$ 为高电平时(要求 M1 导通)，M1 导通，SW 端的电压逐渐上升。由于电容 C 的自举作用，使 BS 端的电压在原来 4.7V 的基础上也随之上升。通过功能块 High-Driver 把 BS 端的电压切换到功率管 M1 的栅极(G)输入端，这样 M1 的栅-源电压始终保持为 4.7V 左右，以使 M1 充分导通；当信号 $A \cap B$ 为低电平时(要求 M1 截止)，功能块 High-Driver 就把 SW 端的电压切换到 M1 的栅极输入端，使 M1 的栅-源电压保持为零，这样功率管 M1 截止。

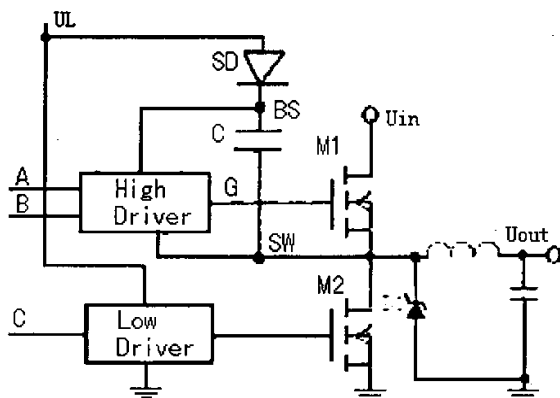


图 3.33 自举电路的原理框图

功能块 High-Driver 的电路结构如图 3.34 所示。其中 BS、SW 和 A、B、G 信号与图 3.33 中的相同，M1、M2、M10、M11、D1、D2 组成电平转换电路，将相对于 UL 和地之间的逻辑信号 $A \cap B$ 转换成相对于电压 BS 和 SW 之间的驱动信号，M3、M12、R1、M4、M13 构成锁存电路。由于信号 G 驱动的功率开关管 M1 的电容负载很大，依据反相器级连放大的原则，增加了五级驱动。M5、M14、M6、M15、M7、M16、M8、

M17、M9、M18 为级连驱动电路。

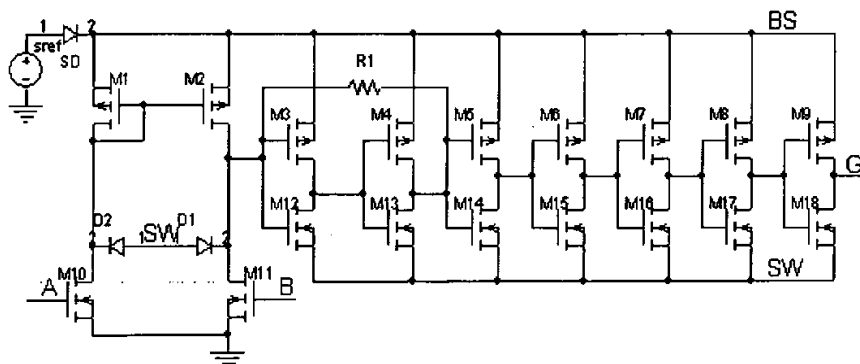


图 3.34 功能块 High-Driver 的电路结构

当电源输入电压 U_{in} 为 12V，信号 $A \cap B$ 的占空比取某一任意值的情况下，将图 3.34 用于图 3.33 所示自举驱动电路时，其驱动模拟仿真的结果如图 3.35 所示。

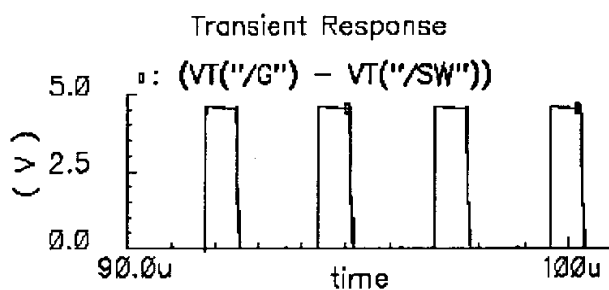


图 3.35 功率开关管 M1 栅源电压仿真波形

从图 3.35 可以看出，功率管 M1 的栅源电压维持在 4.7V，该电路成功地实现了自举功能。从而说明了本论文设计的驱动电路的可行性与正确性。

需要说明的是，对于其它电路的设计，如电平转换电路，延时锁存电路等。本论文就不在此赘述。

3.10 BUCK DC/DC 变换器整体电路分析与仿真

3.10.1 仿真条件

该变换器电路的仿真模型参数采用台湾汉磊公司提供的 0.8 微米 BCD 2P2M P_{sub} 仿真模型(见附录 A)。仿真工具是 Unix 环境下运行的 EDA 软件 Cadence2000 的 Hspices 工具，仿真温度是 30°C。在整体电路仿真中，由于该变换器的内部集成了 DMOS 功率开关管没有其准确的模型，我们只能用 Cadence2000 环境下提供的多个 NMOS 管代替，其流过电流的能力有限。

3.10.2 BUCK DC/DC 变换器整体电路仿真

在本论文设计的变换器芯片整体模拟仿真时, FB 端加入 1.22V, 幅度为 0.03V, 频率为 50KHz 的正弦电压信号来模拟 FB 端随输出端负载大小的变化, 进而来控制功率开关管 M1 的占空比。变换器芯片整体电路仿真波形, 如图 3.36 所示。

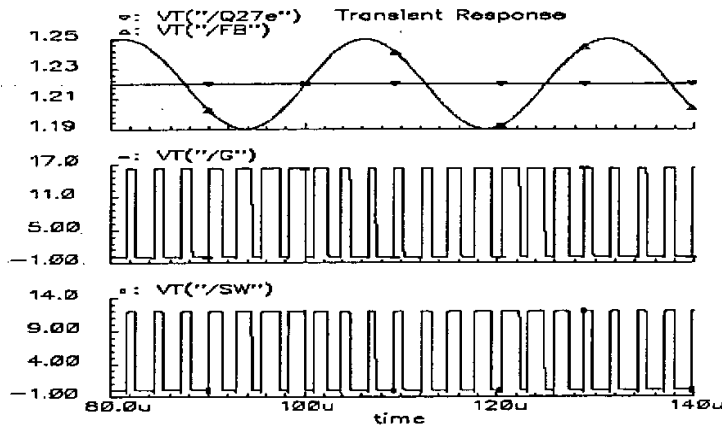


图 3.36 变换器芯片的整体仿真波形

从图 3.36, 可以看出, FB 端的电压在一定范围里变化时功率开关管的栅控信号 G 与输出信号 SW 的占空比随 FB 端电压的上升而减小, 下降而增大。当负载减轻时, 输出电压 U_{OUT} 就会升高, FB 端的电压也升高。因为 FB 是误差放大电路的反相端, 所以误差放大器的输出电压下降, 功率开关管的栅控信号高电平时间减少, 即其处于导通状态的时间减小, 传送的能量减小。当负载加重时, 输出端电压 U_{OUT} 就会下降, FB 端的电压也下降, 误差放大器的输出电压上升, 功率开关管的栅控信号高电平时间增加, 即其处于导通状态的时间增加, 传送更多的能量, 输出更多的电流, 补偿由于负载变化引起的输出电压下降。图 3.37 为 FB 端的电压在大幅度范围内变化时的仿真波形。

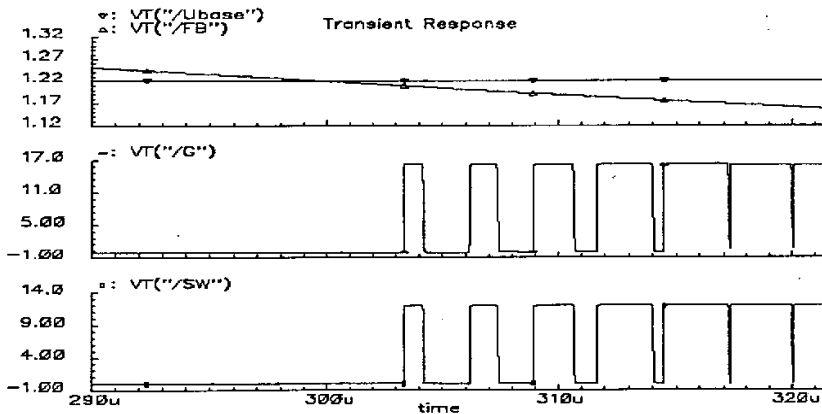


图 3.37 FB 端的电压大幅度变化时的整体仿真波形

从图 3.37 可以看出,当 FB 端的电压很低时,功率开关管的栅控信号 G 的占空比为时钟脉冲信号的占空比,即 90%左右;当 FB 端的电压很高时,功率开关管的栅控信号 G 的占空比为 0。即如果 FB 端电压下降幅度很大,引起误差放大器的输出电压一直保持高电平,但是由于振荡电路脉冲信号的控制,功率开关管的开通时间占整个周期的 90%,也即脉冲信号的占空比。如果 FB 端电压很大,引起误差放大器的输出电压一直保持低电平,这样功率开关管将会一直处于关断状态,其占空比为 0。

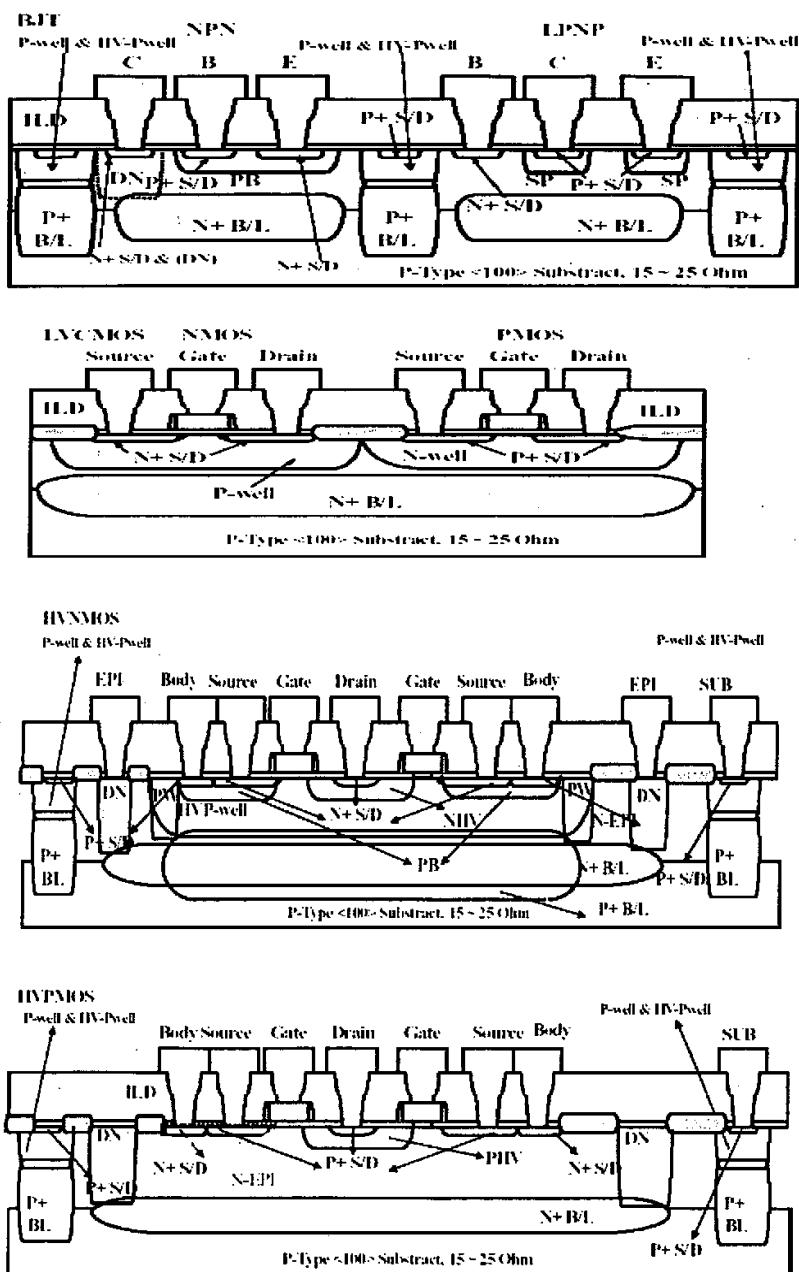
4 芯片工艺与版图设计

4.1 工艺简述

集成电路制造采用两种基本工艺：双极型工艺和 CMOS 型工艺。用双极工艺可以制造出速度快、驱动能力强及模拟精度高的器件，但双极型器件在功耗和集成度方面无法满足规模越来越大的系统集成的要求；CMOS 工艺可以制造出功耗低、集成度高及抗干扰能力强的 CMOS 器件，但 CMOS 器件速度低、驱动能力差。在既要求高集成度又要求高速的领域内这两种基本工艺都无能为力。为了兼顾速度和功耗，又发展出 BiCMOS 工艺，BiCMOS 工艺是把双极型器件和 CMOS 器件同时制作在同一个芯片上，这样就综合了双极型器件的高跨导、强负载驱动能力和 CMOS 器件高集成度、低功耗的特点，使其相互取长补短，发挥各自的优点。其给高速、高集成度、高性能的大规模集成电路的发展开辟了一条新的道路。随着集成电路电隔离技术的发展，允许在同一芯片上集成功率 DMOS 器件^[32]和低压的双极型器件和 CMOS 器件。由于 DMOS 器件具有高输入阻抗、电压控制、驱动功率小、多子器件、没有存储效应、开关特性好、速度高、负的温度特性、不易产生热击穿、易于单元并联实现大的电流容量等特点，因此，用双极型和 CMOS 器件作为低压控制，用 DMOS 作为功率器件，在同一芯片上实现兼容，就形成了 BCD(Bipolar-CMOS-DMOS)工艺^[33]。

要实际地做出质量可靠、性能优异的功率集成电路芯片的关键是如何实现工艺上的兼容。高压 BCD(Bipolar-CMOS-DMOS)工艺集成技术，其重点就在于如何将耐高压的功率 MOS 器件与低压的 BiCMOS 电路的工艺很好地兼容起来。如在材料的选择、杂质浓度的调整、结深的控制、杂质分布的确定等方面如何互相兼顾和优化，以及对高压功率器件的结构如何进行相应的调整。该工艺除了要考虑耐压性之外，还要考虑高电压的功率器件与低电压的集成电路器件之间的隔离问题，选用合适的隔离才能使集成电路成本下降。

本论文设计的 DC/DC 变换器芯片电路版图中，采用 CMOS 器件来组成逻辑控制电路，不但节省了芯片面积和功耗，而且在电源电压发生变化时工作稳定，受温度等因素影响小。对于基准电压源、过热保护电路等需要模拟精度高的电路适当采用双极型器件来得到稳定的基准电压源，利用双极型器件的温度特性实现过热保护功能等。考虑到 DMOS 器件的优点及电隔离技术的不断发展，功率开关管 M1 采用 DMOS 器件。因此，采用 BCD 工艺来制作本论文中的变换器芯片电路是非常适合的。图 4.1 为我们所采用的晶体管的剖面图。为了与普通 CMOS 工艺及双极工艺兼容，我们采用 p 型衬底，n 型外延。



4.1 晶体管的剖面图

4.2 版图设计

版图设计的目的就是使设计规范化，并在取得最佳成品率和确保电路性能的前提下利用设计规则使版图的面积尽可能做到最小^{[34][35]}。一个LSI或VLSI的版图设计，原则

上主要有四个要求：工作速度、功耗、芯片利用率和成品率^[24]。制约这些要求的主要因素是制造工艺水平和半导体电学性能上的限制，为此各生产厂家根据自身实际工艺因素，诸如掩膜的对准、光学分辨率，电路的性能、产量的关系等制定一些设计规范，以确保产品的质量要求。

由于集成电路版图的复杂性，部分图形（或器件）在版图中的重复性，版图采用层次化（hierarchy）结构^[33]。版图的设计步骤^{[36][37][38]}如图 4.2 所示。

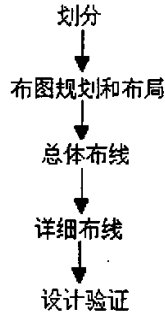


图 4.2 版图设计步骤

4.2.1 单元版图结构

版图以最小单元（cell）组成，一个单元中可引用其它单元，形成嵌套引用的层次化结构。本论文设计的芯片版图中模拟电路版图部分由 37 个三种类型的 NPN 型晶体管，20 个同种类型的 PNP 型晶体管、若干个同种类型的电阻及 NMOS 与 PMOS 晶体管组成最小单元。其对应的版图结构如图 4.3，4.4，4.5 所示。

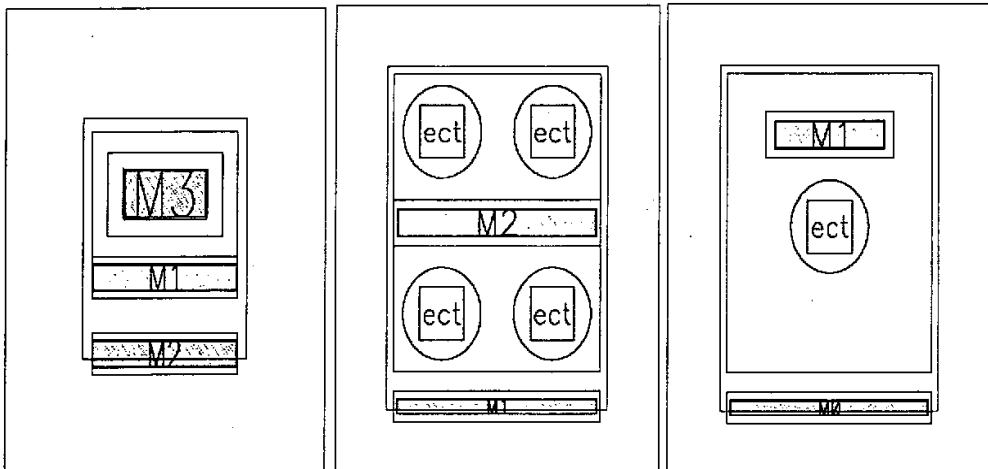


图 4.3 NPN 型版图结构

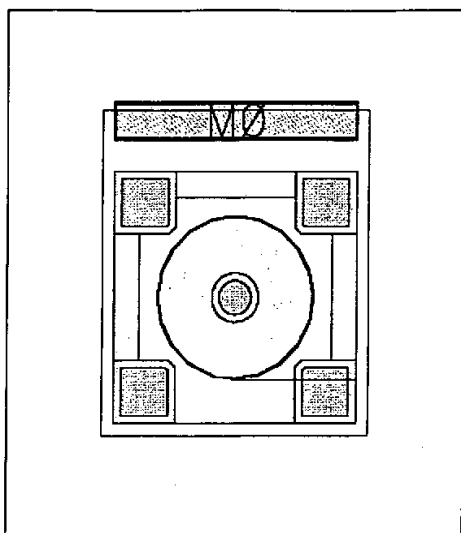


图 4.4 PNP 型版图结构

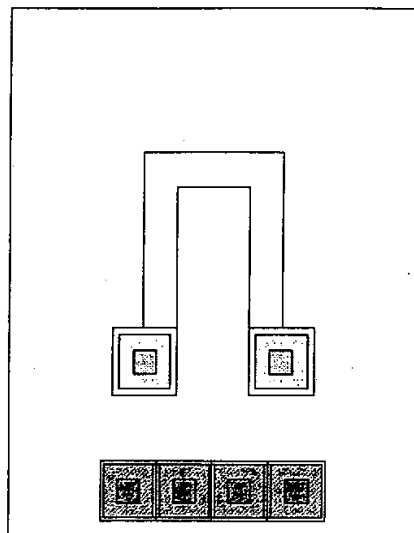


图 4.5 电阻版图结构

本变换器芯片电路中逻辑电路版图部分由反向器，与非门和或非门组成最小单元，版图结构如图 4.6, 4.7, 4.8 所示。

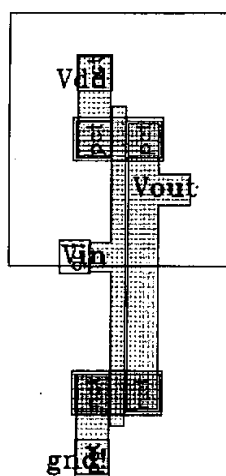


图 4.6 反向器版图结构

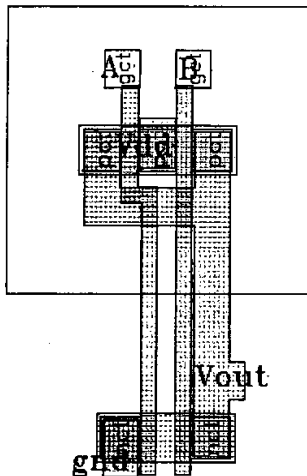


图 4.7 与非门版图结构

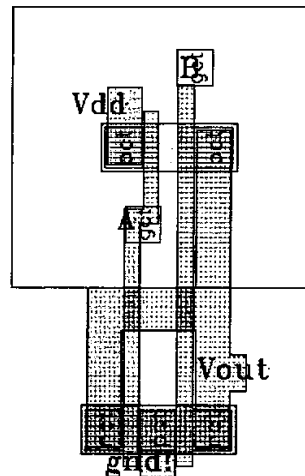


图 4.8 或非门版图结构

4.2.2 版图设计规则

在版图设计中，根据器件模拟的结果和台湾汉磊公司提供的参考设计规则制订了本论文芯片版图的设计规则（见附录 B）。依据此规则进行版图的绘制及 DRC 和 LVS 的编

写,且在绘制芯片版图的过程中还应主要考虑以下一些设计问题^{[38][39]}:

(1) 将整个电路的模拟部分和逻辑部分分开布局,从一定程度上减少干扰,并将模拟部分和逻辑部分的电源分两个环路,即模拟电源/地(avdd/avss)和数字电源/地(vdd/vss),而 avss 和 vss 外接相同电位。

(2) 所有电阻可放在同一隔离岛内,该隔离岛应接至最高电位,不但保证电阻器的 PN 结在任何条件下都处于反偏状态,而且可以减小寄生电容;集成电路中的电阻主要采用的是硼扩散电阻。由于制造工艺的限制,这种电阻的最大值一般设计在几十千欧左右,所以在电路设计中要尽量避免使用大电阻,由于国内在集成电路制造上尚无法制造薄膜电阻,故在设计中采用扩散电阻。

(3) 在分立元件电路的设计中,由于晶体管的价格比电阻贵,经常希望少用晶体管。在集成电路中,晶体管与电阻的制造工艺相同,而一个小功率晶体管所占用的芯片面积往往比一个电阻还小,所以在设计中可用有源器件来代替电阻。这不仅缩小了芯片的面积,同时对电路的性能也有很大的改善。

(4) 集成电路中的电容(PN 结电容和 MOS 电容)一般不超过 100pF。为了提高集成度,电路中应尽量少用电容或不用电容。这也是集成电路中级间连接都采用直接耦合方式,而不采用阻容耦合方式的原因。

(5) PN 结隔离的隔离槽必须接最低电位。

(6) 对要求匹配且温度变化要求一致的晶体管(如差动对管、恒流源中的对管等),应放置在相邻、对称区域,其图形大小、方向及形状应一样,这样既可以减小因材料和工艺中的不均匀性所造成的管子参数的差异,又能使管子的工作温度特性大致相同。

(7) 多晶的电阻率大于铝,为减小寄生电阻,在版图中尽量少采用多晶做为连线。

(8) 铝引线应注意以下几点:(1) 铝线尽量短些、宽些且铝线图形越简单越好;(2) 为避免寄生耦合,铝线不能跨越管子,但可跨越电阻;(3) 为防止短路及减小场效应,铝线应尽量不在最后一层扩散层上跨过,可使铝线爬在厚氧化层上;(4) 铝线不能相交,无法避免时,可用多晶作为过渡连线;(5) 电源线、地线、输入引线、输出引线、低电阻引线的铝条要宽些,引线孔要开得大且应排为一排或一列。

(9) 输入端和输出端间距应大些,防止输入级和输出级之间发生寄生耦合。

(10) 电路中的 DMOS 管由于面积很大,所以将 DMOS 放在一侧,使高压互连线不经过低压工作的电路区域,避免出现串扰现象。

4.2.3 物理层设计

物理层设计的目的远不是简单地减小需要的面积,其主要目的是提高电性能。良好的匹配对物理层的设计是相当重要的。而好的匹配取决于两部分相匹配的程度。如本论文芯片电路中的电流镜版图,没有采用传统的匹配方法,而是在其基础上加一改进,虽

然增加了芯片面积但是电性能得到了大大的提高。对匹配性要求高的电路版图，其非常实用。图 4.9 显示了 3:1 电流镜版图。

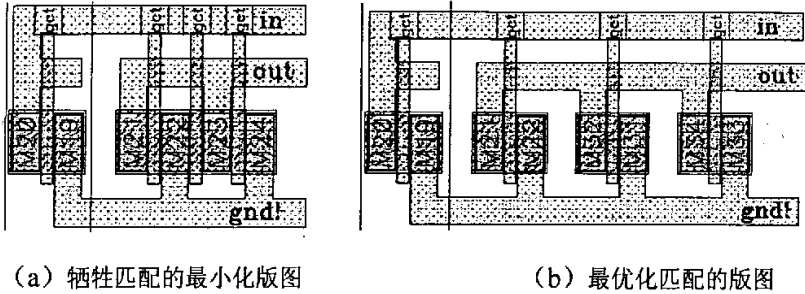


图 4.9 3:1 电流镜版图

在图 4.9 (a) 中，两条垂直实线之间的晶体管被复制了 3 次，为节省面积，扩散区连在一起，内部管子的漏区和源区是共用的。虽然面积最小化，但这使得体-漏区和体-源区与左边单个晶体管不同。不但电容不同，而且由漏区和源区的电阻系数决定的体电阻也不同。图 4.9 (b) 的版图有更好的匹配性，因漏/源面积相同。

另外，也可以用几何图形改善电路的电性能。如图 4.10 所示的版图结构，也是本论文版图设计中部分晶体管版图采用的结构形式。

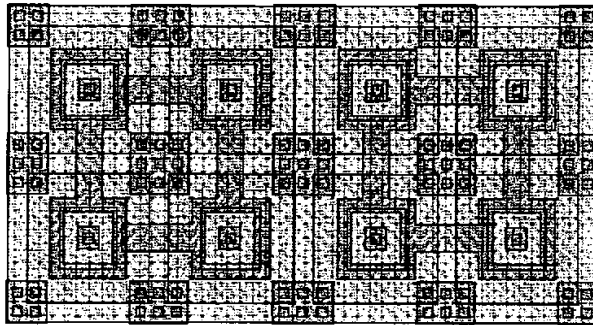


图 4.10 环行晶体管结构版图

从图 4.10 可以看出，管子被分成方形的“环”，目的是牺牲 C_{GS} 而减小 C_{GD} 的值。因为电容 C_{GD} 的值经常倍乘米勒因子，所以保证其值的最小化是很重要的。而且环行晶体管结构具有真正的面积利用率优点。

4.2.4 布局 and 布线

布局 and 布线是把已设计好的器件单元进行合理地布局，并在布局的基础上实现器件的正确连接。布局 and 布线对 IC 的成品率和可靠性的影响很大，总的原则是：

- (1) 单元尽量在有限的面积内均匀分布，联系紧密的模块应尽量放在一起。

(2) MOS 管有源区面积适度, 面积小则等效电阻大, 如果流经 MOS 管电流大则可能造成局部过热的现象, 面积大则会增加噪声。

(3) 增加地与衬底的接触, 在一个模块周围 (没有器件和走线) 的空白处多打衬底接触孔并且与地线连接, 这有利于收集衬底中的噪声电流, 稳定衬底电位, 减小干扰与被干扰。

(4) 对要求对称的管子, 除了保证图形十分一致外, 位置也尽量靠近, 以减小由于材料、工艺及温度不均匀造成的不利影响, 对于要求对称的电阻, 注意平行排列, 以减小光刻及制版工艺引入的误差。

4.3 芯片版图的物理验证

一般来讲, 数字电路版图采取机器自动布局布线, 模拟电路版图则采取人工定制方法。使用人工全定制设计^{[40][41]}(完全手工布线)方法设计版图, 可以尽可能地缩小电路面积降低制造成本。本课题的电路大部分是模拟电路, 版图采取人工全定制自上而下的分层设计方法^[41]。版图的绘制根据本论文所规定的设计规则, 换句话说, 芯片版图一定要通过 DRC (Design Rule Check) 检查。编辑好的版图通过了设计规则后, 还有可能有错误, 这些错误不是由于违反了设计规则, 而是可能与实际线路图不一致造成的。例如, 版图中少连了一根铝线, 这样的错误对整个芯片来说是致命的。因此, 所有编辑好的版图还要通过 LVS (Layout Versus Schematic) 验证。

4.3.1 DRC 验证^[42]

DRC 检查即版图设计规则检查, 其目的是保证所设计的版图满足工艺规则的要求。做 DRC 检查时将版图分成小块(单元)检查。每一部分做成一个单元, 每个单元进行 DRC 检查。在全部通过后, 将单元组合成整体, 最终做一次全版图的 DRC 检查, 以确保全版图的正确。Diva 是 Cadence 软件中的验证工具, 用它可以在设计的初期就进行版图检查, 尽早发现错误并互动地把错误显示出来, 有利于及时发现, 纠正错误。而在运行 Diva 前, 要准备好规则验证文件 (见附录 C), 验证步骤如图 4.11 所示。

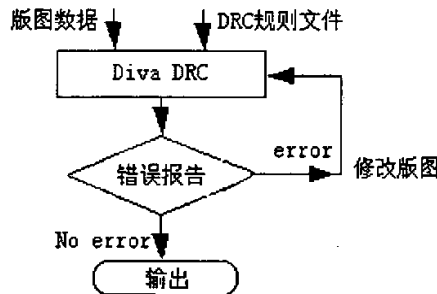


图 4.11 DRC 验证步骤

4.3.2 LVS 验证^[42]

LVS 检查就是把由版图提取的网表文件和由电路图提取的网表文件，进行元件和节点的匹配检查。在完成 LVS 后根据检查结果所报告的各种错误，修改版图，直到无一错误存在。因此，只要保证电路图是正确的，LVS 检查就可以验证版图的正确性。Dracula 也是 Cadence 软件中的验证工具，由于对应它的 LVS 文件易于编写，所以本论中的 LVS 验证由它完成。LVS 文件见（附录 C），LVS 验证步骤见图 4.12 所示。

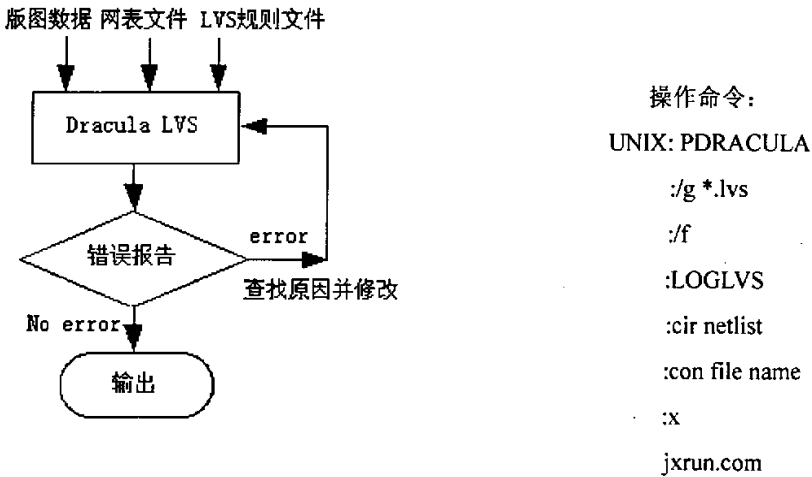


图 4.12 LVS 验证步骤

所设计的芯片版图通过 DRC 和 LVS 检查后，就可以用于生成 PG 带，供图形发生器制版使用。

4.3.3 一点说明

(1) 在有些集成电路设计的物理验证中还要做一项电学规则检查 (ERC)，其主要任务是检查短路、开路、只有一个引出端的布线、孤立布线、孤立接触孔和非法器件（如接地的负载晶体管、CMOS 电路中源接地的 PMOS 管或源接电源的 NMOS 管等）。本论文的版图不单独做 ERC 检查是因为 LVS 规则文件已经将 ERC 的检查规则嵌入了进去。

(2) DRC 和 LVS 是两个完全不同目的的检查。从原则上来说两者检查的错误没有关联，因此两个检查要同时通过才可以。当发现 DRC 错误或是 LVS 错误时，其修改之后都要将两个检查重做，因为版图的重新改动可能会带来任何想不到的错误。

(3) 物理验证的运行过程很简单，其重点是工具做完检查之后人们对错误进行的判断与修改。应该说这是一个工程经验的摸索过程，只有对工具的错误报告进行仔细研读和分析，找出问题的规律和根源才可以很好地解决出现的问题，这在很大程度上需要

丰富的经验。

4.4 芯片版图的完成

评价版图好坏的几个因素是：(1) 符合原电路设计指标；(2) 面积尽可能小；(3) 成品率高；(4) 可靠性高。本论文应用版图设计工具 Virtuoso Layout Editor 和版图验证工具 Dracula, Diva, 根据设计规则, 从单个晶体管、电阻单元开始完成整个版图 (见附录 D) 的设计。设计出的变换器芯片面积约为: $1.3\text{mm} \times 1.3\text{mm}$ 。

5 BUCK DC/DC 变换器芯片应用仿真验证

5.1 BUCK DC/DC 变换器芯片的应用仿真验证

本论文设计的 DC/DC 变换器芯片共有八个端口，即自举端 BS、输入端 IN、输出端 SW、接地端 GND、反馈端 FB、补偿端 COMP、始能端 EN 及同步端 SYNC，其应用测试电路如图 5.1 所示，为典型的 BUCK 电路。C5 为自举电容，确保功率开关管 M1 的良好导通，电阻 R2 和 R1 组成反馈网络，反馈输出端 OUT 的电压变化，C3, R3, C6 构成补偿电路。

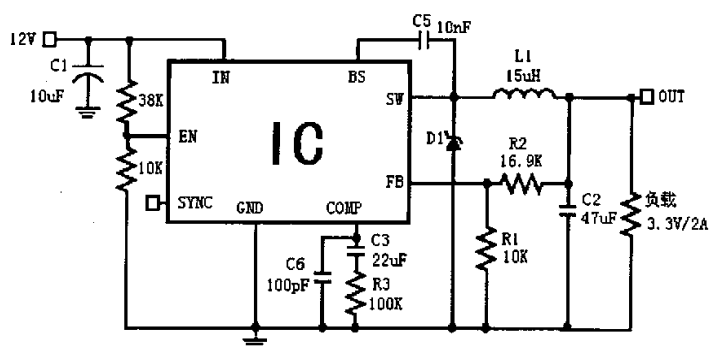
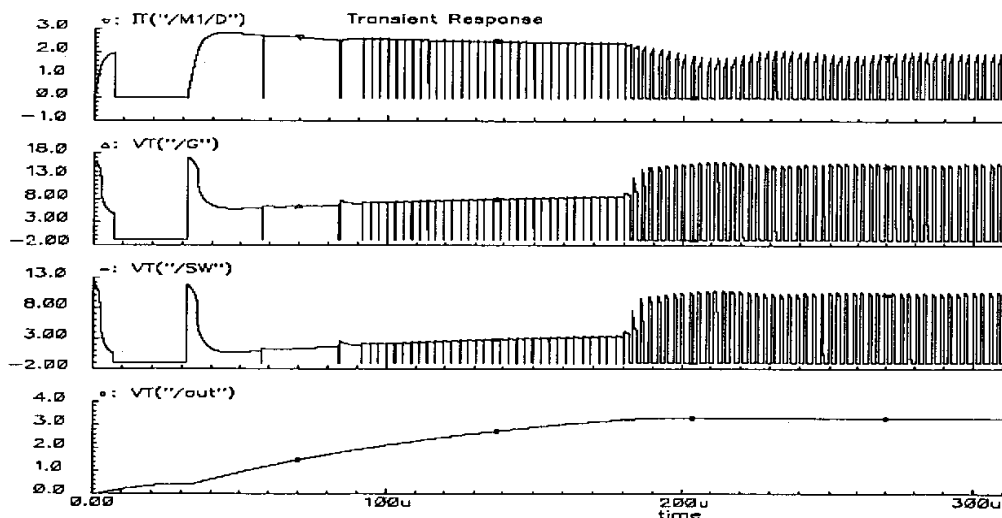


图 5.1 BUCK DC/DC 变换器芯片的应用电路

根据 3.10.1 节的仿真条件。变换器芯片的应用电路仿真波形如图 5.2, 5.3 所示。



5.2 BUCK DC/DC 变换器芯片应用测试电路的仿真波形

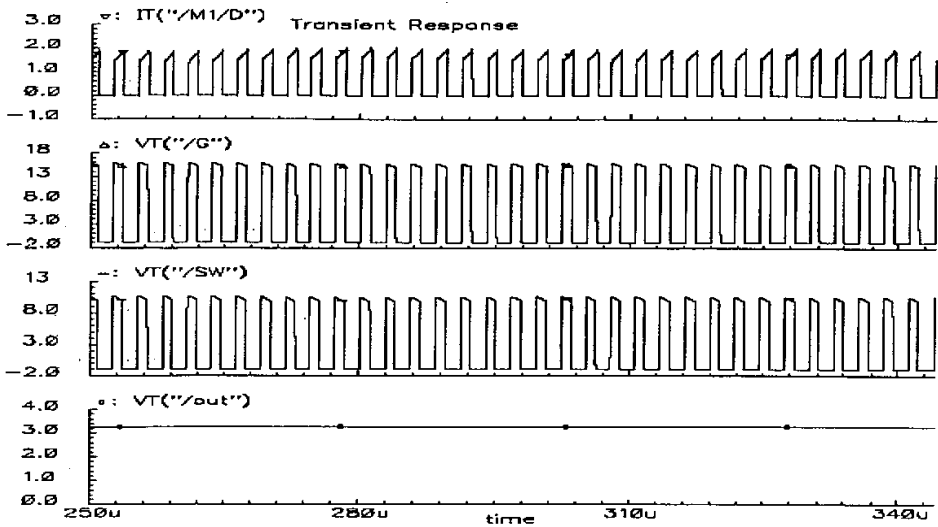


图 5.3 BUCK DC/DC 变换器芯片应用测试电路稳定后的仿真波形

从图 5.2 可以看出, 在输出电压没有上升到 $0.65(10+16.9)/10=1.75\text{V}$ 时, 由于反馈端 FB 电压低于 0.65V , 故障频率比较器输出为低电平, 功率开关管 M1 的工作频率很低为 40KHz 。当反馈端 FB 电压高于 0.65V 时, 故障频率比较器翻转输出为高电平, 开关管的工作频率为 380KHz , 其进入正常工作频率状态; 在输出端 OUT 电压低于 3.267V (FB 端电压低于 1.20V 时) 的整个阶段功率开关管都以 90% 的占空比工作。当电路稳定下来之后, 如图 5.3 所示, 在负载为 1.65Ω ($3.3\text{V}/2\text{A}$) 时其输出电压稳定在 3.3V , 纹波为 0.1%, 负载越大相应的纹波也越大, 显然当负载小于 1.65Ω 时, 其输出电压纹波更小。可见, 该变换器芯片实现了预期的目的。即输出电压为 3.3V , 电流为 2A 。在输出电压低于 3.267V 时, 功率开关管 M1 栅极的驱动信号 G 的波形及 SW 的波形并不是很理想, 并没有达到理想的输出高度, 那是因为在开始阶段流过功率开关管的电流很大 (如图 5.2 所示), 其工作在饱和区 (如图 5.4 所示), 因此 U_{ds} 电压增大, 使得 SW 的输出幅度降低。

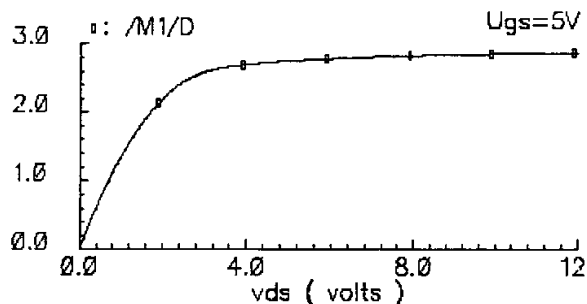


图 5.4 功率开关管 M1 的输出特性曲线

5.2 故障情况的分析与仿真

功率开关管工作在开关状态，在功率开关管 M1 的导通期间，逐周期检测流过功率开关管的电流，如果检测电阻检测到流过功率开关管的电流超过极限额定电流值时，过流保护电路将立刻关断功率开关管 M1，使得 M1 管在本周期内处于关断状态，再在下一个周期检测流过 M1 管的电流，如果过流情况仍没有消除，则 M1 管继续处于关断状态，直到过流状态消除，M1 管才恢复正常的工作状态。事实上，电流检测端 sense 亦可看作是一个电压检测端，因为在 sense 端接有一个检测电阻，此检测电阻串接在与 M1 管成一定比例的小功率开关管漏极上。图 5.5 给出了功率开关管 M1 发生短路时的仿真波形。

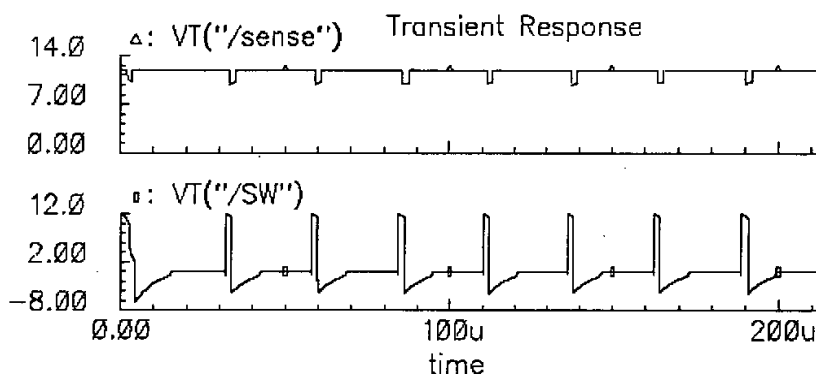


图 5.5 BUCK DC/DC 变换器芯片应用电路短路时的仿真波形

从图 5.5 中可以看到功率开关管的频率下降到了 38.39KHz，且在每个开关周期开始，功率开关管 M1 的栅控信号有一个窄脉冲来维持功率开关管的开启以检测电流，其脉冲宽度为 900ns，功率开关管在开关周期的其它时间内都处于关断状态，起到了逐周期电流检测和过流保护的功能。

通过对本论文设计的 BUCK DC/DC 变换器芯片应用电路的仿真，可以看到由本论文设计的 DC/DC 变换器芯片组成的单片 BUCK 开关电源具有外围元器件少、输出电压精度高、变换纹波系数低及变频保护等功能。从而验证说明了本论文设计的 BUCK DC/DC 变换器芯片结构的正确性和功能的可靠性。

6 结论

本论文应用专用集成电路的设计方法,根据 PWM 电流控制模式的工作原理,确定了 BUCK DC/DC 变换器芯片的系统结构并进行了各功能块的划分和设计。主要功能模块包括基准电压电路、过热保护电路、偏置电路、误差放大电路、电压比较电路、锯齿波振荡发生电路、自举驱动电路、欠压保护电路、电流检测电路等。针对各功能模块和变换器的具体指标要求,应用 Cadence 的 Hspice 仿真工具对各模块电路及变换器芯片应用电路进行了仿真验证。最后根据台湾汉磊 $0.8\mu\text{m}$ BCD 工艺设计规则进行了电路版图的设计, DRC、LVS 文件的编写和版图的物理验证。结果表明所设计的变换器芯片达到了预期的要求。变换器芯片面积约为: $1.3\text{mm}\times 1.3\text{mm}$ 。

该芯片除具有一般电源变换器芯片的控制功能外,以下几点值得关注:

(1) 变频保护功能:正常工作时工作频率恒定(380KHz,允许范围为 340~420KHz);过载或短路时,不仅占空比变小,而且工作频率也急剧降低(40KHz),大大降低了短路电流和短路损耗,同时也保证了用户系统的安全。

(2) 高精度的基准源电压:采用模拟电路和逻辑电路分别供电,一方面避免了两种信号之间的干扰,另一方面使得基准电压电路形成两级基准,提高了基准电压的精度。

(3) 当使能端 EN 为低电平时,内部基准电压源输出低电平,整个芯片处于关断状态,静态电流(27.16 μA)及静态功耗很小。通过对 EN 端的控制可方便地实现变换器芯片的遥控、定时、延时和开关控制等功能。

(4) 用户可自行选择的欠压保护功能:使能端 EN 与内部调节电路和欠压保护电路相连。需要此功能时,用户通过 IN 和 GND 间的电阻分压器给 EN 端提供高电平即可。

(5) 逐周期电流检测保护功能:在常规的电压反馈的基础上,增加了对功率开关管电流(相当于电感电流)的检测,构成了电流反馈回路。当输入电压或输出负载变化时,马上就引起电流变化,检测到的信号也就紧跟着变化,立即调整脉冲的宽度,使得输出电压的纹波变小。这种逐周期电流检测方式易于实现限流和过流保护,动态响应、调节性能好。

BCD 工艺是将 DMOS 高压功率器件与低压 BiCMOS 电路结合起来的一种新型工艺。要实际地做出质量可靠、性能优异的功率集成电路还有许多技术因素需要考虑。该工艺也是将来功率集成电路发展的方向,作者将在这方面继续给予关注。另外,本论文设计的芯片以开始进行流片。由于本人水平有限,对工艺及电路方面的理解难免有不到位之处,恳请各位专家、老师和同学不吝赐教,提出宝贵意见。

致谢

本论文的顺利完成，得到了各方面的支持。

首先，我要衷心地感谢我的导师刘树林教授三年来对我的悉心指导和帮助，使我的毕业设计得以顺利地完成。在我研究生学习期间，导师不仅为我提供了很好的学习环境和锻炼机会，而且无论是在学问方面还是在思考问题、学习方法等方面，导师都给了我很大的启发，使我收获很多，为我今后的学习和工作打下了良好的基础。导师一丝不苟，精益求精、勤奋求实的工作作风将永远激励着我。再次衷心地感谢我的导师刘树林教授！

另外，还要非常感谢陕西美芯科技有限责任公司的张江永，对我学习、工作及生活上的帮助和照顾。特别是在我的毕业设计时期对我的关怀和鼓励，与他在一起的那段工作和生活时光虽然很短暂但永远值得回味。

非常感谢我的师兄钟久明，师弟王忠芳无论在我的毕业设计还是在平时的生活中给我的帮助！

非常感谢我的师姐李建玲，师弟陈勇兵，师妹寇蕾对我的鼓励、支持与帮助！

非常感谢同实验室的王媛媛，王瑞对我的帮助与鼓励！

非常感谢北京时代民芯科技有限责任公司的蔡伟，刘金勇师兄，陆铁军博士！特别是蔡伟在我北京期间对我的照顾与帮助！

非常感谢同窗好友李浴江、张博、淮文军、徐智铖、徐世彬等给我的关怀与鼓励！

非常感谢我的父母和亲人对我的关心、爱护、鼓励和支持！

最后怀着感恩的心感谢所有帮助过我的人！谢谢！

参考文献

- [1] 杨旭 裴云庆 王兆安.开关电源技术.机械工业出版社, 2004.1
- [2] 康华光 陈大钦主编.电子技术基础(模拟部分).高等教育出版社, 2001.1
- [3] 叶治政 叶靖国编著.开关稳压电源.高等教育出版社, 1989.10
- [4] 华东计算技术研究所电源研究室编著.晶体管开关稳压电源.人民出版社社,1985.5
- [5] 嵇维贵 冉峰 徐美华.智能功率开关电源 IC 设计.半导体技术, 第 29 卷第 1 期
- [6] VRM DC-DC Converter Design Guidelines.IntelCorp,1997.
- [7] 沙占友 王彦朋 孟志永.单片开关电源最新应用技术.机械工业出版社, 2002.9
- [8] 沙占友.单片开关电源的发展趋势.电气时代, 2003 年第 8 期
- [9] 沙占友.单片开关电源的发展及其应用.电子技术应用, 2000 年第 1 期
- [10] 开元电器.国内外开关电源的发展展望.摘自《中兴通讯技术》第 72 期
- [11] 陈卢 石秉学等.高效率同步整流式开关电源脉宽调制芯片的实现.电子学报, 2000.12
- [12] 李占师.中国电源产业的发展与分析, 211.155.21.212
- [13] 刘树林 赵新毅 刘健.基于变频保护功能的单片 DC/DC 变换芯片研制.电力电子技术, PP97-100, NO.6, Vol.38, 2004.12
- [14] JI Zong-nan. Switch Power supply witch large Current Output. Component and IC,2002,6
- [15] Peter bensch EBV Berlin. Micropower 2A Step-up DC/DC Converter.National Semiconductor
- [16] 何希才.新型开关电源及其应用[M].人民邮电出版社,1996
- [17] 周志敏 周纪海.开关电源实用技术设计与应用.人民邮电出版社, 2003, 8
- [18] 周志敏 周纪海 纪爱华.单片开关电源.电子工业出版社, 2004.09
- [19] Ashok Bindra. Power-Conversion Chip Cuts Energy Wastage in Off-Line Switchers Electronic Design,October 1, 1998
- [20] 邓海飞.Cadence 使用参考手册.邓海飞微电子研究所设计室, 2000
- [21] 朱正涌.半导体集成电路.清华大学出版社, 2001.01
- [22] 毕查德·拉扎维.模拟 CMOS 集成电路设计.西安交通大学出版社, 2003.02
- [23] Phillip E.Allen, Douglas R.Holberg.CMOS 模拟集成电路设计.电子工业出版社, 2005.3
- [24] 刘树林 张华曹 柴常春.半导体器件物理.电子工业出版社, 2005.02
- [25] 陈贵灿 邵志标 程军 林长贵.COMS 集成电路设计.西安交通大学出版社, 1999.09

- [26] 马田华 蒋国平 王利.一种 CMOS 锯齿波振荡电路的设计.电子器件, Vol.28 No.1Mar.2005
- [27] 蔡懿慈 周强.超大规模集成电路设计导论.清华大学出版社, 2005.01
- [28] Shuhuan Yu Yiming Chen Weidong Guo Xiaoqin Che,Smith,K.F.A digital-trim controlled on-chip RC oscillator [A]. Proceedings ofthe 44th IEEE 2001 Midwest Symposium Circuits and Systems[C], 2001:882-885
- [29] Wang C C. Wu J C. Efficiency improvement in charge pumps circuits. IEEE J. Solid-State Circuits 1997.32(6)
- [30] Rincon-Mora, Gabel A, Allen, Phillip E. Low-voltage, low quiescent current,low drop-out regulator IEEE Journal of Solid-State Circuits,1998,3(1):36-44
- [31] 王海永 李永明 陈弘毅.集成的BiCMOS DC/DC 开关电源控制器输出驱动电器的低功耗设计.电子器件, Vol.24, No.1, March, 2001
- [32] Bean.K.E, Runyan.WR. Dielectric isolation: Comprehensive, current and future J.Electrochem. Soc, 1977, 24(11):333—355
- [33] Becke. H .W, Wheatley.C.F. Power MOSFET with an anode Injection. IEEE Electron Device Lett, 1983,14(3):210-212
- [34] Juin. J. Liou Electrostatic Discharge in Semiconductor Devices: Improved Measurement Technique and SPICE Modeling. Coming from teaching materials of School of Electrical Engineering and Computer Science University of Central Florida,Orlando,Florida.
- [35] 王翠霞 范学峰.Cadence 版图设计环境的建立及设计规则的验证.现代电子技术, 2004 年第 15 期总第 182 期
- [36] 杨之廉 申明.超大规模集成电路设计方法学导论.清华大学出版社, 1999.03
- [37] 程未 冯勇建 杨涵.集成电路版图(layout)设计方法与实例.现代电子技术, 2003 年第 3 期总第 146 期
- [38] Christopher Saint Judy Saint.IC Mask Design. (Copyright) Tsinghua University Press.2004.01
- [39] 金西.VHDL 与复杂数字系统设计.西安电子科技大学出版社, 2003.03.
- [40] 渡边诚 钱田邦博.超大规模集成电路设计-电路与版图设计.科学出版社, 1988:34-134
- [41] Alan Hastings.The Art of Analog Layout.北京:清华大学出版社, 2004:50-340
- [42] Dirk Jansen, 王丹, 童如松(译).电子设计自动化(EDA)手册.电子工业出版社, 2005.03

附录

附录 A 仿真使用的模型文件

EPISIL Technologies Inc

BSIM3 SPICE Model Library File

Process: DF3 0.8um BCD30/40 with PB

Corresponding Design Manual: G52-100-004

.MODEL Dr D (

```
+is=1.309E-9  rs=0.1      n=0.916    ibv=0.01
+ikf=74.68    xti=3      eg=0.69    Fc=0.5     Nr=2.608
+pj=1.1e-3    cjo=139.8E-12  Vj=0.25    m=0.514    Isr=1.753E-7
+bv=35        Ibv=1E-4    Tt=1.443E-8 )
```

.MODEL npn1 npn (LEVEL=1

```
+IS=1.68E-17      BF=BF_N3E1      NF=NF_N3E1
+BR=0.557         NR=1            ISE=2.51189E-16
+NE=NE_N3E1       ISC=1.38E-16    NC=1
+VAF=83.88        VAR=7.08        IKF=3.63078E-3
+IKR=0.01         NK=0.465        RB=RB_N3E1
+RBM=817.535      IRB=1.18E-6     RE=RE_N3E1
+RC=478.63        CJE=CJE_N3E1    VJE=VJE_N3E1
+MJE=0.2229       FC=0.5          CJC=8.159E-15
+VJC=0.7606       MJC=0.1906      CJS=9.95E-14
+VJS=0.6595       MJS=0.3397      TF=5.60586E-11
+XTF=8.46456      ITF=0.0117935   VTF=9.60999
+PTF=28.4314      TR=1E-8         XTB=1.82
+EG=1.17          XTI=1.36        TRB1=0.011
+TRE1=2.2E-4      TRC1=0.0114     TIKF1=-3.07E-3)
```

.MODEL pnp1 PNP (LEVEL=1

```
+IS=2.95121E-16   BF=BF_LP4       NF=NF_LP4
+BR=44.0638       NR=1.22707      ISE=3.01995E-18
+NE=NE_LP4        ISC=2.81838E-16  NC=1.72
+VAF=47.75        VAR=9.33         IKF=7.57705E-5
```



```

+IKR=4.16869E-5      RB=RB_LP4      RBM=100.1
+IRB=1.09648E-4      RE=RE_LP4      RC=290.433
+CJE=CJE_LP4         VJE=VJE_LP4      MJE=0.52375
+FC=0.5              CJC=5.81771E-13  VJC=0.6386
+MJC=0.388603        CJS=1.83834E-14  VJS=0.535883
+MJS=0.371777        XTB=1.2          EG=1.17
+TF=5.176538E-9      XTF=2.0732023    ITF=8.00723E-3
+VTF=1.6204082       PTF=25           TR=1E-8      XTI=-0.25)
.MODEL NMOS NMOS (LEVEL=49
+VERSION=3.2          TNOM=27           TOX=TOXN
+XJ=4E-7              NSUB=9E15         VTH0=VTH0N
+K1=1                 K2=-0.0144996     K3=15.8489
+K3B=0                W0=2.5673E-6      NLX=1E-8
+DVT0W=0              DVT1W=0           DVT2W=-0.032
+DVT0=3.5066         DVT1=0.457777     DVT2=0
+U0=562.305          UA=1.34692E-9     UB=4.92055E-20
+UC=1.58774E-11      VSAT=VSATN        A0=1.2
+AGS=0.2              B0=2E-7           B1=0
+KETA=-0.047          A1=0               A2=1
+RDSW=1.59871E3      PRWG=1.22572E-4   PRWB=1.48805E-4
+WR=1                 WINT=2.04E-7      LINT=1.18242E-7
+X=0                  XW=0               DWG=-4E-9
+DWB=1.4E-8           VOFF=-0.0308346   NFACTOR=1.39078
+CIT=0                CDS=2.4E-4         CDSCD=0
+CDSCB=0              ETA0=0             ETAB=0
+DSUB=0.56           PCLM=0.911505     PDIBLC1=0.0316543
+PDIBLC2=1.96973E-3  PDIBLCB=0          DROUT=0.342461
+PSCBE1=3.1343E8     PSCBE2=9.01403E-5  PVAG=7.76592E-3
+DELTA=6.2618E-3     ALPHA0=2E-7        BETA0=30
+ALPHA1=2.5           HDIF=1.3E-6        MOBMOD=1
+PRT=2.156402E3      UTE=-1.5947828     KT1=-1.1867238
+KT1L=3.195348E-7    KT2=0              UA1=5.212307E-9
+UB1=-1.40674E-17    UC1=-1E-10         AT=1.778027E4
+NQSMOD=0             WL=0               WLN=1

```

附录

| | | |
|--------------------|----------------------|---------------------|
| +WW=0 | WWN=1 | WWL=0 |
| +LL=0 | LLN=1 | LW=0 |
| +LWN=1 | LWL=0 | CAPMOD=2 |
| +CGDO=1.312E-10 | CGSO=1.312E-10 | CGBO=7.67E-10 |
| +CJ=1.609851E-4 | PB=1 | MJ=0.4769751 |
| +CJSW=2.181373E-10 | PBSW=0.5943389 | MJSW=0.2114823 |
| +TCJ=0 | TPB=0 | TCJSW=0 |
| +TPBSW=0 | NOFF=1 | ACDE=1 |
| +MOIN=15 | TPBSWG=0 | TCJSWG=0 |
| +PVTH0=0.016 | PRDSW=-164 | PK2=0.03 |
| +PUA=-4E-10 | WKT1=0.4 | PKT1=-0.2 |
| +PUB1=-1E-18 | WVSAT=0 | LVSAT=0 |
| +PVSAT=1.1E4) | | |
| .MODEL PMOS PMOS | (LEVEL=49 | |
| +VERSION=3.2 | TNOM=27 | TOX=TOXP |
| +XJ=6E-7 | NSUB=3E16 | VTH0=VTH0P |
| +K1=0.572795 | K2=-0.0250062 | K3=39.8107 |
| +K3B=-1.2848 | W0=1E-6 | NLX=3.24606E-7 |
| +DVT0W=0 | DVT1W=0 | DVT2W=-0.032 |
| +DVT0=8.65412 | DVT1=0.441824 | DVT2=0 |
| +U0=172.024 | UA=UAP | UB=5.11996E-19 |
| +UC=-1E-10 | VSAT=VSATP | A0=0.4577264 |
| +AGS=0.1329205 | B0=8.713357E-7 | B1=2.859478E-7 |
| +KETA=-2.494199E-3 | A1=0 | A2=1 |
| +RDSW=4.18225E3 | PRWG=2.41011E-4 | PRWB=0 |
| +WR=1 | WINT=2.7103E-7 | LINT=-6.07826E-8 |
| +XL=0 | XW=0 | DWG=-1.0967E-8 |
| +DWB=5.25132E-8 | VOFF=-1.40389E-4 | NFACTOR=0.691678 |
| +CIT=0 | CDSC=2.4E-4 | CDSCD=0 |
| +CDSCB=0 | ETA0=2.2601025 | ETAB=0 |
| +DSUB=0.56 | PCLM=3.0619954 | PDIBLC1=1.001874E-3 |
| +PDIBLC2=1E-5 | PDIBLCB=-2.024965E-6 | DROUT=0.0952322 |
| +PSCBE1=7.999856E8 | PSCBE2=6.733498E-5 | PVAG=8.581416E-3 |
| +DELTA=0.0254888 | ALPHA0 2.23451E-8 | BETA0=30.2008 |

```

+ALPHA1=0.045684      HDIF=1.3E-6      MOBMOD=1
+PRT=3E3              UTE=-1.35       KT1=-0.565116
+KT1L=5E-7           KT2=0            UA1=6.00857E-10
+UB1=-5E-18          UC1=-9.9999E-11 AT=1E5
+NQSMOD=0             WL=0             WLN=1
+WW=0                 WWN=1            WWL=0
+LL=0                 LLN=1            LW=0
+LWN=1                LWL=0            CAPMOD=2
+CGDO=1.2787E-10     CGSO=1.2787E-10 CGBO=7.67E-10
+CJ=6.726171E-4      PB=0.746975     MJ=0.4222174
+CJSW=2.576972E-10  PBSW=0.6255635  MJSW=0.1583979
+TCJ=0                TPB=0            TCJSW=0
+TPBSW=0              NOFF=1           ACDE=1
+MOIN=15              TPBSWG=0         TCJSWG=0
+PVTH0=0.12          PRDSW=-3E3      PK2=0.025
+WKT1=0.1             PUB1=1E-18      WVSAT=0
+PVSAT=5E4            LUA1=-2E-9      PUC1=-2E-10
+PAGS=0               PUC=2.19E-10   LETA0=0
+PETA0=0.5)
.MODEL HV40NMOS NMOS (LEVE=49
+VERSION=3.2          TNOM=27          TOX=1.8E-8
+XJ=4.6E-7            NCH=4.57E17     VTH0=0.95
+K1=0.25              K2=-0.05        K3=3.98107
+K3B=0                 W0=2.5E-6       NLX=1.74E-7
+DVT0W=0              DVT1W=0         DVT2W=-0.032
+DVT0=0.4            DVT1=0.1486    DVT2=-0.032
+U0=510               UA=6.79552E-9   UB=2E-18
+UC=-9.26509E-11     VSAT=2E5        A0=0.1
+AGS=0                 B0=5.4E-6       B1=4E-9
+KETA=0.047           A1=0             A2=1
+RDSW=0               PRWG=6.07E-3    PRWB=0
+WR=1                 WINT=0           LIN=1.26E-7
+XL=0                 XW=0             DWG=1E-8
+DWB=0                VOFF=-0.0474318 NFACTOR=0.588298

```

附录

| | | |
|----------------------|------------------|------------------|
| +CIT=2.67169E-5 | CDSC=2.4E-4 | CDSCD=0 |
| +CDSCB=0 | ETA0=0.08 | ETAB=-0.07 |
| +DSUB=0.77 | PCLM=1 | PDIBLC1=0.07 |
| +PDIBLC2=8.092E-4 | PDIBLCB=0 | DROUT=1 |
| +PSCBE1=7.56E8 | PSCBE2=5E-6 | PVAG=0 |
| +DELTA=0.02971 | MOBMOD=1 | PRT=0 |
| +UTE=-1.49 | KT1=-0.494 | KT1L=0 |
| +KT2=0 | UA1=4.5E-9 | UB1=5E-18 |
| +UC1=-5.6E-11 | AT=100 | NQSMOD=0 |
| +WL=0 | WLN=1 | WW=0 |
| +WWN=1 | WWL=0 | LL=0 |
| +LLN=1 | LW=0 | LWN=1 |
| +LWL=0 | CAPMOD=2 | CGDO=5E-10 |
| +CGSO=1.22531E-10 | CGBO=0 | CJ=1.60985E-4 |
| +PB=1 | MJ=0.476975 | CJSW=2.18137E-10 |
| +PBSW=0.594339 | MJSW=0.211482 | TCJ=0 |
| +TPB=0 | TCJSW=0 | TPBSW=0 |
| +NOFF=1 | ACDE=1 | MOIN=15 |
| +TPBSWG=0 | TCJSWG=0) | |
| .MODEL HV40PMOS PMOS | (LEVEL=49 | |
| +VERSION=3.2 | TNOM=27 | TOX=1.8E-8 |
| +XJ=6E-7 | NCH=1.7E17 | VTH0=-1.03 |
| +K1=0.25 | K2=0 | K3=80 |
| +K3B=0 | W0=2.5E-6 | NLX=1.74E-7 |
| +DVT0W=0 | DVT1W=0 | DVT2W=-0.032 |
| +DVT0=2.2 | DVT1=0.3862 | DVT2=-0.0235 |
| +U0=216 | UA=8.5129E-9 | UB=5.24139E-18 |
| +UC=4.65E-9 | VSAT=1.02E5 | A0=0.385 |
| +AGS=6.7 | B0=1E-5 | B1=-2.46483E-8 |
| +KETA=-0.047 | A1=0 | A2=1 |
| +RDSW=0 | PRWG=0.05859 | PRWB=0 |
| +WR=1 | WINT=0 | LINT=2.4E-7 |
| +XL=0 | XW=0 | DWG=0 |
| +DWB=0 | VOFF=-2.50925E-3 | NFACTOR=0.280518 |

```

+CJ=6.726171E-4      PB=0.746975      MJ=0.4222174
+CJSW=2.576972E-10   PBSW=0.6255635   MJSW=0.1583979
+CGBO=0              CGSO=1.0912E-10  CGDO=5E-10
+CIT=0               CDSC=2.4E-4      CDSCD=0
+CDSCB=0            ETA0=0.08        ETAB=-0.07
+DSUB=0.56          PCLM=1.1089      PDIBLC1=0.39
+PDIBLC2=8.6E-3     PDIBLCB=0        DROUT=0.56
+PSCBE1=7.58E8      PSCBE2=1E-5      PVAG=0
+DELTA=0.0155       ALPHA0=6.4E-3    BETA0=253
+ACM=2E-7           HDIF=8E-7        MOBMOD=1
+PRT=0              UTE=-1.3         KT1=-0.428
+KT1L=0             KT2=0            UA1=9E-9
+UB1=-7.61E-18      UC1=-5.6E-11     AT=3.3E4
+NQSMOD=0           WL=0             WLN=1
+WW=0               WWN=1            WWL=0
+LL=0               LLN=1            LW=0
+LWN=1              LWL=0            CAPMOD=2
+TCJ=0              TPB=0            TCJSW=0
+TPBSW=0            DLC=0            DWC=0
+NOFF=1             ACDE=1           MOIN=15
+TPBSWG=0           TCJSWG=0)

.LIB TT
.PARAM
+TOXN=180E-10       VTH0N=0.937      VSATN=6.963E4
+TOXP=180E-10       VTH0P=-0.810708 VSATP=6.50E4
+UAP=1.72036E-9

.ENDL TT
.LIB TYPICAL_BJT
.PARAM
+BF_N3E1=95.8       NF_N3E1=0.99     NE_N3E1=2
+BF_N3E1WDN=94.48   NF_N3E1WDN=0.99  NE_N3E1WDN=2
+BF_N3E4=94.7       NF_N3E4=0.993    NE_N3E4=2.04
+BF_N3E4WDN=94      NF_N3E4WDN=0.9945 NE_N3E4WDN=2.11
+BF_LP2=505.6       NF_LP2=1.04      NE_LP2=1.5

```

```

+BF_LP4=251.9          NF_LP4=1.04          NE_LP4=1.5
+BF_VP2=416.7         NF_VP2=1.05         NE_VP2=1.54
+BF_VP4=318.7         NF_VP4=1.05         NE_VP4=1.6
+RE_N3E1=66           RB_N3E1=5.01586E3   CJE_N3E1=1.344E-14
+RE_N3E1WDN=53.047   RB_N3E1WDN=5.03659E3 CJE_N3E1WDN=1.344E-14
+RE_N3E4=22.2         RB_N3E4=1.024E3     CJE_N3E4=5.378E-14
+RE_N3E4WDN=17.083   RB_N3E4WDN=1.03659E3 CJE_N3E4WDN=5.378E-14
+RE_LP2=280           RB_LP2=2.03634E3    CJE_LP2=3.06866E-14
+RE_LP4=90            RB_LP4=797.082      CJE_LP4=6.2865E-14
+RE_VP2=202.5         RB_VP2=1.61035E3    CJE_VP2=3.06866E-14
+RE_VP4=55           RB_VP4=1.61035E3    CJE_VP4=6.2865E-14
+VJE_N3E1=0.8259     VJE_N3E1WDN=0.8259  VJE_N3E4=0.8259
+VJE_N3E4WDN=0.8259 VJE_LP2=1.00596     VJE_LP4=1.005959
+VJE_VP2=1.005959    VJE_VP4=1.005959
.ENDL TYPICAL_BJT

```

附录 B 版图设计规则

设计规则：适用 4-25V

| 序号 | 设计规则项目 | 尺寸 | | | 单位 |
|----|------------------------|---------|---------|-----------|-----------------|
| | | 原规则 | 5V 规则 | 25V 规则 | |
| 1 | 岛(EPI)间距 | 4.0 | 4.0 | 4.0 | μm |
| 2 | 岛(EPI)包 N+B/L 的最小距离 | 8.0 | 8.0 | 13.0 | μm |
| 3 | 埋层 N+B/L 的最小宽度 | 4.0 | 4.0 | 4.0 | μm |
| 4 | 深磷 (DN) 最小宽度 | 2.0 | 2.0 | n8.0/p5.0 | μm |
| 5 | 深磷 (DN) 最小面积 | 2.0*4.0 | 2.0*4.0 | 无 | μm^2 |
| 6 | 岛(EPI)外延深磷 (DN) 的最小间距 | 13.0 | 13.0 | 13.0 | μm |
| 7 | 深磷 (DN) 覆盖 N+B/L 的最小距离 | 1.0 | 1.0 | n8.0/p5.0 | μm |
| 8 | 基区 (PB) 到深磷 (DN) 最小间距 | 9.0 | 9.0 | 无 | μm |
| 9 | N+B/L 外延基区 (PB) 的最小距离 | 1.0 | 1.0 | 无 | μm |

| | | | | | |
|----|--------------------------|---------|---------|-----------|-----------------|
| 10 | 岛(EPI) 到基区 (PB) 的最小间距 | 9.0 | 9.0 | 无 | μm |
| 11 | PB 的最小宽度 | 2.0 | 无 | n2.0 | μm |
| 12 | PB 包有源区的距离 | 0.4 | 无 | n0.4 | μm |
| 13 | PB 覆盖多晶的距离 | 0.4 | 无 | n0.4 | μm |
| 14 | 在岛(EPI)里 P+到 N+的最小距离 | 2.5 | 2.5 | 0.0 | μm |
| 15 | 在基区 (PB) 里 P+到 N+最小距离 | 1.5 | 1.5 | 无 | μm |
| 16 | SP 到 SP 的最小距离 | 4.5 | 4.5 | 无 | μm |
| 17 | SP 外延 P+ | 0.0 | 0.0 | 无 | μm |
| 18 | SP 的最小宽度 | 2.0 | 2.0 | n1.5 | μm |
| 19 | N+B/L 外延 SP (或 P+) 的最小距离 | 1.0 | 1.0 | 无 | μm |
| 20 | 岛(EPI) 到 SP (或 P+) 的最小间距 | 9.0 | 9.0 | 无 | μm |
| 21 | PNP 晶体管发射极的最小面积 | 2.0*2.0 | 2.0*2.0 | 无 | μm^2 |
| 22 | 多晶 (poly1) 做连线的最小宽度 | 0.8 | 0.8 | 无 | μm |
| 23 | 多晶 (poly1) 做栅的最小宽度 | 0.8 | 0.8 | n0.8/p1.2 | μm |
| 24 | 多晶 (poly1) 之间的最小间距 | 1.0 | 1.0 | 无 | μm |
| 25 | 多晶 (poly1) 外延有源的距离 | 0.55 | 0.6 | n2.0/p2.0 | μm |
| 26 | 多晶 (poly1) 到有源的距离 | 0.4 | 0.4 | 0.4 | μm |
| 27 | 有源外延多晶 (poly1) 的距离 | 2.15 | 2.2 | 2.0 | μm |
| 28 | 接触孔 (CT) 的最小间距 | 0.6 | 0.6 | 0.8 | μm |
| 29 | 接触孔 (CT) 的最小面积 | 0.8*0.8 | 0.8*0.8 | 0.8*0.8 | μm^2 |
| 30 | P+/N+外延接触孔 (CT) 的距离 | 0.6 | 0.6 | 0.4 | μm |
| 31 | 有源区包接触孔 (CT) 的距离 | 0.75 | 0.75 | 0.75 | μm |
| 32 | 多晶 P1 包 CT 的距离 | 0.4 | 0.4 | 0.4 | μm |
| 33 | 在有源区上的 CT 到多晶 P1 的距离 | 0.6 | 0.6 | 1.2 | μm |
| 34 | 在多晶 P1 上的 CT 到有源区的距离 | 0.8 | 0.8 | 0.8 | μm |

附录

| | | | | | |
|----|-----------------------------|---------|---------|---------|-----------------|
| 35 | P阱外延N+有源区的距离 | 2.2 | 2.2 | 无 | μm |
| 36 | P阱的最小宽度 | 8.0 | 8.0 | 无 | μm |
| 37 | 埋层(N+B/L)包P阱距离 | 1.0 | 1.0 | n13.0 | μm |
| 38 | 岛(EPI)包埋层(N+B/L)的距离 | 8.0 | 8.0 | 13.0 | μm |
| 39 | 埋层(N+B/L)包N阱的距离 | 0.0 | 0.0 | 无 | μm |
| 40 | 岛(EPI)包N阱的距离 | 8.0 | 8.0 | 无 | |
| 41 | N阱的最小宽度 | 4.0 | 4.0 | 无 | μm |
| 42 | N阱包P+有源区的距离 | 2.2 | 2.2 | 无 | μm |
| 43 | P阱里的N+到N阱里的P+的距离 | 4.4 | 4.4 | 无 | μm^2 |
| 44 | 有源区到有源区的距离 | 1.1 | 1.1 | 2.4 | μm |
| 45 | 同电位P阱到P阱的距离 | 1.2 | 1.2 | 无 | μm |
| 46 | 不同电位P阱到P阱的距离 | 6.0 | 6.0 | 无 | μm |
| 47 | 同电位N阱到N阱的距离 | 1.2 | 1.2 | 无 | μm |
| 48 | 一次铝(M1)的最小宽度 | 1.2 | 1.2 | 1.2 | μm |
| 49 | 高压P阱(HVPW)的最小宽度 | 4.0 | 无 | 4.0 | μm |
| 50 | N+B/L包高压P阱(HVPW)的距离 | 10.0 | 无 | 10.0 | μm |
| 51 | HVPW覆盖P阱的距离 | 8.0 | 无 | 8.0 | μm |
| 52 | NHV的最小宽度 | 2.0 | 无 | 2.0 | μm |
| 53 | NHV覆盖多晶P1的距离 | 0.4 | 无 | 0.4 | μm |
| 54 | PHV的最小宽度 | 2.0 | 无 | p2.0 | μm |
| 55 | PHV覆盖多晶P1的距离 | 0.4 | 无 | p0.4 | μm |
| 56 | 一次铝(M1)之间的间距(M1 \leq 10) | 1.0 | 1.0 | 1.0 | μm |
| 57 | 一次铝(M1)之间的间距(M1 $>$ 10) | 2.0 | 2.0 | 2.0 | μm |
| 58 | 一次铝(M1)到CT的间距(M1 \leq 10) | 0.5 | 0.5 | 0.5 | μm |
| 59 | 一次铝(M1)到CT的间距(M1 $>$ 10) | 1.0 | 1.0 | 1.0 | μm |
| 60 | PAD的面积 | 115*115 | 115*115 | 115*115 | μm^2 |

| | | | | | |
|----|--------------------|-----|-----|-----|---------------|
| 61 | 外延包 PAD 的距离 | 5.0 | 5.0 | 5.0 | μm |
| 62 | 一次铝 (M1) 包 PAD 的距离 | 5.0 | 5.0 | 5.0 | μm |

附录 C LVS、DRC 检查文件

```

; DRC  RULES
; DivaDRC FOR LAYOUT
drcExtractRules(
; Original Layers Define
nbl=geomCat("nbl")
iso=geomCat("ISO")
dn=geomCat("DN")
hvpw=geomCat("HVPW")
pwell=geomCat("PW")
poly1=geomCat("POLY1")
sp=geomCat("SP")
pb=geomCat("pb")
nhv=geomCat("NHV")
phv=geomCat("PHV")
ndif=geomCat("ndif")
pdif=geomCat("pdif")
contact=geomCat("CT")
metal=geomCat("M1")
pad=geomCat("PAD")
; BJT Device Layers Define
bcon=geomAnd(contact pdif)
con=geomAnd(contact ndif)
econ=geomAnd(pb con)
poly1con=geomAnd(poly1 contact)
mcon=geomAnd(metal contact)
out1=geomAndNot(iso pb)
out2=geomAndNot(iso sp)
out1ndif=geomAnd(out1 ndif)
out2ndif=geomAnd(out2 ndif)
outndif1=geomOr(out1ndif out2ndif)

```

```

pbndif=geomAnd(pb ndif)
pbpdif=geomAnd(pb pdif)
sppdif=geomAnd(sp pdif)
ps=geomOr(pbndif sppdif)
dnnbl=geomAnd(dn nbl)
outcontact=geomAnd(metal contact)
con1=geomOr(bcon con)
con2=geomAnd(contact poly1)
ercon1=geomAndNot(con1 metal)
erpoly1=geomAndNot(con2 poly1)
;
outndif=geomAnd(ndif pwell)
outpdif=geomAnd(pdif nwell)
outcontact1=geomAnd(contact outndif)
outcontact2=geomAnd(contact outpdif)
outcontact3=geomAnd(contact poly1)
outcontact4=geomAnd(contact metal)
ivIf((switch "drc?") then
;   N+BL RULE
drc(nbl (width<4.0)           "nbl width<4.0")
;   EPI RULE
drc(iso (sep<4.0)             "iso width< 4.0")
drc(iso nbl (enc<8.0)         "iso enc nbl< 8.0")
;   Deep N+ RULE
drc(dn (width<2.0)            "DeepN width<4")
drc(dn (area<8)                "DeepN area<2*4")
drc(dn nbl (ovlp<1)           "DN overlap NBL<1.0")
drc(iso dn (enc<13.0)         "iso extension dn<13.0")
;   Shallow P RULE
drc(sp (width<2.0) parallel   "sp min width<2.0")
drc(sp (area<4.0) parallel    "sp area<4")
drc(sp (sep<4.5) parallel     "sp sep sp<4.5")
drc(nbl sp (enc<1.0)          "nbl enc sp <1.0")
drc(sp dn (sep<9.0)           "sp sep dn<9.0")

```

```

drc(iso sp (enc<9.0)          "iso enc sp <9.0")
; P Body RULE
drc(pb (width<2.0)            "pb min width<2.0")
drc(pb dn (sep<9.0)           "pb sep dn<9.0")
drc(nbl pb (enc<1.0)          "nbl enc pb <1.0")
drc(iso pb (enc<9.0)          "iso enc pb <9.0")
; P+S/D RULE
drc(pdif (width<1.2)          "pdif width<1.2")
drc(nbl pdif (enc<1.0)        "nbl enc pdif <1.0")
drc(iso pdif (enc<9.0)        "iso enc pdif <9.0")
drc(pdif dn (sep<9.0)         "pdif sep dn <9.0 ")
drc(ps outndif1 (sep<2.5)     "pdif sep ndif on iso<2.5")
drc(pbpdif pbndif (sep<1.5)  "pdif sep ndif on pb<1.5")
drc(outpdif (width < 1.2)     "pdif width <1.2 ")
drc(outndif (width < 1.2)     "ndif width <1.2 ")
drc(outpdif (sep <1.1)        "pdif to pdif <1.1 ")
drc(outndif (sep <1.1)        "ndif to ndif <1.1 ")
drc(outndif outpdif (sep<4.4) "ndif in pwell to pdif in nwell ")
; P/W_WELL RULE
drc(pwell (width < 8.0)        "pwell width < 8.0 ")
drc(nwell (width < 4.0)        "pwell width < 4.0 ")
drc(nbl pwell (enc<1.0)        "nbl enc pwell < 1.0 ")
drc(nbl nwell (enc<0.0)        "nbl enc nwell < 0.0 ")
drc(pwell outndif (enc<2.2)    "pwell enc ndif < 2.2 ")
drc(pwell ptap (enc<0.3)       "pwell enc pdif < 0.3 ")
drc(nwell outpdif (enc<2.2)    "nwell enc pdif < 2.2 ")
drc(nwell ntap (enc<0.3)       "nwell enc ndif < 0.3 ")
drc(pwell (sep<1.2)            "pwell to pwell for the same potential < 1.2 ")
drc(nwell (sep<1.2)            "nwell to nwell for the same potential < 1.2 ")
drc(iso nbl (enc<8.0)          "iso enc nbl <8.0")
drc(iso (sep<4.0)              "iso to iso <4.0")
; Contact RULE
drc(contact (area<0.64)         "contact area<0.8*0.8")
drc(pdif bcon (enc<0.6) parallel "pdif extension contact <0.6")

```

附录

```

drc(ndif con (enc<0.6)                "ndif extension contact t <0.6")
drc(contact (sep<0.6) parallel        "contact sep contact <0.6")
drc(poly1 poly1con (enc<0.4)          "poly1 enc contact <0.4")
drc(outndif contact (enc<0.75)        "ndif enc contact <0.75 ")
drc(outpdif contact (enc<0.75)        "pdif enc contact <0.75 ")
drc(outcontact1 poly1 (sep<0.6)        "contact on ndif to poly1<0.6 ")
drc(outcontact2 poly1 (sep<0.6)        "contact on pdif to poly1<0.6 ")
drc(outcontact3 outpdif (sep<0.8)     "contact on poly1 to pdif <0.8 ")
drc(outcontact3 outndif (sep<0.8)     "contact on poly1 to ndif <0.8 ")
drc(poly1 outcontact3 (enc<0.4)        "poly1 enc contact <0.4 ")
; Metal    RULE
drc(metal (width<1.2)                 "metal width<1.2")
drc(metal (sep<1.0)                   "metal sep metal<1.0")
drc(metal mcon (enc<0.5)              "metal con enc<0.5")
drc(metal outcontact4 (enc <0.5)      "metal enc con <0.5")
; poly1    RULE
drc( poly1 (width < 0.8)               "poly1 for gate or interconnect width <0.8 ")
drc( poly1 (sep < 1.0)                 "poly1 to poly1 <1.0 ")
drc( poly1 outpdif (enc<0.6)           "poly1 enc ndif <0.6 ")
drc(outpdif poly1 (enc<2.15)           "pdif enc poly1 <2.2 ")
drc(outndif poly1 (enc<2.15)           "ndif enc poly1 <2.2k ")
drc( poly1 outpdif (sep < 0.4)         "poly1 to pactive <0.4 ")
drc( poly1 outndif (sep < 0.4)         "poly1 to nactive <0.4 ")
; PAD      RULE
drc(pad (area<13225)                  "pad area<115*115")
drc(metal pad (enc<5)                  "metal enced pad<5")
; ILLEGAL SHAPES
saveDerived(ercon1 "ercon not on metal")
saveDerived(erpoly1 "no contact on poly1")
)
)
; LVS 文件
*DESCRIPTION
PRIMARY                                =m3020

```

```
INDISK          =1.gds
OUTDISK        =err.gds
PRINTFILE      =lvs
SYSTEM         =GDS2
SCALE          =0.001 MICRON
RESOLUTION     =0.05 MICRON
TEXT-PRI-ONLY =YES
KEEPDATA       =YES
ABORT-P-G-SHORT =NO
FLAG-OFFGRID   =YES
FLAG-NON45     =YES
FLAG-ACUTEANGLE =YES
POWER-NODE     =vdd,vdd!
GROUND-NODE    =gnd,gnd!
SCHEMATIC      =LVSLOGIC
*END
;
*INPUT-LAYER
ISO            =61
SP            =10
pb           =60
nbl          =62
PHV          =64
DN           =65
HVPW        =66
NHV         =12
nwell       =16
PW          =8
pdif        =15
ndif        =14
POLY1       =9
CT          =1
M1          =18
IR          =29
```

```

text          =100    attach M1
substrate     =bulk    59
CONNECT-LAYER=pwell,nwell,BN1 ISO1, CLPNP, EPNP, nbase npne termr minus
poly1,hnsd,hpsd,nsd,psd, M1,ntap,ptap
*END
;
*OPERATION
AND    ndif    NHV          ndif2
size   ndif2   by    2.5    ndif1
AND    pdif    PHV          pdif2
size   pdif2   by    2.5    pdif1
AND    nbl     pdif1        hpch
AND    nbl     ndif1        hnch
not    bulk    nwell        pwell2
size   HVPW    BY    3      HVPW1
not    pwell2  HVPW1       pwell1
not    pwell1  ISO         pwell
AND    nwell   ndif        ntap
AND    pwell   pdif        ptap
AND    nwell   pdif        pch
AND    pwell   ndif        nch
;  DEFINE POLY GATE
size   PHV     by    0.8    phv1
size   PHV     by    -0.4   phv2
not    phv1    phv2       pg
size   NHV     by    0.4    nhv1
size   NHV     by    -0.4   nhv2
not    nhv1    nhv2       ng
AND    pg      hpch       hpgate
AND    ng      hnch       hngate
AND    poly1   pch        pgate
AND    poly1   nch        ngate
;  DEFINE GATE S/D
NOT    hpch    hpgate    hpsd

```

```

NOT    hneh    hngate    hnsd
NOT    pch     pgate     psd
NOT    nch     ngate     nsd
; DEFINE CONNECT LAYERS
AND CT  poly1    plcnt
AND CT  hnsd     hnsdent
AND CT  hpsd     hpsdent
AND CT  nsd      nsdent
AND CT  psd      psdent
AND CT  ntap     ntpcnt
AND CT  ptap     ptpcnt
; DEFINE CONNECT
CONNECT poly1    M1 by plcnt
CONNECT hnsd     M1 by hnsdent
CONNECT hpsd     M1 by hpsdent
CONNECT nsd      M1 by nsdent
CONNECT psd      M1 by psdent
CONNECT ptap     M1 by ptpcnt
CONNECT ntap     M1 by ntpcnt
CONNECT nwell    M1 by ntap
CONNECT pwell    M1 by ptap
; DEFINE MOS GATE
ELEMENT MOS[HN]  hngate poly1 hnsd
ELEMENT MOS[HP]  hpgate poly1 hpsd
ELEMENT MOS[n]   ngate poly1 nsd pwell
ELEMENT MOS[p]   pgate poly1 psd
;
nwell SELECT CT inside ndif ECONT1
size  econt1 by 1 econt
SELECT CT inside pdif bcont1
size  bcont1 by 1 bcont
; DEFINE NPN TRANSISTOR
not    pb      ndif      nbase2
select nbase2 inside ISO  nbase1

```

```
select ndif hole nbase1 npn ;nnp recognition layer
select pb overlap npn nbase
select ndif inside nbase npne
;DEFINE PNP TRANSISTOR
size ct by 1 ect
AND CT SP CT1
select ct1 vertex[19:21] ect1
and ect1 sp elpnp
size elpnp by 1 epcon
size elpnp by 5 epnp
not nbl epnp clpnp1
select pdif inside clpnp1 clpnp
size epnp by 1 rclpnp ;LPNP recognition layer
select ISO overlap elpnp ISO1
;DEFINE R-res
size pch by 1 XBAS
select IR cut XBAS resr1
not resr1 XBAS resr ;RR recognition layer
select XBAS overlap resr1 termr
;DEFINE P-capacitor
select POLY1 inside nbl CAP1
and cap1 pdif cap
select pdif enclose CAP minus
size CAP by 1 tmp1
and tmp1 pdif pcap ;CAP recognition layer
;DEFINE circuit connection
select ndif outside pb bnemt
and bnemt econt bncont
SELECT nbl inside ISO nbl1
size nbl1 by 2 BN1
connect M1 BN1 by bncont
connect M1 npne by econt
connect M1 nbase by bcont
connect M1 ISO1 by econt
```

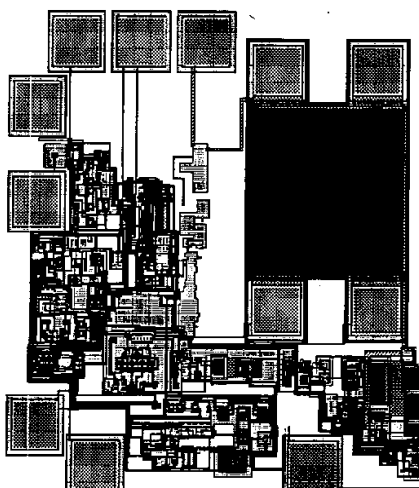


```

connect M1 clpnp by bcont
connect M1 epnp by epcon
connect M1 termr by bcont
connect M1 minus by bcont
;Device Extraction
; DEFINE Bipolar NPN and PNP transistor
element bjt[nv] npn BN1 nbase npne
element bjt[pl] rclpnp clpnp ISO1 epnp
; DEFINE Res
ELEMENT res[r2] resr termr
; DEFINE P-cap
element cap[CP] pcap POLY1 minus
;LVS commands
SAMELAB OUTPUT opens 40
MULTILAB OUTPUT shorts 40
*break LVS
lvschk
*END

```

附录 D 变换器芯片版图



附录 E 攻读硕士学位期间发表学术论文情况

- [1] 刘树林、赵新毅、刘健.基于变频保护功能的单片 DC/DC 变换芯片研制.电力电子技术, Vol.38, NO.6, 2004.12: PP97-100.
- [2] 刘树林、刘健、杨银玲、赵新毅.Boost 变换器的能量传输模式及输出纹波电压分析.中国电机工程学报, Vol.26, NO.5, 2006.3: PP119-124.