

基于 FPGA 的全数字锁相环路的设计

衡阳南华大学电气工程学院(421001) 单长虹
清华大学电子工程系(100084) 孟宪元

摘要: 介绍了应用 VHDL 技术设计嵌入式全数字锁相环路的方法。详细叙述了其工作原理和设计思想,并用可编程逻辑器件 FPGA 予以实现。

关键词: VHDL 语言 全数字锁相环路(DPLL) 片上系统(SOC) FPGA

数字锁相环路已在数字通信、无线电电子学及电力系统自动化等领域中得到了极为广泛的应用。传统的全数字锁相环路(DPLL)是由中、小规模 TTL 集成电路构成。这类 DPLL 工作频率低,可靠性较差。随着集成电路技术的发展,不仅能够制成频率较高的单片集成锁相环路,而且可以把整个系统集成到一个芯片上去,实现所谓片上系统 SOC(System on a chip)。因此,可以把全数字锁相环路作为一个功能模块嵌入 SOC,构成片内锁相环。下面介绍采用 VHDL 技术设计 DPLL 的一种方案。

1 工作原理

全数字锁相环路的结构框图如图 1 所示。其中数字鉴相器由异或门构成,数字环路滤波器由变模可逆计数器构成,数控振荡器由加/减脉冲控制器和除 N 计数器组成。可逆计数器和加/减脉冲控制器的时钟频率分别为 Mf_0 和 $2Nf_0$ 。这里 f_0 是环路的中心频率,一般情况下 M 和 N 为 2 的整数幂。时钟 $2Nf_0$ 经除 H ($=M/2N$) 计数器得到。

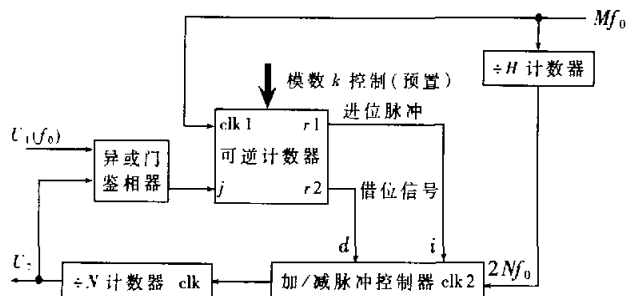
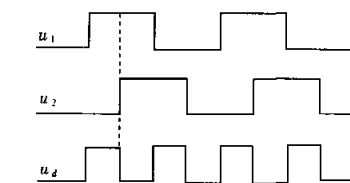


图 1 全数字锁相环路结构框图

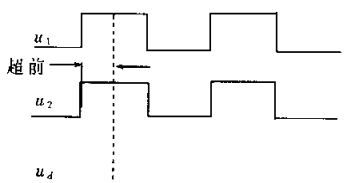
异或门鉴相器用于比较输入信号 u_1 与数控振荡器输出信号 u_2 的相位差,其输出信号 u_d 作为可逆计数器的计数方向控制信号。当 u_d 为低电平时(u_1 和 u_2 有同极性时),可逆计数器作“加”计数。反之,当 u_d 为高电平时,可逆计数器作“减”计数。

异或门鉴相器在环路锁定时和相位误差达到极

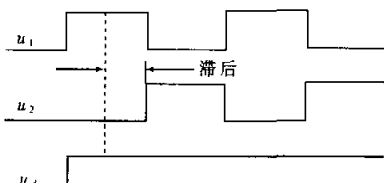
限时的相应波形如图 2 所示。当环路锁定时, u_1 和 u_2 正交,鉴相器的输出信号 u_d 为 50% 占空比的方波,此时定义相位误差为零。在这种情况下,可逆计数器“加”与“减”的周期相同,只要可逆计数器的 k 值足够大($k > M/4$),其输出端就不会产生进位或借位脉冲。这时,加/减脉冲控制器只对其时钟 $2Nf_0$ 进行二分频,使 u_1 和 u_2 的相位保持正交。在环路未锁定的情况下,若 $u_d=0$ 时,它使可逆计数器向上加计数,并导致进位脉冲产生,进位脉冲作用到加/减脉冲控制器的“加”控制端 i ,该控制器便在二分频过程中加入半个时钟周期。反之,若 $u_d=1$,可逆计数器减计数,并将发出借位脉冲到加/减脉冲控制器的“减”输入端



(a) 零相差情况下鉴相器的工作波形



(b) $+\pi/2$ 相差情况下的工作波形



(c) $-\pi/2$ 相差情况下鉴相器的工作波形

图 2 异或门鉴相器的工作波形

《电子技术应用》2001 年第 9 期

d, 于是, 该控制器便在二分频的过程中减去半个周期。这个过程是连续发生的。加/减脉冲控制器的输出经过除 N 计数器后, 使得本地估算信号 u_2 的相位受到调整控制, 最终达到锁定状态。

2 环路部件的设计

这里重点介绍数字环路滤波器的设计。数字环路滤波器是由变模可逆计数器构成。在 u_d 的控制下, 当 $j=0$ 时, 对时钟 Mf_0 进行“加”计数; 当 $j=1$ 时, 进行“减”计数。可逆计数器的计数容量(模数 k)可以利用 A、B、C、D 四位进行预置, 从而方便地改变模数。其预置模数的范围为, 当 D、C、B、A 在 0001~1111 取值时, 相应模数的变化范围是 $2^3 \sim 2^{17}$ 。可见, 可逆计数器的长度能够根据模数 k 值的大小来实现数字编程控制。取 D、C、B、A 为 0001 时, $K=2^3$, 计数器长度只有三级, 因而可以扩大捕捉带, 缩短锁定时间。在 D、C、B、A 取 1111 时, $K=2^{17}$, 计数器长度变为十七级, 这时捕捉带缩小, 锁定时间延长。变模可逆计数器的 VHDL 设计程序如下:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity count_k is
port (clk, j, en, d, c, b, a: in std_logic;
      r1, r2: out std_logic);
end;
architecture behave of count_k is
signal cq, k, mo: std_logic_vector(16 downto 0);
signal cao1, cao2: std_logic;
signal instruction: std_logic_vector(3 downto 0);
begin
    instruction <= d & c & b & a;
    with instruction select
        mo <= "0000000000000111" when "0001",
              "0000000000001111" when "0010",
              "0000000000011111" when "0011",
              "0000000000111111" when "0100",
              "0000000001111111" when "0101",
              "0000000011111111" when "0110",
              "0000000111111111" when "0111",
              "0000001111111111" when "1000",
              "0000011111111111" when "1001",
              "0000111111111111" when "1010",
              "0001111111111111" when "1011",
              "0011111111111111" when "1100",
              "0011111111111111" when "1101",
              "0111111111111111" when "1110",
              "1111111111111111" when "1111",
              "0000000000001111" when others;
process (clk, en, j, k, cq)
begin
```

```
    if clk'event and clk='1' then
        k <= mo;
    if en='1' then
        if j='0' then
            if cq < k then cq <= cq + 1;
            else cq <= (others => '0');
            end if;
        else
            if cq > 0 then cq <= cq - 1;
            else cq <= k;
            end if;
        end if;
    else cq <= (others => '0');
    end if;
end process;

process (en, j, cq, k)
begin
    if en='1' then
        if j='0' then
            if cq = k then cao1 <= '1';
            else cao1 <= '0';
            end if;
            cao2 <= '0';
        else
            if cq = "0000000000000000" then cao2 <= '1';
            else cao2 <= '0';
            end if;
            cao1 <= '0';
        end if;
    else cao1 <= '0'; cao2 <= '0';
    end if;
end process;
    r1 <= cao1; r2 <= cao2;
end behave;
```

根据对其他环路部件的功能分析, 也可以设计出相应的 VHDL 程序。

3 设计实现

本设计中全数字锁相环路采用 XILINX 公司的 Foundation 3.1 版本进行设计, 并用 Spartan2 系列的 FPGA 予以实现。下面分别给出变模可逆计数器和加/减脉冲控制器的仿真波形如图 3、图 4 所示。从图 3 中可见, 当 $j=0$ 时, 可逆计数器做加计数, 若取模 $k=2^4$, 则当计数值 $cq=0000FH$ 时, 计数器产生进位脉冲 ($r1=1$); 当 $j=1$ 后, 在下一个时钟的上升沿到来时, 可逆计数器开始做减计数, 当 $cq=0000H$ 时, 产生借位脉冲 ($r2=1$)。改变模 k 便可延长或缩短可逆计数器产生进位脉冲和借位脉冲的时间。同时, 由图 1 可知, 可逆计数的加/减计数信号 j 是由鉴相器的输出信号 u_d 控制的, 而其进位脉冲 $r1$ 和借位脉冲 $r2$ 又分别与加/减脉冲控制器的 i 和 d 相接, 用于控制其输出脉冲的序列。

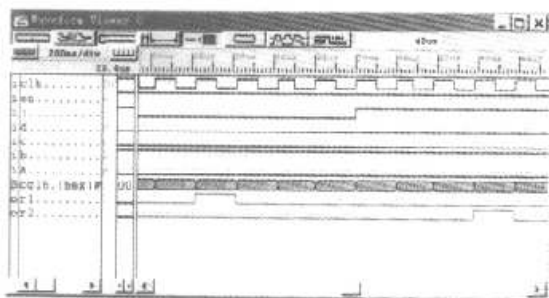


图3 变模可逆计数器(取 $k=2^4$)的仿真波形图

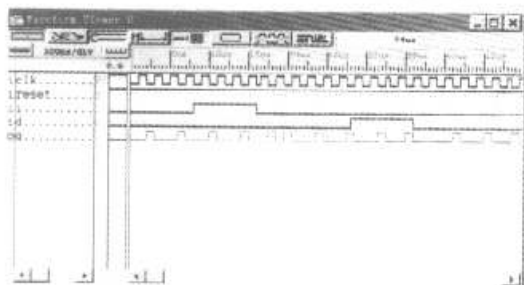


图4 加/减脉冲控制器的仿真波形图

由图4可知,在无进位和借位脉冲时,加/减脉冲控制器对 $2N_0$ 时钟进行二分频。一旦可逆计数器有进位脉冲或借位脉冲输出时,作用到加/减脉冲控制器 i 或 d 端,便使其输出脉冲序列发生了变化。当可逆计数器输出一个进位脉冲时,使 $i=1$,则在 i 的下降沿到来之后,加/减脉冲控制器的输出端 q 插入一个脉冲,即在其输出序列中加入了半个周期;反之,当可逆计数器输出一个借位脉冲时,使 $d=1$,则在 d 的下降沿到来之后, q 端删除一个脉冲,即在加/减脉冲控制器的输出序列中删去了半个周期。由以上对图3、4仿真波形的分析可知,变模可逆计数器和加/减脉冲控制器的逻辑功能符合设计要求。把全数字锁相环路的各部件连接起来进行系统仿真,可得其仿真波形如图5和图6所示。其中图5是取 $k=2^5$ 时的系统仿真波形,由图中可见, u_1 和 u_2 达到锁定状态时的仿真时间是 $175\mu\text{s}$ 。图6是取 $k=2^8$ 时的系统仿真波形,在这种情况下, u_1 和 u_2 达到锁定状态时的仿真时间是 1.04ms 。显然,模 k 愈大,环路进入锁定状态的时间愈长。

值得指出的是,在环路锁定状态下,由于可逆计数器的连续计数,或在噪声的干扰下,会产生进位和借位脉冲。如果 k 值取得太小,则可逆计数器因频繁地循环计数而产生进位或借位脉冲,这就导致了在环路的输出端出现相位抖动。为了减少这种相位抖动, k 值必须取大于 $M/4$ 。

由以上分析可知,模 k 的取值要适当。 k 取得大,对抑制噪声、减少相位抖动有利,但同时又加大了环路进入锁定状态的时间。反之, k 取得小,可以加速环路的锁定,而对噪声的抑制能力却随之降低。

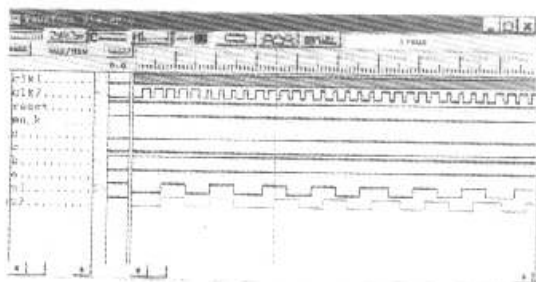


图5 环路锁定(取 $k=2^5$)时的仿真波形图

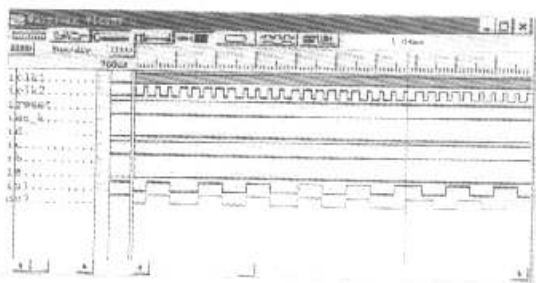


图6 环路锁定(取 $k=2^8$)时的仿真波形图

采用VHDL设计全数字锁相环路,具有设计灵活、修改方便和易于实现的优点,并能够制成嵌入式片内锁相环。该类数字锁相环路中计数器的模数可以随意修改。这样,就能够根据不同情况最大限度地、灵活地设计环路。

参考文献

- 1 孟宪元. 可编程ASIC设计及应用. 成都: 电子科技大学出版社, 2000. 11
- 2 胡华春, 石玉. 数字锁相环路原理与应用. 上海: 上海科技出版社, 1990 (收稿日期: 2001-04-17)

中易电测

非电量传感器

- ▲工业用超声波测距传感器
- ▲超声波液位计明渠流量计
- ▲45英尺测距仪; MA 变送器
- ▲激光液位计; 激光测距仪
- ▲温度、湿度、压力传感器
- ▲液位计; 粮食烟叶水份仪

专用集成电路

- ▲超声波测距专用IC SB5X
- ▲温湿气压测控仪 IC AM2X
- ▲氧传感器系列测力传感器
- ▲24种日历/时控集成IC

测量控制仪器

- ▲汽车、摩托车电子钟芯片
- ▲超声波倒车、防撞雷达IC
- ▲6路独立可编程时控器IC
- ▲温度、湿度、压力测控仪
- ▲TX 称重; 配料; 灌装仪表
- ▲机械秤改电子秤模块 CBA
- ▲称重测力仪表芯片 SX/MX
- ▲红外测湿仪; 超声测重仪

超声波 • 温湿气压 • 日历时控 • 测力称重

超声波、液位、温度、湿度、压力、时控、称重、项目研发
<http://www.zydc.com>
 (400039) 中易电测技术研究
 重庆石杨路四号 电话: 023-68693956/68610053