

摘 要

射频识别 RFID (Radio Frequency Identification) 是当前应用最广泛的非接触式自动目标识别技术之一, 具有非接触、读写灵活、速度快、安全性高等优点, 被广泛应用于物流管理、商品营销管理、产品生产管理等许多领域。随着技术的发展, RFID 的应用领域日益扩大, 并将成为未来信息社会建设的一项基础技术。随着经济的快速发展, 尤其是 EPC 物流网的提出和推广, 各行业对超高频段(UHF)远距离 RFID 系统的需求也越来越迫切。在我国, UHF 频段远距离无源电子标签的研发及应用尚处于起步阶段。在今后几年物流网的发展中, 我国将是最大的 EPC(产品电子代码, Electronic Product Code)用户之一, 而基于 UHF 频段的远距离 RFID 技术正是 EPC 技术的核心技术。因此, 本文的研究具有十分重要的意义。

本文深入研究分析了超高频射频识别通信标准 ISO/IEC 18000-6C 的空中接口协议, 详细论述了射频识别系统前后向通信链路的编码格式和调制方式, 为设计满足 ISO/IEC 18000-6C 标准的 RFID 标签芯片数字编解码电路奠定了基础。

基于 ISO/IEC 18000-6C 标准, 本文完成了 UHF RFID 标签芯片数字编解码电路的详细设计、前后端设计及验证及物理实现。

关键词: 射频识别, 电子标签芯片, ASIC 设计, 编解码电路

ABSTRACT

RFID (Radio Frequency Identification) is one of the most widely adopted contactless automatic methods for target identifying. It has the virtues of contactless, read-write flexibility, speediness, high security, and is widely used in all kinds of application fields. With the development of information technology, RFID's applications increase rapidly and widely. And, RFID will become one of the fundamental technologies in the future information society. With the great development of global economy, especially the presentation and popularization of Logistics Network, All walks of life demand for ultra-high frequency (UHF) long-range RFID system, and it has become increasingly urgent. In China, the research and application of UHF long range passive tags is still in its infancy. During the following years of the development of Logistics Network, China will become one of the largest Electronic Product Code (EPC) consumers, and UHF RFID technology is just the core of EPC technologies. Therefore, this research is of great significance.

This paper analyzed the air interface protocol of the UHF Radio Frequency Identification communication standard ISO/IEC 18000-6C carefully, discussed the encoding format and modulation method of the front and back communication link in the radio frequency identification systems in detail, laid a foundation for the design of the coding and decoding circuit of RFID tag chip to meet the ISO/IEC 18000-6C communication standard.

Based on ISO / IEC 18000-6C standard, This paper completed the detailed design of the coding and decoding circuit of the RFID tag chip, the front-end and back-end design and verification of the coding and decoding circuit and the physical implementation.

Keywords: RFID, Electronic Tag Chip, ASIC Design, Coding and Decoding Circuit

图目录

图 1-1 RFID 系统组成.....	2
图 2-1 前向链路调制.....	7
图 2-2 PIE 码字的波形.....	8
图 2-3 R=>T 前同步码和帧同步码.....	9
图 2-4 FM0 基本功能和状态图.....	10
图 2-5 FM0 符号和序列.....	10
图 2-6 终止 FM0 传输.....	10
图 2-7 使用 FM0 发数据时的两种前同步码.....	11
图 2-8 MILLER 编码基本功能和状态图.....	11
图 2-9 终止 MILLER 调制副载波传输.....	11
图 2-10 MILLER 编码前同步码.....	12
图 3-1 编解码电路前端设计及验证流程.....	13
图 3-2 FPGA 验证平台.....	14
图 3-3 ISO/IEC 18000-6C 标签芯片数字基带控制电路结构.....	15
图 3-4 ISO/IEC 18000-6C 标签芯片解码电路结构.....	16
图 3-5 解码器状态定义图.....	17
图 3-6 解码器状态转换图.....	18
图 3-7 解码器功能仿真结果.....	20
图 3-8 CHIPSOCPE 捕捉 FPGA 解码结果.....	20
图 3-9 编码器模块内部设计框图.....	21
图 3-10 延迟寄存器电路.....	22
图 3-11 FM0 编码电路原理时序图.....	22
图 3-12 FM0 状态转换.....	23
图 3-13 MILLER 编码电路原理时序图.....	23
图 3-14 MILLER 编码状态转换图.....	24
图 3-15 FM0 编码功能仿真, 无前导频音.....	24
图 3-16 FM0 编码功能仿真, 有前导频音.....	24
图 3-17 MILLER2 编码功能仿真, 无前导频音.....	25
图 3-18 MILLER2 编码功能仿真, 有前导频音.....	25

图 3-19 MILLER4 编码功能仿真, 无前导频音.....	25
图 3-20 MILLER4 编码功能仿真, 有前导频音.....	25
图 3-21 MILLER8 编码功能仿真, 无前导频音.....	26
图 3-22 MILLER8 编码功能仿真, 有前导频音.....	26
图 3-23 阅读器与 FPGA 的访问过程.....	26
图 3-24 返回的长数据.....	26
图 4-1 基于标准单元的 ASIC 设计流程.....	28
图 4-2 时序仿真模型	37
图 4-3 解码器时序仿真结果.....	37
图 4-4 FM0 编码时序仿真, 无前导频音.....	37
图 4-5 FM0 编码时序仿真, 有前导频音.....	38
图 4-6 MILLER2 编码时序仿真, 无前导频音.....	38
图 4-7 MILLER2 编码时序仿真, 有前导频音.....	38
图 4-8 MILLER4 编码时序仿真, 无前导频音.....	38
图 4-9 MILLER4 编码时序仿真, 有前导频音.....	39
图 4-10 MILLER8 编码时序仿真, 无前导频音.....	39
图 4-11 MILLER8 编码时序仿真, 有前导频音.....	39
图 4-12 UHF RFID 标签芯片版图.....	46
图 4-13 布局布线后时序仿真结构.....	47
图 4-14 解码器布线后时序仿真结果.....	47
图 4-15 FM0 编码布线后时序仿真, 无前导频音.....	48
图 4-16 FM0 编码布线后时序仿真, 有前导频音.....	48
图 4-17 MILLER2 编码布线后时序仿真, 无前导频音.....	48
图 4-18 MILLER2 编码布线后时序仿真, 有前导频音.....	48
图 4-19 MILLER4 编码布线后时序仿真, 无前导频音.....	48
图 4-20 MILLER4 编码布线后时序仿真, 有前导频音	49
图 4-21 MILLER8 编码布线后时序仿真, 无前导频音.....	49
图 4-22 MILLER8 编码布线后时序仿真, 有前导频音.....	49
图 4-23 晶体管级电路仿真结构图.....	50
图 4-24 解码器 SPICE 仿真结果.....	51
图 4-25 MILLER2 编码 SPICE 仿真结果.....	52
图 4-26 设计规则检查原理图.....	53
图 4-27 天线效应验证原理图.....	53

图目录

图 4-28 LVS 验证原理图.....	54
图 5-1 标签芯片数字基带电路待测版图示意图.....	55
图 5-2 数字基带部分测试芯片测试方案.....	56

表目录

表 1-1 RFID 各个频段的电子标签.....	2
表 2-1 最佳询问机对标签 TARI 值.....	8
表 2-2 MILLER 编码的两种前同步码.....	12
表 3-1 解码器模块端口定义	16
表 3-2 解码器各个状态有效时间宽度.....	19
表 3-3 编码器端口定义.....	21
表 5-1 待测芯片待测信号（编解码相关）.....	55

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名： 李贵 日期： 2009 年 5 月 31 日

关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

签名： 李贵 导师签名： 文光俊
日期： 2009 年 5 月 31 日

第一章 绪论

射频识别技术^[1], RFID(Radio frequency identification), 是一种非接触式的自动识别技术, 通过射频信号自动识别目标对象并获取相关数据, 识别过程无须人工干预, 可工作于各种恶劣环境。RFID 技术涉及制造、材料、信息等诸多高技术领域, 涵盖芯片设计制造、天线设计制造、标签封装、系统集成、信息安全等技术。

1.1 研究背景

射频识别技术是一种利用射频信号通过空间耦合实现无接触信息传递, 并通过所传递信息进行多目标识别的无线通信技术。该技术具有抗恶劣环境、高准确性、高安全性、高灵活性和可扩展性等优点; 便于通过互联网实现物品跟踪和物流管理; 可以广泛应用于旅客机票、行李包裹追踪、铁路车皮识别、自动高速公路收费、资产跟踪、物流管理、门禁安全、公共交通、动物识别/跟踪等; 它将成为未来信息社会建设的一项基础技术^[2-4]。目前即 RFID 技术已受到广泛的关注, 被全球高科技领域誉为最有市场前景、最具改变人类生活方式和高科技产业面貌的技术、本世纪最有发展前途的 10 项技术之一。

最基本的 RFID 系统由电子标签(Tag)和阅读器(Reader)组成, 如图 1-1 所示。阅读器和电子标签之间的信息交换是通过射频信号完成的。阅读器发送给电子标签的电磁波给电子标签提供工作的能量, 同时还将经过编码的基带信号调制在载波上发送给电子标签; 电子标签接收到这些信号后, 经过解调、解码等过程将数据还原出来, 然后送给数据处理部分进行处理, 信息处理完成后, 电子标签将数据编码并通过负载调制将编码后的数据调制到载波上并返回给阅读器。阅读器接收后, 进行相应的处理, 还原出其中的数据信息并对标签返回的信息作相应的回应。

电子标签芯片的编解码电路起到阅读器和电子标签之间信息的翻译功能, 编解码电路的性能直接影响到整个电子标签芯片与阅读器之间的互联互通, 具有极为重要的作用。

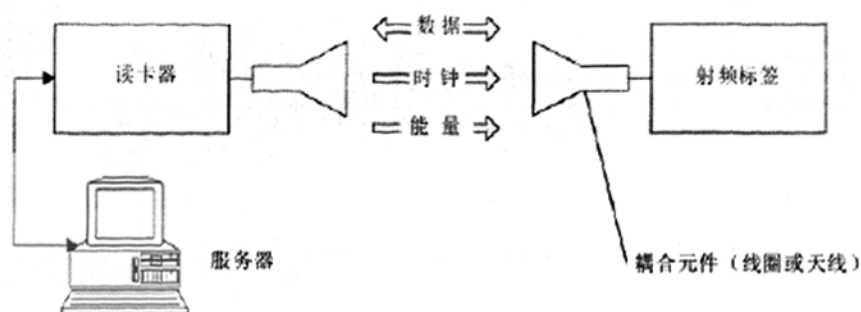


图 1-1 RFID 系统组成

按照供给能量方式的不同，射频识别电子标签可以分为无源标签、半有源标签和有源标签。其中无源标签的芯片上没有电池，其能量来源于电磁载波；半有源标签的能量既可以通过电磁载波获取，也可以由标签所附的电池提供；有源标签的能量由电子标签所附的电池提供，有源标签可以主动发出射频信号。

按照工作频率的不同，RFID 电子标签可以分为低频(LF, Low Frequency)、高频(HF, High Frequency)、超高频(UHF, Ultra-High-Frequency)和微波(Microwave)等不同频率的电子标签。不同频段的 RFID 工作方式不同，低频和高频段的 RFID 电子标签一般采用电磁耦合方式，而超高频及微波频段的 RFID 一般采用电磁后向散射方式。不同频率的电子标签有不同的特点，如表 1-1 所示。

表 1-1 RFID 各个频段的电子标签

频段	描述	作用距离	应用
125 KHz 134.2 KHz	低频 LF	<1 m	动物识别/跟踪、门禁系统、容器识别、工具识别、电子闭锁防盗、汽车保安钥匙、零销点管理
13.56 MHz	高频 HF	<1 m	电子车票、小区物业管理、电子身份证、电子闭锁防盗、大厦门禁系统
860-960 MHz	超高频 UHF	3 ~ 10 m	铁路车辆自动识别、集装箱识别，还可用于公路车辆识别与自动收费系统
2.45 GHz 5.8 GHz	微波 Microwave	~3 m	移动车辆识别、医疗科研、电子闭锁防盗、还可用于公路车辆识别与自动收费系统

1.2 研究现状

随着信息技术的飞速发展，人们对信息交互与管理的需求也越来越高。RFID

技术因其在信息管理自动化方面的突出优势而倍受关注，近年来发展十分迅速。RFID 技术的发展是建立在整个 RFID 产业链发展的基础上，RFID 产业链的任何一个环节的落后都会影响整个 RFID 产业的发展^[5]。

1.2.1 标准的发展

RFID 作为一种将深入影响每个人日常生活的技术，要实现对世界范围内的物品进行统一管理、规范标签及阅读器的开发工作、解决系统的互联和兼容问题，必须对 RFID 技术进行规范。RFID 射频识别技术标准化的主要目标在于通过制定、发布和实施标准，解决编码、通信、空中接口和数据共享等问题，最大程度地促进 RFID 技术及相关系统的应用。RFID 的标准化是当前极需解决的重要问题，各国及相关国际组织都在积极推进 RFID 技术标准的制定^[6]。目前，还未形成完善的关于 RFID 的国际和国内标准。RFID 的标准化涉及标识编码规范、操作协议及应用系统接口规范等多个部分。其中标识编码规范包括标识长度、编码方法等；操作协议包括空中接口、命令集合、操作流程等规范。目前国际上制订 RFID 标准的主要组织是国际标准化组织(ISO/IEC)，ISO/IEC JTC1 负责制订与 RFID 技术相关的国际标准；ISO 其他有关技术委员会也制订部分与 RFID 应用有关的标准，如欧美的 EPC 规范、日本的 UID(Ubiquitous ID)规范等。还有一些相关的组织也开展了 RFID 标准化工作。但相关标准之间缺乏达成一致的基础，国际标准化组织正在积极推动 RFID 应用层面上的互联互通^[7]。

由于国内微电子产业起步较晚，目前国内的 RFID 芯片尚处于研发阶段或测试阶段，没有形成规模化的生产。但是国内 RFID 系统的应用和发展前景却十分广阔，目前已经在门禁、公共交通、计费、物流、仓储、生产自动化等领域得到应用。中国 RFID 标准工作组组长张琪称：中国 RFID 标准的制定要坚持自己的原则。制定符合中国国情、坚持创新发展、自主安全的电子标签国家标准，既要结合中国国情制定 RFID 标准体系，同时又要坚持对外开放，参考、研究和借鉴国外标准，考虑兼容与互联互通^[8]。

1.2.2 RFID 芯片设计发展现状

RFID 技术经历了从 125kHz、13.56MHz 低高频频段开始发展成熟再向 UHF 频段和更高频段迈进的过程^[5]。在 125kHz、13.56MHz 这两个频段的 RFID 芯片种类最多、技术成熟且价格低廉。但是，这两个频段的 RFID 芯片的工作距离非常近，

一般仅为 0~1 cm。随着 RFID 应用的需求越来越大,该频段的识别距离已经不能满足有些远距离应用的需要。而最适合远距离识别的频段是 UHF: 860MHz~960MHz。

目前,进行 UHF 频段 RFID 芯片设计的国外芯片公司越来越多,比较知名的如 Ti、Atmel、Philips、Alien、Intermac、EM 等。这些公司都已经推出 UHF 频段的 RFID 芯片产品。在 2.4GHz 频段,日本的日立、松下等已推出了相关的产品,并已开始进行较大规模的应用试验。2005 年的爱知世博会就使用了 RFID 门票系统,将标签芯片嵌入门票纸张。日立继于 2003 年研发出面积为 $0.3\text{mm} \times 0.3\text{mm}$ 厚度为 0.06mm 的超小型标签 $\mu\text{-Chip}$ ^[9-12]以来,于 2005 年更是将芯片面积减小到 $0.15\text{mm} \times 0.15\text{mm}$,厚度减小到了 $7\mu\text{m}$ ^[13]。这基本上满足了票据应用对标签大小和厚度的要求,但是主要问题转变为芯片成本相对较高。

随着技术的发展,芯片的价格已经变得越来越低。但是若要达到大规模推广,RFID 标签的价格至少要小于 5 美分^[5]。一方面,在物流应用领域,RFID 仍然存在一些技术难题亟待解决,技术发展并不成熟;另一方面,RFID 的应用市场还没有完全开发出来,没有形成相当的规模。因此导致目前 RFID 标签的批量价格徘徊在 10 美分左右^[5],仍然偏高。

目前,国内的芯片设计公司已经完全掌握了 125kHz 和 13.56MHz 这两个频段的 RFID 芯片设计技术^[5]。在国内的 IC 卡市场,复旦微电子、上海华虹、清华同方等公司都推出了一系列成熟的 RFID 产品,并在和国外大公司的竞争中取得越来越多的市场份额。2005 年我国第二代身份证的发行表明我们 13.56MHz 的 RFID 产品已经很成熟。在 UHF 和更高频段的 RFID 芯片设计上,国内公司也已经开始了研发工作。由于 RFID 产业在 2000 年后才有较快的发展,因此,在 RFID 芯片设计水平上国内芯片公司的起步虽晚,但差距并不大。

1.3 论文研究内容

论文较为深入地研究了超高频射频识别通信标准 ISO/IEC 18000-6C 的空中接口协议和通信链路的调制及编码方式,并在电子标签芯片的数字前端模块电路的设计及实现技术方面展开了研究。论文的主要研究工作如下:

(1) 对超高频射频识别通信标准 ISO/IEC 18000-6C 进行研究,着重研究其空中接口协议和通信链路的调制及编码方式。

(2) 对符合标准 ISO/IEC 18000-6C 的电子标签芯片的数字前端模块电路的设

计和实现技术进行研究。

(3) 对数字 ASIC 芯片的设计及验证方法进行研究。

(4) 设计流片后芯片的测试方案。

1.4 论文组织结构

论文章节组织结构如下：

第一章“绪论”，介绍了课题研究背景和研究现状，首先介绍了 RFID 射频识别技术的特点，然后结合国际国内的关于 RFID 技术的相关研究，分析了国内外有关协议标准制定和 RFID 电子标签芯片设计的发展与现状。最后给出了本文的主要工作，以及论文结构。

第二章“UHF RFID 标准 ISO/IEC 18000-6C 空中接口协议”着重研究了超高频射频识别通信标准 ISO/IEC 18000-6C 的空中接口协议，包括通信链路的调制方式和编码方式，为后面的章节提供参考依据。

第三章“ISO/IEC 18000-6C 标签芯片编解码电路前端设计及验证”进行编解码电路的详细设计和前端验证。

第四章“ISO/IEC 18000-6C 标签芯片编解码电路后端设计及验证”进行编解码电路的物理设计流程及验证流程，最终得到编解码电路的可直接流片的电路版图。

第五章“ISO/IEC 18000-6C 标签芯片编解码电路芯片测试”设计了编解码电路以及整个电子标签数字基带控制电路的测试方案。

第六章“总结”，总结了全文，并对未来的研究提出了建议。

第二章 UHF RFID 标准 ISO/IEC 18000-6C 空中接口协议

2005年1月EPC C1G2提请成为ISO/IEC18000-6C,2006年6月15日EPC C1G2正式进入ISO/IEC18000-6,成为ISO/IEC18000-6C。继ISO/IEC18000-6A、B之后的ISO/IEC18000-6C,它对前两种模式的协议特点进行了一系列有效的修正与扩充。其中物理层数据编码、调制方式、防碰撞算法等一些关键技术有了改进,使得ISO/IEC18000-6C的性能比A、B有了很大的提高^[14]。本文电子标签芯片数字前端模块电路的设计和实现技术研究都是基于ISO/IEC18000-6C标准,工作频率是860 MHz-960 MHz。下面简要介绍其空中接口协议及通信链路调制及编码方式。

2.1 空中接口协议概述

ISO/IEC18000-6C标准定义了UHF频段射频识别系统的通信协议,工作频率为860 MHz-960 MHz。其包括物理层、标签识别层两大部分。

阅读器发往标签的信息可以采用双边带幅度键控(DSB-ASK)、单边带幅度键控(SSB-ASK)或者反向相位幅度键控(PR-ASK)的方法进行调制载波。数据编码可采用脉冲间隔编码(PIE)。标签从其调制波中获取工作能量,并开始进行答复。标签的信息发往阅读器则可以采用反向散射调制载波的幅度或者相位的方法。编码方式可以采用FM0(双向间隔码)编码或者Miller调制副载波,但需根据阅读器命令来选择。阅读器和标签的通信是半双工方式的^[15]。

2.2 调制技术

2.2.1 前向链路(R=>T)调制方式

阅读器应采用图2.1中详细规定的DSB-ASK、SSB-ASK或PR-ASK调制方式进行通信。图2.1中显示了针对DSB调制或SSB-ASK调制和针对PR-ASK调制的询问机生成的R=>T基带和调制波形以及标签测得的相应波形包络。标签应能够解调上述三种类型的调制。

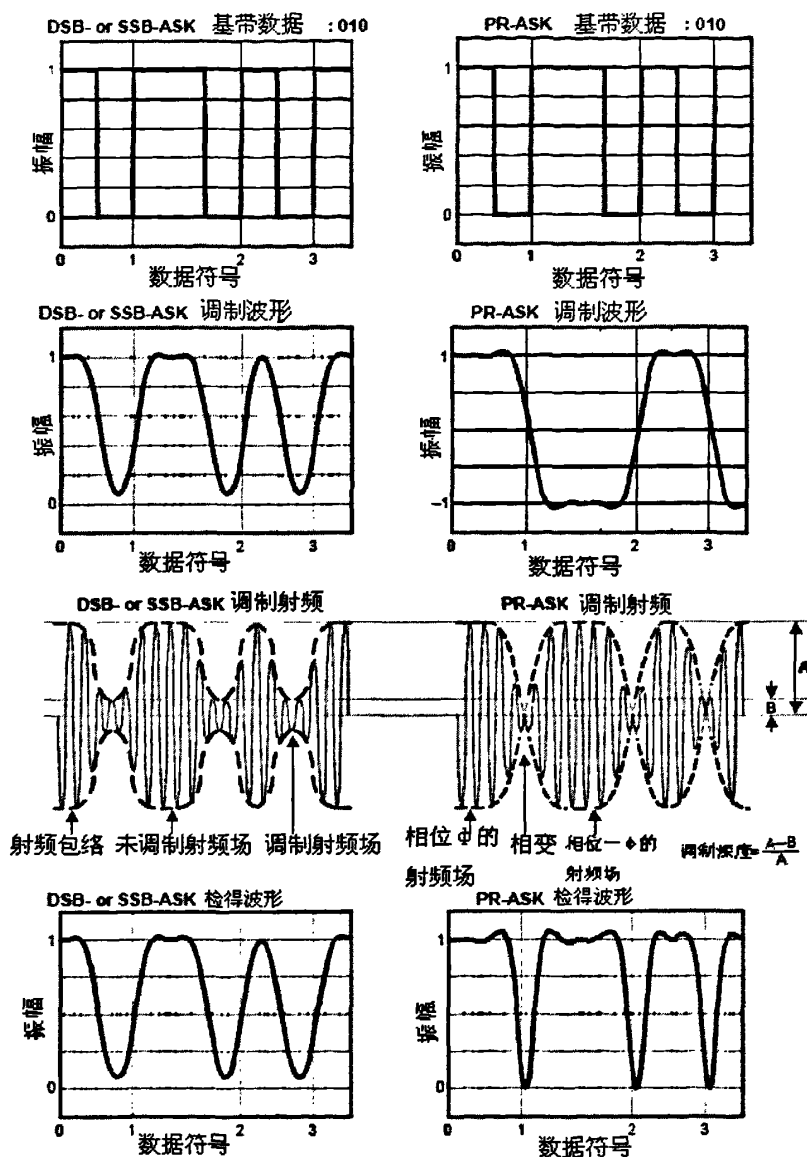


图 2-1 前向链路调制

2.2.2 后向链路 (T $\Rightarrow$ R) 调制方式

标签到阅读器的通信采用反向散射(backscatter)调制的方法, 调制方式采用 ASK 或者是 PSK。标签根据要发送的数据, 改变天线的反射系数, 从而改变反射波的波形, 将数据发送给阅读器。在反向散射中, 标签使用固定的调制格式, 数据编码和比特率。幅度键控的载波幅度受到数字数据的调制而取不同值, 它采用

包络检波，其实现简单，适合电子标签特点。相移键控用需要传输的数据值来调制载波相位，如用 180 相移表示 1，用 0 相移表示 0。

2.3 通信链路编码技术

2.3.1 前向链路 (R=>T) 编码方式

阅读器向标签发送的数据采用 PIE 编码方式。PIE 编码的原理是通过定义脉冲下降沿之间的不同时间宽度来表示数据 0 和 1。PIE 码字的波形如图 2-2 所示。 T_{ari} 为阅读器对标签发信的基准时间间隔，是数据至 0 的持续时间，标志着前向链路的数据速率。 T_{ari} 的取值应当符合当地无线电规则，其首选值如表 2.1 所示。高位值 1 代表阅读器所发送的连续载波，低位值代表减弱的连续载波。所有参数的公差应为 $\pm 1\%$ 。数据 0 和数据 1 的 PW 应相同，其最大取值为 $0.525T_{ari}$ ，最小取值为 $\text{MAX}(0.265T_{ari}, 2)$ 。

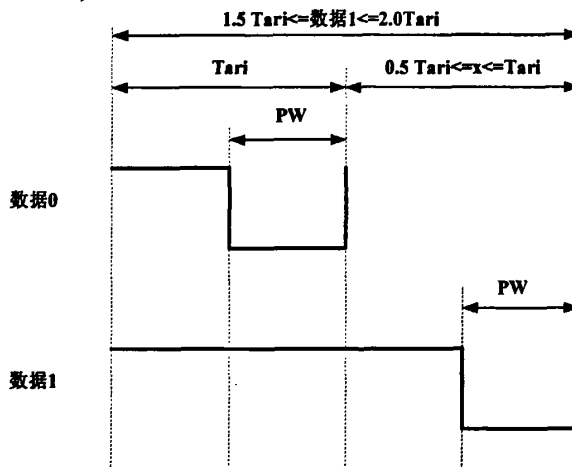


图 2-2 PIE 码字的波形

表 2-1 最佳询问机对标签 T_{ari} 值

Tari 值	Tari 值公差	频谱
6.25 μs	$\pm 1\%$	DSB-ASK、 SSB-ASK 或 PR-ASK
12.5 μs	$\pm 1\%$	
25 μs	$\pm 1\%$	

阅读器以前同步码或帧同步码开始所有 $R \Rightarrow T$ 发信命令，前同步码和帧同步码参见图 2-3 所示。前同步码应先于 Query 命令。其它发信命令则以帧同步码开始。所有以 T_{ari} 为单位的参数的公差均应为 $\pm 1\%$ 。前同步码应由固定长度的起始分界符、数据 0 符、 $R \Rightarrow T$ 校准 (R_{tcal}) 符和 $T \Rightarrow R$ 校准 (T_{rcal}) 符组成。标签在解码时，可以将数据 0 的长度与 R_{tcal} 的长度进行比较以确认前同步码。帧同步码等同于前同步码减去 T_{rcal} 符。PIE 编码是一种脉冲宽度变长的编码。

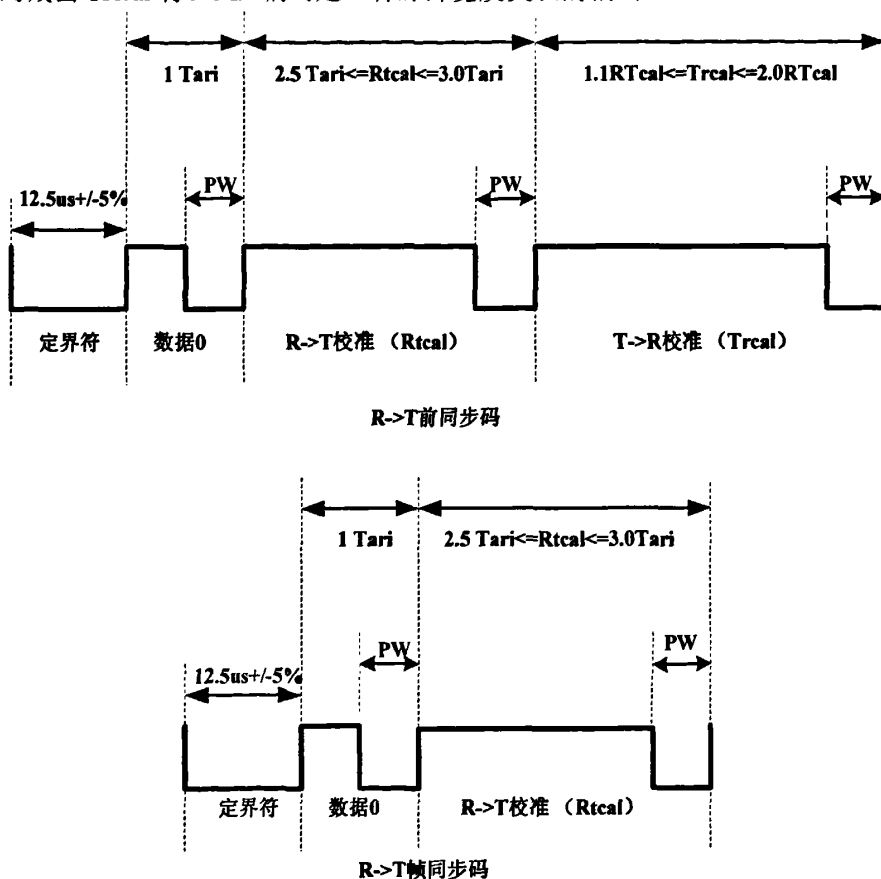


图 2-3 $R \Rightarrow T$ 前同步码和帧同步码

2.3.2 后向链路 ($T \Rightarrow R$) 编码方式

标签响应阅读器时，根据阅读器的指令选择采用 FM0 编码或者 Miller 编码。FM0 在每个数据边界倒转相位，数据 0 符号中间存在相位倒转。图 2-4 中的状态图描绘了所发送的 FM0 基本功能的逻辑数据序列。S1-S4 状态代表四种可能 FM0 编码符号，状态根据输入信号进行转换，则得到输入信号的 FM0 转换波形。

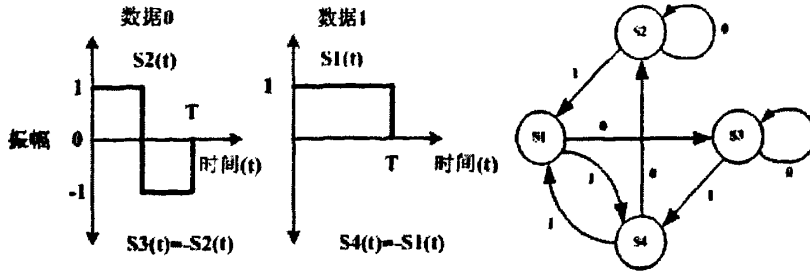


图 2-4 FM0 基本功能和状态图

图 2-5 显示了所发生的基带 FM0 符号和序列。图 2-6 则显示了 FM0 发信时每次应在传输结束时以“dummy”数据 1 结尾的可能情况。

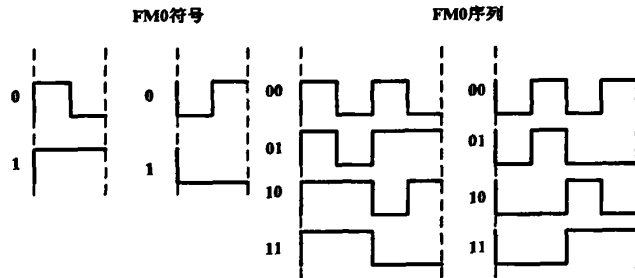


图 2-5 FM0 符号和序列

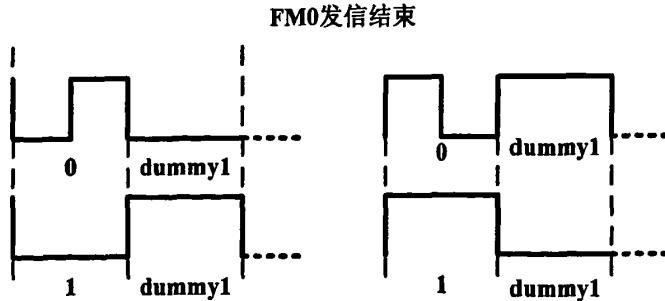


图 2-6 终止 FM0 传输

标签在使用 FM0 向阅读器返回数据时，应以图 2-7 所示的两个前同步码开始。前同步码的选择应根据 Query 命令规定的 TRext 位的数值选取。图 2-7 中所示的“v”表示 FM0 偏移情况。

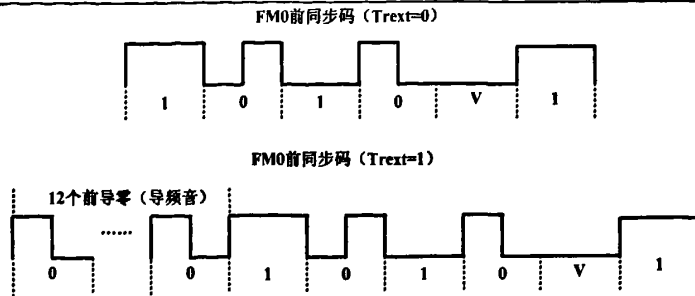


图 2-7 使用 FM0 发数据时的两种前同步码

基带 Miller 按顺序在两个数据 0 和 1 之间变换相位。基带 Miller 还在连续的数据 1 符号的中间放置一个相位倒转。图 2-8 所示的状态图描绘了基带 Miller 基本功能的逻辑数据序列。S1-S4 状态标记表明四种可能 Miller 编码符号,代表各 Miller 基本功能的两个相位。标签随输入不同进行状态转换,从而输出不同的 Miller 链路波形。

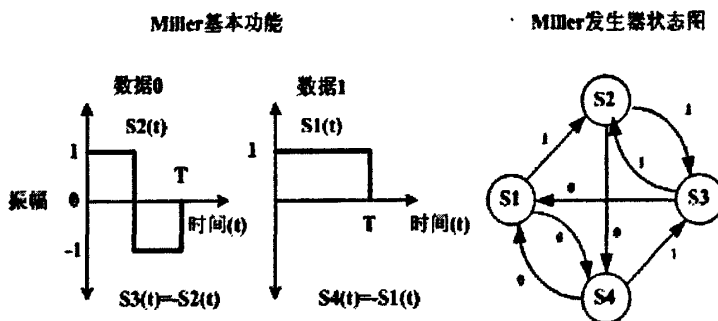


图 2-8 Miller 编码基本功能和状态图

Miller 序列每个数据位可能包含 2、4 或 8 个副载波周期,由 Query 命令规定的 M 值规定。图 2-9 显示 Miller 编码传输结束时以“dummy”数据-1 结尾的可能情况。

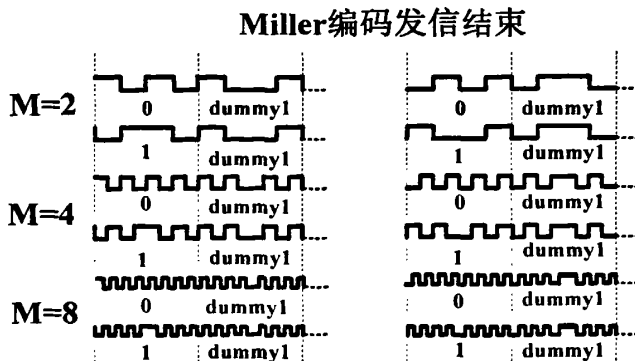


图 2-9 终止 Miller 调制副载波传输

当标签采用 Miller 编码向阅读器反射数据时, 需要根据阅读器的命令采用不同的码头, 如表 2-2 所示。前同步码的选择应以 Query 命令规定的 TRext 位的数值为准, 波形如图 2-10 所示。

表 2-2 Miller 编码的两种前同步码

M 值	TRext 值	Miller 前同步码结构
2	0	4 个“0”+“010111”
4	0	4 个“0”+“010111”
8	0	4 个“0”+“010111”
2	1	16 个“0”+“010111”
4	1	16 个“0”+“010111”
8	1	16 个“0”+“010111”

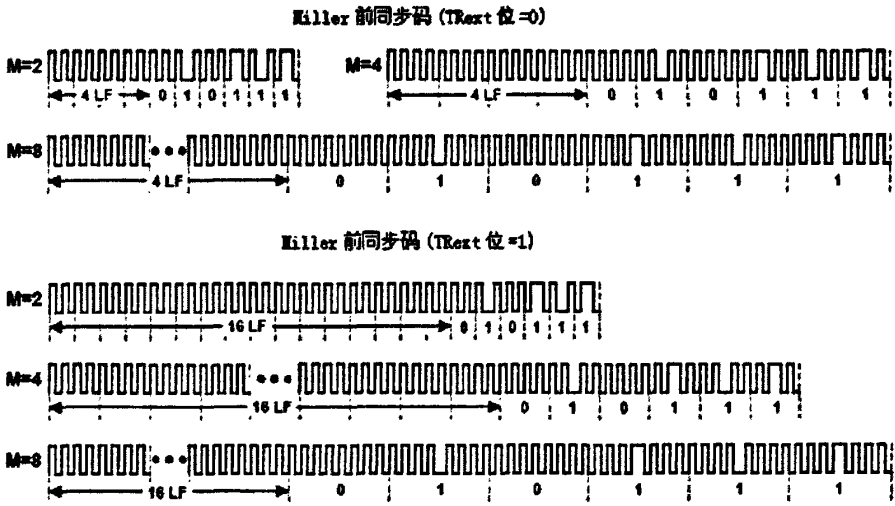


图 2-10 Miller 编码前同步码

第三章 ISO/IEC 18000-6C 标签芯片编解码电路前端设计及验证

数字基带控制电路在整个电子标签芯片设计中具有核心的地位，负责实现标签和阅读器的标签识别层通信，完成阅读器对标签的识别和访问。数字基带控制电路的前端电路，即编解码电路，负责将阅读器发送给标签的链路数据正确解码成有效命令数据，同时将标签的反馈信息编码为阅读器规定的链路数据格式。数字基带控制电路的编解码电路的性能直接影响到整个标签芯片与阅读器之间的互联互通，具有极为重要的作用。

3.1 编解码电路前端设计及验证流程

本文基于第二章对 ISO/IEC18000-6C 的空中接口协议的研究，结合数字 ASIC 的设计方法进行电子标签芯片数字基带控制电路的编解码电路的设计和验证，包括功能性设计和仿真验证及 FPGA 仿真验证。其设计及验证流程如图 3-1 所示。

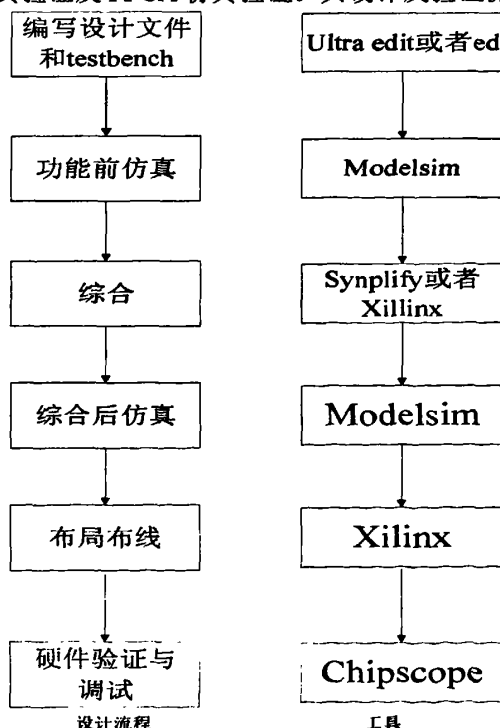


图 3-1 编解码电路前端设计及验证流程

3.2 FPGA 验证平台

本文做数字 ASIC 前端验证时, 采用了可编程逻辑的验证手段。在符合 ISO/IEC18000-6C 标准的 RFID 系统下, 将设计的编解码电路植入 FPGA, 观察其与阅读器的通信状态, 发现并纠正设计中的错误。本文采用的 FPGA 验证平台如图 3-2 所示。

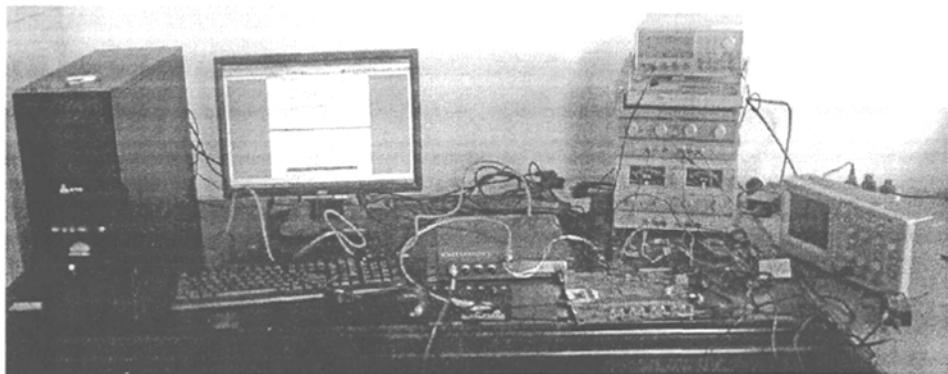


图 3-2 FPGA 验证平台

阅读器采用欧姆龙公司的“欧姆龙 V740”系列阅读器, 能访问 EPCglobal GEN2 的电子标签, 支持单阅读器单标签、单阅读器多标签以及多阅读器多标签等多种阅读方式, 支持通过外部接口与 PC 机进行互联, 通过应用软件设置阅读器参数, 控制阅读器的访问动作。欧姆龙阅读器与 PC 机的通信相对简单, 由于欧姆龙阅读器提供 10M/100M 的自适应网络接口, 只需要利用网线将计算机与阅读器相连接, 通过修改 IP 地址使二者处于同一局域网中, 最后经操作系统自带的 IE 浏览器即可对阅读器进行设置, 无需安装其余通信软件。欧姆龙阅读器采用命令分解的设计方式, 即阅读器能通过访问页面直接控制修改所发命令的具体数据内容。这种设计方式使得开发人员进行标签芯片的通信功能验证时, 能灵活的设置测试数据, 通过实际测试反馈的数据修正设计。

FPGA 开发平台采用 Xilinx 公司原厂提供的 XUP Virtex-II Pro FPGA 开发系统。该开发系统包含 30,816 个逻辑单元, 136 个 18 位乘法器, 2448Kb 块 RAM, 以及两个 PowerPC 处理器。板上设计了一个 DDR SDRAM DIM 插槽以支持内存扩展。同时系统集成了 10/100 以太网端口, USB2.0 端口, Compact Flash 卡插槽, XSGA 视频端口, 音频编解码, SATA 和 PS/2、RS-232 端口, 并具有用以连接 Digilent 扩展板的高速/低速扩展连接器。系统采用了数字时钟管理 (DCM) 宏单元支持去干扰和频率/相位操作, 提高了系统时钟的稳定度, 采用 Select I/O-Ultra 技术支持

各种标准的 I/O 接口, 包括 840Mbps 的低压差分 (LVDS) I/O, 采用 Xilinx 可控阻抗技术 (XCITE) 的能力, 提供对所有单端 I/O 的片内数字阻抗匹配。该开发系统能对标签芯片电路设计提供强大的硬件支持。

由于 FPGA 开发平台不具备信号的调制解调电路, 而且目前市面上鲜有专门针对 RFID 标签芯片设计的独立调制/解调电路, 因此采用自行设计制造的调制/解调电路作为硬件开发平台的外围模拟电路, 实现阅读器和标签之间信号的调制解调功能。

3.3 数字基带控制电路总体设计

本文设计的编解码电路是 ISO/IEC18000-6C 数字基带控制电路的两个模块电路, 其结构需要适应数字基带控制电路的总体设计。本文适用的数字基带控制电路的总体设计框图如图 3-3 所示。

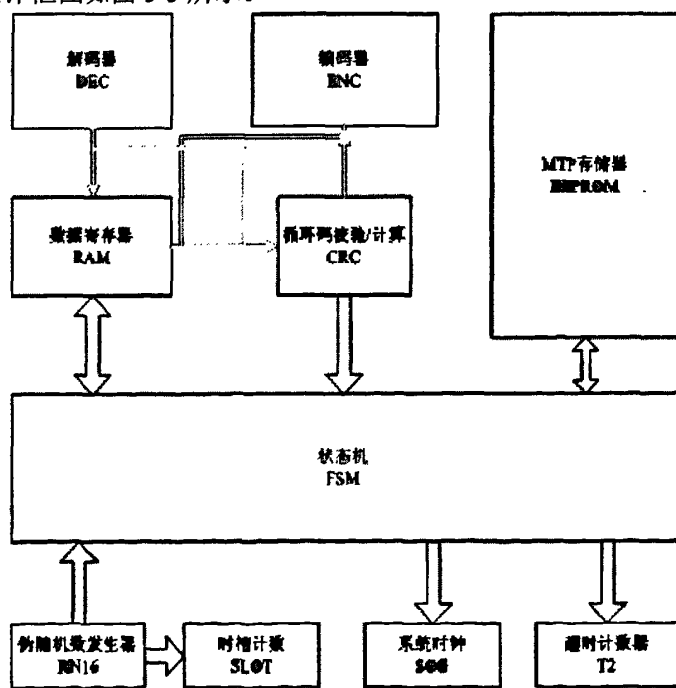


图 3-3 ISO/IEC 18000-6C 标签芯片数字基带控制电路结构

解码器对解调输出信号进行解码, 并提取前向链路命令信息, 解码输出数据经两路, 一路送往数据寄存器, 进行命令解析和预处理, 一路送往 CRC 模块进行 CRC 校验, 状态机负责控制各个模块, 检测 CRC 校验结果, 并根据命令解析结果

读取数据寄存器指令数据，分析指令及其对应的指令数据，执行自身状态的转换，执行对各个模块的操作，执行对时槽计数器和超时计数器的操作，执行对 EEPROM 存储器的读写操作，并且反向散射 RN16 或句柄以及 EEPROM 存储器内容。状态机将反向散射数据写入数据寄存器，进行数据预处理，并选择是否进行 CRC 计算，数据寄存器或者 CRC 模块输出数据送入编码器，根据状态机规定进行 FM0 编码，Miller2、Miller4、Miller8 编码。状态机同时还控制系统时钟模块时钟的产生，产生各个模块所需的工作时钟。状态机内部处理电路，伪随机数发生器，时槽计数器，超时计数器一起构成防碰撞电路。

3.4 解码器电路设计及验证

解码器的功能主要是对前向链路解调输出信号进行 PIE 脉冲间隔解码，分离前同步码以及帧同步头部分，解码出数据，给出解码时钟，并且提取反向链路速率 TRCAL 值。

3.4.1 解码器电路设计

由于前向链路 (R=>T) 编码方式为脉宽调制 PIE 编码，对其解码主要的方法是使用高速时钟对其采样，根据采样结果判断 PIE 数据为有效二进制命令数据。前向链路数据速率为 40Kbps、80Kbps、160Kbps 三种，因此解码器必须能对这三种速率进行有效的计数解码。

解码器的结构框图如图 3-4 所示，外部端口定义如表 3-1 所示。

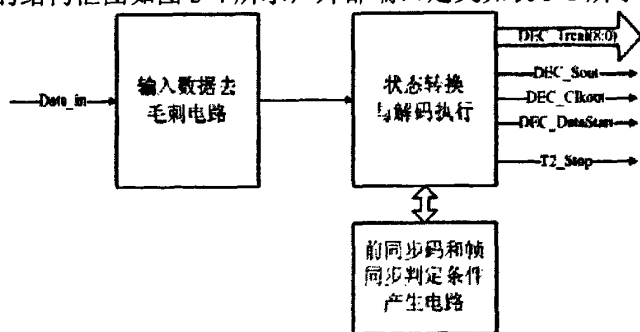


图 3-4 ISO/IEC 18000-6C 标签芯片解码电路结构

表 3-1 解码器模块端口定义

端口	比特数	I/O	端口说明
Rst_Sys	1-bit	I	全局异步复位端

DEC_en	1-bit	I	模块使能, 高有效
Clk_Sys	1-bit	I	系统时钟输入 1.28MHz
Data_in	1-bit	I	解调输出, 解码器输入
DEC_Trcal	9-bit	O	Trcal 值, 输出给系统时钟模块
Dec_DataStart	1-bit	O	解码数据输出开始信号, 高有效
Dec_Sout	1-bit	O	解码输出串行数据
Dec_Clkout	1-bit	O	解码输出时钟
T2_Stop	1-bit	O	T2 计数器停止计数信号, 高有效

由于解调以后进入解码器的数据并非理想的数字信号, 而是可能存在很多毛刺或冒险的数字信号。若直接进入解码器进行状态转换并解码, 由于状态机输入电路组合逻辑的复杂性, 该数据到达状态机电路的各个部分由于毛刺的存在和路径的延迟特征可能造成各点采样到的数据并不相同, 从而造成状态机转换和解码出错。采用一级寄存器对输入数据进行去毛刺, 采用状态机对输入数据进行计数解码, 同时应用组合逻辑产生三个不同前向链路速率模式下的数据帧格式的判定条件。解码器的状态定义如图 3-5 所示。

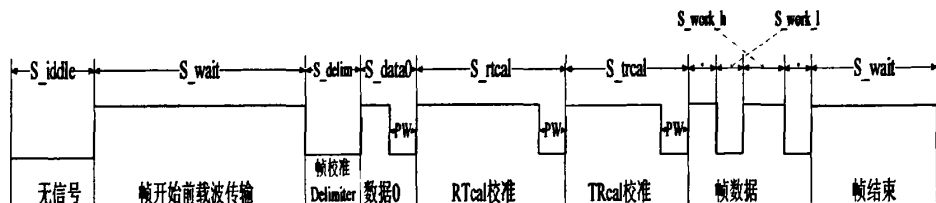


图 3-5 解码器状态定义图

S_idle: 无信号状态, 即阅读器未发送任何数据和有效载波传输。

S_wait: 等待状态, 即阅读器在开始一帧数据传输之间的载波传输状态, 以及帧数据传输完成以后的高电平载波传输。

S_delim: 帧校准状态, 即帧开始之前 12.5us 的定界符。

S_data0: 数据 0 状态, 即紧跟定界符后面的数据-0 符, 通过比较该数据-0 符可以得出前向链路的数据速率。

S_rtc: RTcal 校准状态, 即 RTcal 校准传输期间。

S_trcal: TRcal 校准状态, 即 TRcal 校准传输期间。

S_work_h: 帧有效数据高电平传输期间。

S_work_l: 帧有效数据低电平传输期间。

解码器状态转换如图 3-6 所示。

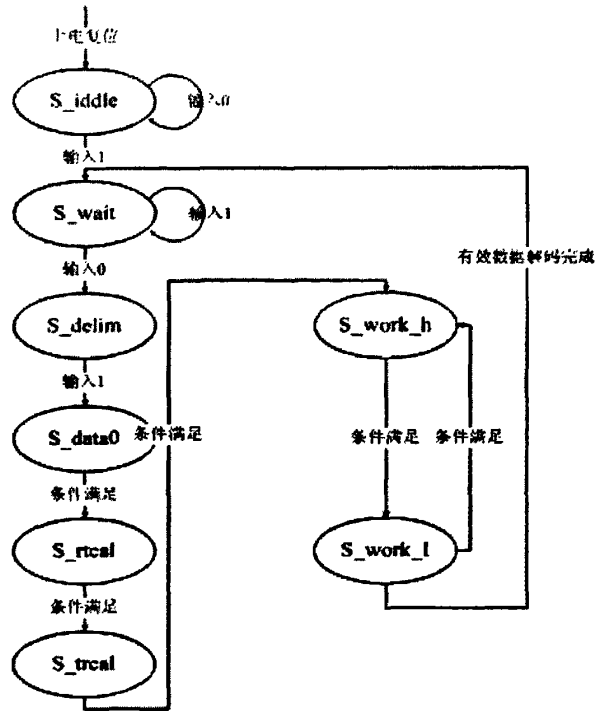


图 3-6 解码器状态转换图

解码器的状态转换实质上根据帧格式顺序进行转换，当满足条件时即转换到帧格式的下一个状态，不满足条件时如果继续输入是 0 则转换到空闲状态 S_idle ，输入是 1 则转换至等待状态 S_wait 。图 4.5 中的转换条件是帧格式中每个帧格式需要满足的时间宽度。解码器各个状态的有效时间宽度如下：

S_delim : 12.5us

S_data0 : 6.25us, 12.5us, 25us (即 T_{ari} 值)

S_rtc1 : $[2.5T_{ari}, 3.0T_{ari}]$

S_trcal : $[1.1R_{tcal}, 3R_{tcal}]$

数据 0: $1T_{ari}$

数据 1: $[1.5T_{ari}, 2.0T_{ari}]$

PW 值: $[\max(0.265T_{ari}, 2), 0.525T_{ari}]$

为准确的判定各个状态的有效性，需要首先对计算 S_data0 的长度，进而求出 S_data0 、 S_rtc1 、 S_trcal 、数据 0 和数据 1 的有效范围。本文将所有有效条件转换为采样时钟单位的倍数，如表 3.2 所示，只要采样得到的数值在表 3.2 所列的有效范围之内，则认为有效条件。

表 3-2 解码器各个状态有效时间宽度

	40k	80k	160k
S_delim	16		
S_data0	32	16	8
S_rtccl	[80, 96]	[40, 48]	[20, 24]
S_trccl	[96.8, 264]	[49.6, 132]	[24.8, 66]
PW 值	[8.48, 16.8]	[4.24, 8.4]	[2.56, 4.2]

其中 S_trccl 是以 rtccl 值的中间值乘以[1.1, 3]而得。

适当扩大状态有效值范围, 我们使用下面的经验值来实现解码, 以 1.28MHz 时钟周期为单位。

S_delim: [16-5, 16+5]

S_data0: [32-4, 34+4] 40k

[16-2, 16+2] 80k

[8-2, 8+2] 160k

S_rtccl: [80-5, 96+2] 40k

[40-3, 48+2] 80k

[20-3, 24+1] 160k

S_trccl: [96-6, 264] 40k

[49-4, 132] 80k

[24-2, 66] 160k

数据 0: 小于 1/2 长度 rtccl

数据 1: 大于 1/2 长度 rtccl

帧结束: S_work_h 状态时高电平 1 的长度大于或等于 $\frac{rtccl}{2}+2$ 。

3.4.2 解码器电路验证

解码器电路验证方式分为功能性验证和 FPGA 验证两部分。功能验证是 RTL 级的仿真实验, 利用 Modelsim 软件在 testbench 激励下观察 RTL 代码内部信号的响应方式, 查找问题并解决问题。功能验证的覆盖率依赖于测试向量的完备性。解码器电路的功能验证结果如图 3-7 所示。由图可以看出, 解码器电路能正确解码 PIE 数据。

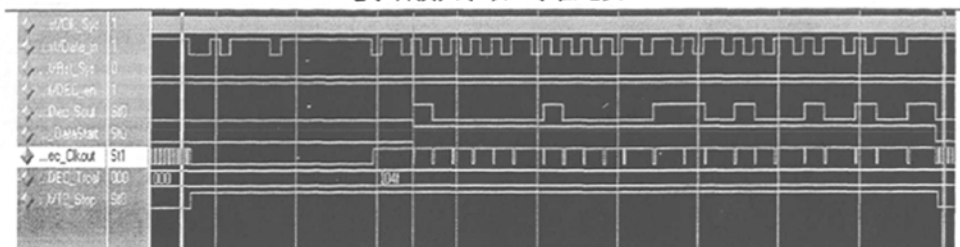


图 3-7 解码器功能仿真结果

FPGA 验证是将 RTL 级的描述映射为以 FPGA 的基本单元构成的数字电路，在真实阅读的激励信号下观察数字电路的响应，发现并解决设计中的问题。利用 Xilinx 公司提供的软件 chipscope，很容易观察到 FPGA 内部的各种信号。FPGA 的验证结果如图 3-8 所示，从图中可以看出，解码器在 FPGA 环境下也能正确解出 PIE 数据。在 dec_clkout 信号的下降沿输出一个有效数据，后级电路需要在 dec_clkout 信号的上升沿去捕捉该有效数据。

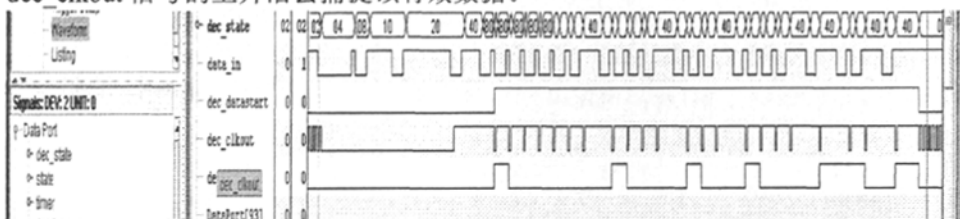


图 3-8 CHIPSCOPE 捕捉 FPGA 解码结果

3.5 编码器电路设计及验证

编码器将数据寄存器或者循环码校验计算模块输出的数据进行编码，输出到模拟射频前端的调制电路。编码方式分为 FM0、Miller2、Miller4、Miller8 编码，通信中使用哪种编码方式需要根据阅读器的命令选取。编码器的编码时钟系统时钟模块产生，即电子标签的数字基带电路的状态机根据阅读器命令选择编码码率，并提供编码时钟给编码器工作。

3.5.1 编码器电路设计

根据 ISO/IEC18000-6C 标准规定，编码器需满足反向链路频率最高为 640kHz 的编码要求，因此编码时钟为链路频率的 2 倍，即 1.28MHz，这也是整个电子标签数字基带控制电路的主频时钟频率。

根据整个电子标签数字基带控制电路的要求，编码器需具备的输入输出端口

如表 3-3 所示。

表 3-3 编码器端口定义

端口	比特数	I/O	端口说明
Rst_Sys	1-bit	I	全局异步复位端
ENC_en	1-bit	I	模块使能，高有效
Clk_Encoded	1-bit	I	编码输出时钟
Clk_RAM	1-bit	I	编码输入时钟
CRC_Sout	2-bit	I	CRC 串行数据输入
CRC_Start	4-bit	I	CRC 数据输入开始标志
RAM_Sout	16-bit	I	RAM 串行数据输入
RAM_DataStart	1-bit	I	RAM 数据输入开始标志
ENCin_CR_Sel	1-bit	I	编码数据输入选择
Trext	1-bit	I	导频音模式选择
M	2-bit	I	编码模式选择
Data_out	1-bit	O	编码串行输出
ENC_Over	1-bit	O	编码完成信号

模块内部设计框图如图 3-9 所示。

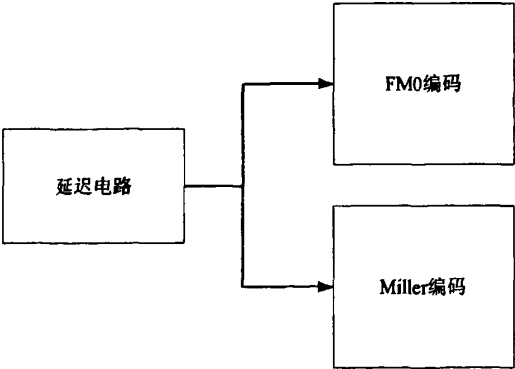


图 3-9 编码器模块内部设计框图

使用寄存器对输入数据和数据开始信号 start 进行延迟，以满足 FM0 编码和 Miller 编码的编码时序。如图 3-10，分别采用 22 位寄存器进行延迟，并选择输出编码需要使用的延迟后数据和信号。

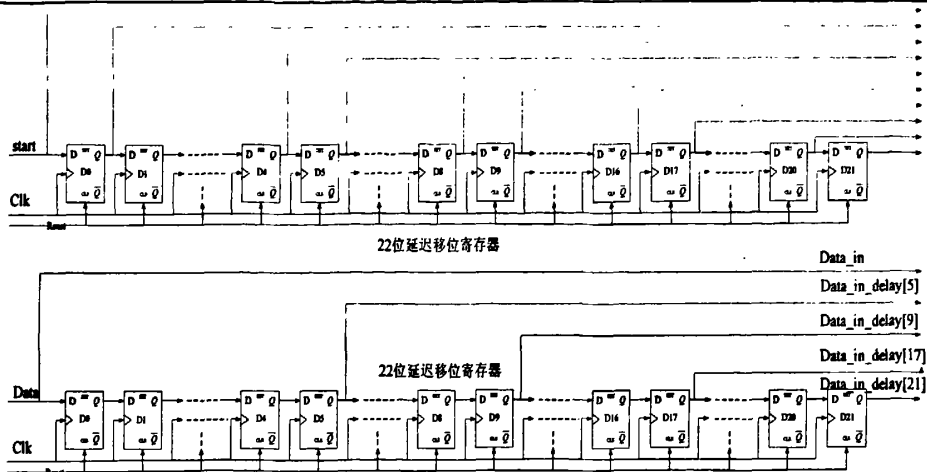


图 3-10 延迟寄存器电路

3.5.1.1 FM0 编码

FM0 编码的编码时序如图 3-11 所示。采用状态机进行编码，状态定义如下：

S_idle: 空闲状态

S_pilot: 前导频音编码状态

S_sync: 前同步码编码状态

S1: +1, 即输出 11

S2: +0, 即输出 10

S3: -0, 即输出 01

S4: -1, 即输出 00

状态机的状态转换按图 3-11 中编码时序依次进行编码，状态转换如图 3-12 所示。编码过程中需要对输入数据进行组合，将 Dummy1 添加到输入数据后面，然后按照正常方式进行编码。

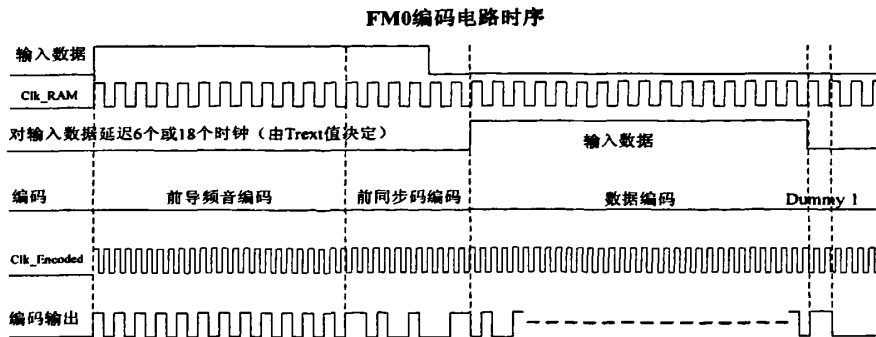
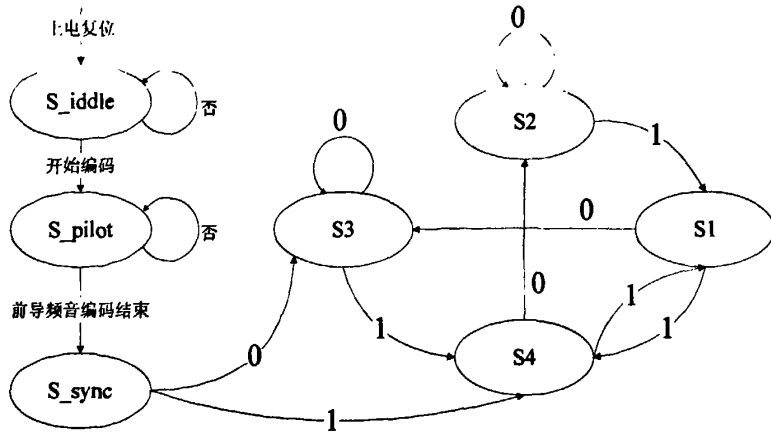


图 3-11 FM0 编码电路原理时序图



3.5.1.2 Miller 编码

Miller 编码的编码时序如图 3-13 所示，编码状态转换图如图 3-14 所示。同样采用状态机进行编码，状态定义如下：

S_idle: 空闲状态

S_pilot: 前导频音编码状态

S1: +1，即输出 11

S2: +0，即输出 10

S3: -0，即输出 01

S4: -1，即输出 00

Miller 编码器的编码状态与 FM0 编码器的编码状态定义相比，少了前同步码编码状态，原因在于 Miller 码的前同步码是将数据 010111 进行正常数据编码的结果，因此我们在编码过程中将前同步码添加到数据前面，同样在数据最后添加一个比特“1”，然后按正常方式进行编码。

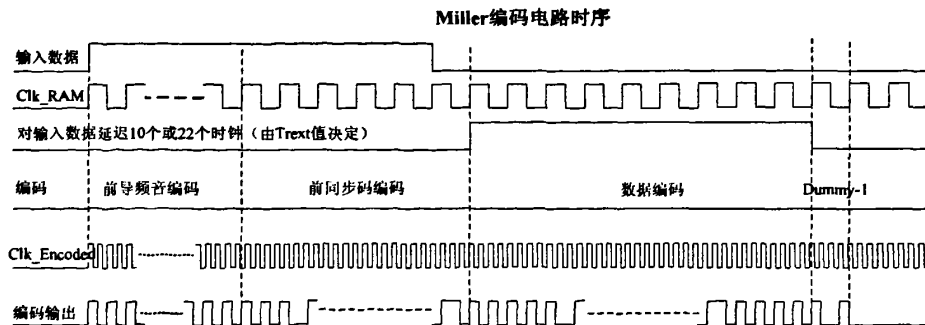


图 3-13 Miller 编码电路原理时序图

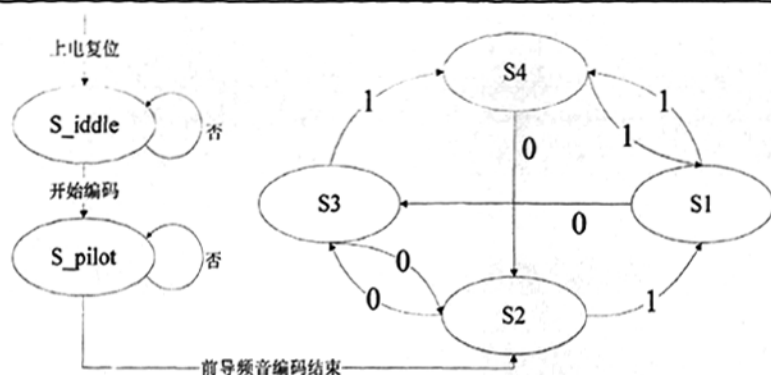


图 3-14 Miller 编码状态转换图

3.5.2 编码器电路验证

编码器电路验证方式分为功能性验证和 FPGA 验证两部分。功能验证是 RTL 级的仿真验证，利用 Modelsim 软件在 testbench 激励下观察 RTL 代码内部信号的响应方式，查找问题并解决问题。功能验证的覆盖率依赖于测试向量的完备性。编码器电路的功能验证结果如图 3-15 和 3-22 所示。由图可以看出，编码器电路能正确根据输入信号进行编码。

FM0 编码: Ttext=0, 无前导频音

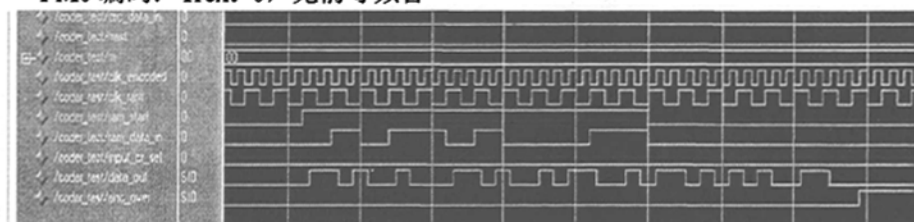


图 3-15 FM0 编码功能仿真，无前导频音

FM0 编码: Ttext=1, 有前导频音

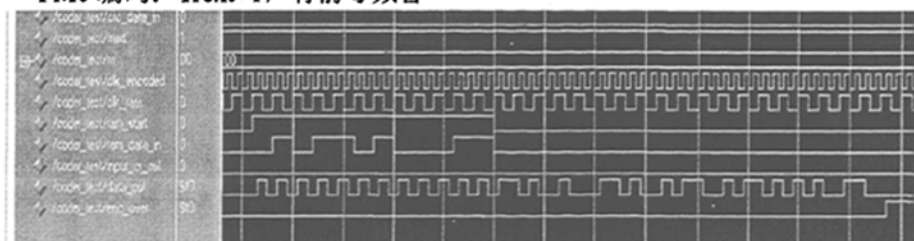


图 3-16 FM0 编码功能仿真，有前导频音

Miller 编码: Ttext=0, 无前导频音, M=2'b01, Miller2 编码

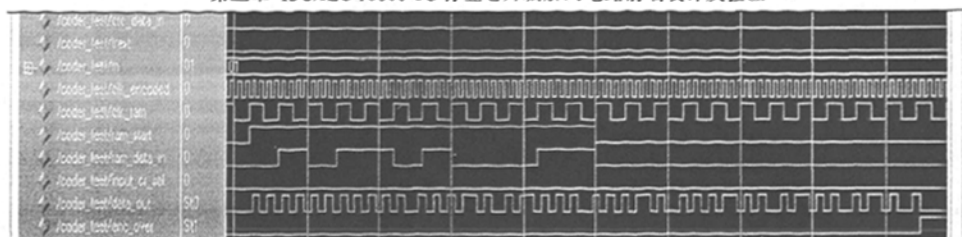


图 3-17 Miller2 编码功能仿真, 无前导频音

Miller 编码: Ttext=1, 有前导频音, M=2'b01, Miller2 编码

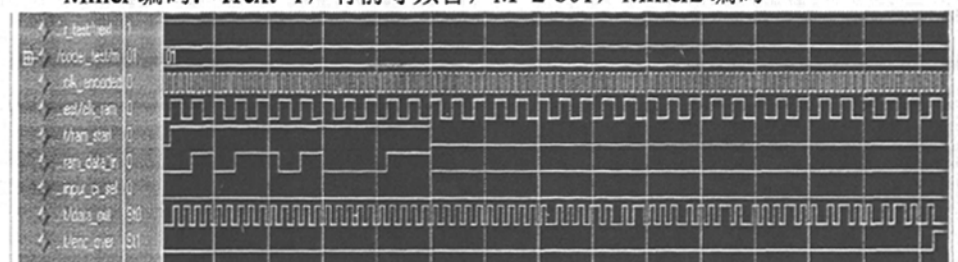


图 3-18 Miller2 编码功能仿真, 有前导频音

Miller 编码: T_{text}=0, 无前导频音, M=2'b10, Miller4 编码

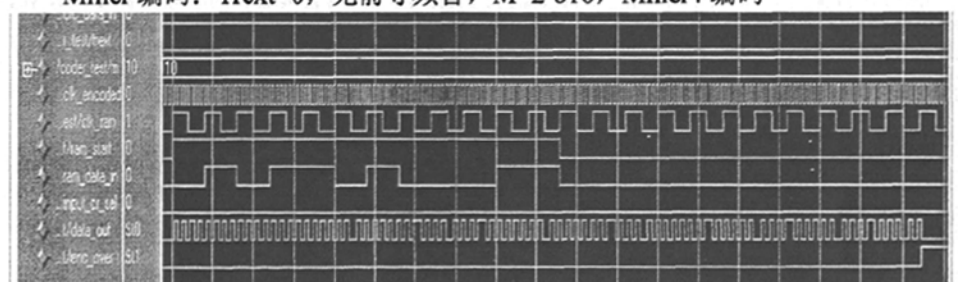


图 3-19 Miller4 编码功能仿真, 无前导频音

Miller 编码: T_{text}=1, 有前导频音, M=2'b10, Miller4 编码

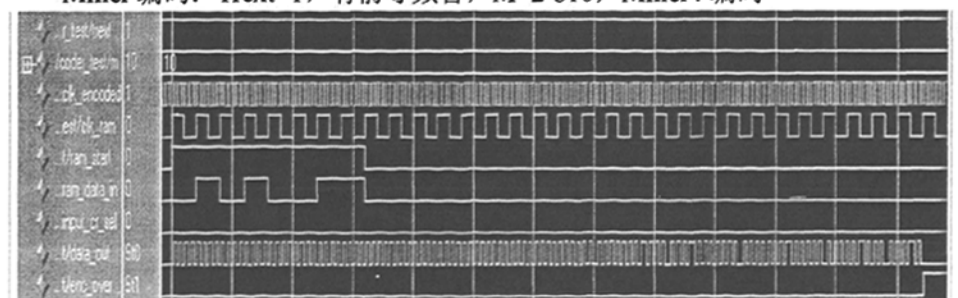


图 3-20 Miller4 编码功能仿真, 有前导频音

Miller 编码: T_{text}=0, 无前导频音, M=2'b11, Miller8 编码

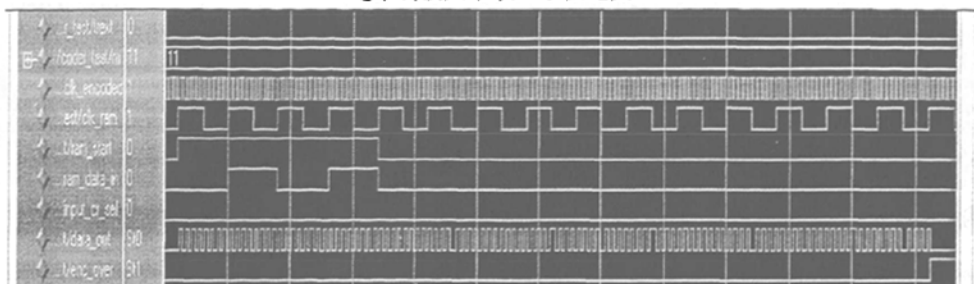


图 3-21 Miller8 编码功能仿真，无前导频音

Miller 编码: $T_{\text{rest}}=1$, 有前导频音, $M=2'b11$, Miller8 编码

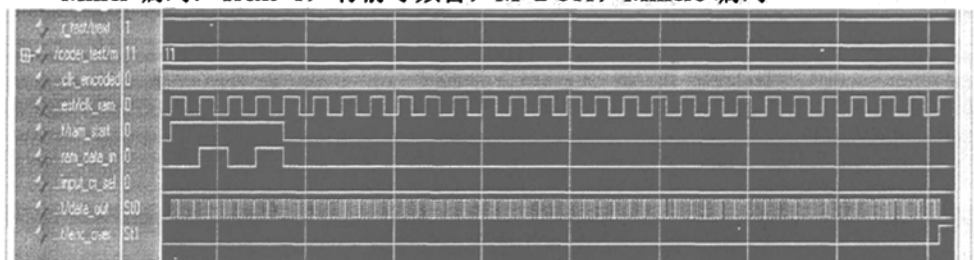


图 3-22 Miller8 编码功能仿真，有前导频音

FPGA 验证是将 RTL 级的描述映射为以 FPGA 的基本单元构成的数字电路，在真实阅读的激励信号下观察数字电路的响应，发现并解决设计中的问题。利用 Xilinx 公司提供的软件 chipscope，很容易观察到 FPGA 内部的各种信号。编码器的 FPGA 的验证结果如图 3-23 所示，从图中可以看出，编码器在 FPGA 环境下也能正确编码输入数据，且被阅读器正确识别，证明设计的编码器功能是正确的。FPGA 返回的响应信息图 3-23 中第二行信息中的较长帧数据如图 3-24 所示，其编码格式是 FM0 编码，返回的数据是 0x3000abcdcdeffff000000001000f0753。

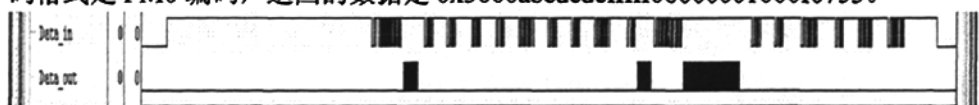


图 3-23 阅读器与 FPGA 的访问过程



图 3-24 返回的长数据

第四章 ISO/IEC 18000-6C 标签芯片编解码电路后端设计及验证

ISO/IEC 18000-6C 标签芯片编解码电路后端设计是将经前端验证通过的 RTL 代码映射可由半导体代工厂加工的物理电路的过程。后端设计一般包括综合、布局布线、验证等，后端设计是前端设计的后续物理设计，是进一步的映射到可加工工艺。

4.1 基于标准单元的 ASIC 设计

基于标准单元的 ASIC 设计方法的主要特征是以硬件描述语言为设计手段，采用自顶向下的设计方法，把电路原理图描述为基于语言的标准单元或者 IP 的互连网表。

1. 硬件描述语言

硬件描述语言 HDL 是一种用形式化方法描述数字电路和系统的语言。利用这种语言，数字电路系统的设计可以从上层到下层（从抽象到具体）逐层描述自己的设计思想，用一系列分层次的模块来表示极其复杂的数字系统。然后，利用电子设计自动化（EDA）工具，逐层进行仿真验证，再把其中需要变为实际电路的模块组合，经过自动综合工具转换到门级电路网表，根据网表和某种工艺的器件在 EDA 工具中自动生成具体电路，然后生成该工艺条件下这种具体电路的延时模型。仿真验证无误后，用于制造 ASIC 芯片或写入 PLD 器件中^[16]。

2. 自顶向下(Top-down)的设计流程

基于标准单元的 ASIC 设计采用 Top-down 的设计流程，即自顶向下的设计。首先从系统设计入手，在顶层进行系统功能划分和结构设计。在功能级进行仿真、纠错，并用硬件描述语言对高层次系统行为进行描述并仿真验证，然后用综合工具将高层行为设计转化为具体的门级网表，最后实现为专用集成电路（ASIC）。由于设计的主要仿真和调试过程是在高层次上完成的，这不仅有利于早期发现结构设计上的错误，避免设计工作的浪费，而且也减少了逻辑功能仿真的工作量，提高了设计的一次成功率。基于标准单元的 ASIC 设计流程如图 4-1 所示。

3. IP 核的复用

传统的专用集成电路设计方法的核心在于以客户或者第三方 IP 提供商调试好

大量的标准单元(cell)和硬宏为基础进行大规模集成电路的设计,但是随着工艺水平的不断进步,器件的特征尺寸和工艺参数都发生了变化,虽然从理论上来说,可以更新工艺库,但是将数以百万计的单元移植到新的工艺上带来的工作量无疑是巨大的。既延长了开发时间,又加大了开发成本。为了提高系统的设计效率,缩短设计周期,最简捷也是必须的方法就是要能够充分利用以前的设计成果。因此以所谓的 IP(知识产权)核技术为依托的自底向上的设计方法重新受到欢迎。但是,由于不同的制造工厂使用不同的工艺技术,因此工艺技术的不兼容性已经成为这种设计方法发展的最大障碍。因此,越来越多的公司和厂家已经意识到了这个问题,一些工业联盟已经开始着手开发可以兼容多种工艺的技术^{[17][18]}。

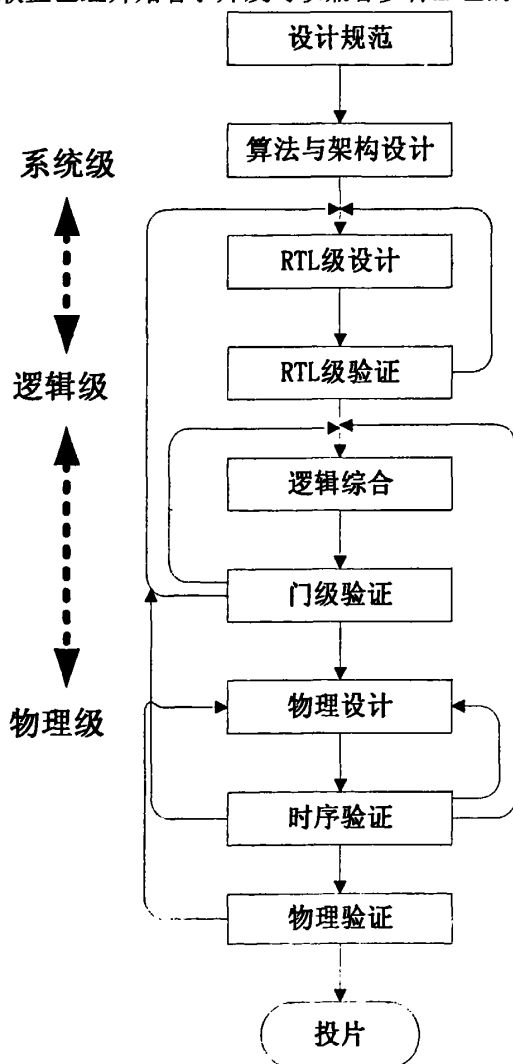


图 4-1 基于标准单元的 ASIC 设计流程

4.2 标准单元工艺库

本文采用台积电公司提供的 0.18um mm/RF 工艺, 设计规则文件为 t-lo-dr-001, 台积电提供基于该设计规则的标准数字单元库、存储器库和 IO 库。

4.3 逻辑综合

用 Verilog 或 VHDL 或 SystemC 等硬件描述语言设计的电路, 需要将语言描述转换为门级电路图描述, 即用芯片制造商(Foundry)提供的基本单元库(目标工艺库)实现用硬件描述语言(Verilog 或 VHDL 或 SystemC 等)描述的寄存器级(RTL 级)电路的功能, 这个过程就叫做综合。

综合有行为综合(也叫高层次综合)、逻辑综合和物理综合之分。这里提及的综合, 是指逻辑综合。

逻辑综合的目的: 决定电路门级结构、寻求功耗与时序的平衡、寻求时序和与面积的平衡、增强电路的测试性和可制造性。

逻辑综合的过程: 首先, 综合工具分析 HDL 代码, 用一种通用模型(GTECH), 对 HDL 进行映射, 这个模型是与技术库无关的; 然后, 在设计者的控制下, 对这个模型进行逻辑优化; 最后进行逻辑映射和门级优化, 将逻辑根据约束, 把通用库中的元件映射为基于工艺的目标电路单元库(target cell library)中的元件, 形成了综合后的基于目标工艺库的电路网表。

逻辑综合的过程可以分为三个步骤:

翻译(Translation): 读入电路的 RTL 级硬件语言描述, 并将语言转译成每条语句所对应的功能模块以及功能模块之间的拓扑结构, 这一过程的结果是在综合器内部生成的逻辑的布尔函数表达, 不做任何的逻辑重组和优化。

逻辑优化(Logic Optimization): 基于所施加的一定时序、面积和功耗的约束条件, 综合器按照一定的算法对转译结果做逻辑重组和优化。

映射(Mapping): 根据所施加的一定的时序、功耗和面积的约束条件, 综合器从目标工艺库中选取符合条件的单元来构成实际电路。

目标工艺库: 目标工艺库是指 RTL 级的硬件语言描述映射到门级时所需的标准单元库, 它是由芯片制造商(Foundry)提供的, 包含了物理版图信息的单元电路。通常芯片制造商提供的基本电路单元有: 与非、或非、非门等基本的逻辑单元; 还有选择器、多路复用器等较复杂的组合逻辑, 以及锁存器和触发器等时序逻辑

单元。在进行综合时，需要针对不同的工艺线和工作条件，设置不同的目标工艺库^[19]。

随着 ASIC/SoC 芯片的规模增大，对于 EDA 供应商提供的综合工具要求也越来越高。现在流行的综合工具有 Synopsys 公司的 Design Compiler 和 Cadence 公司的 RTL Compiler 等。不论使用什么样得综合工具，设计步骤大致相同。下面以 Synopsys 公司的 Design Compiler 为例讲述一下电子标签芯片中编解码电路的逻辑综合的过程。

4.3.1 编解码器电路逻辑综合过程

1.综合环境的配置

用来指定 DesignCompiler 搜索的路径和综合时调用的库。

```
set search_path "$search_path ./libs ./db ./source"
set link_library  "*" tcb018mmhdbwptcld0.db tcb018mmhdbwpwc0d9.db
tcb018mmhdbwpbcld1.db"
set target_library "tcb018mmhdbwptcld0.db"
```

2.为了保证在后端布局布线设计中能很快的达到时序收敛，在设定时钟的约束时保留了 10% 的裕量。电子标签芯片中编解码电路的时钟的周期是 780ns，属于慢速时钟。一般高速电路的建立时间难以满足，低速电路的保持时间难以满足，因此分析综合后逻辑网表的时序应分别根据快时钟和慢时钟来分析，最快时钟周期应该比编解码电路的最快时钟周期 1.28MHz 更快，最慢时钟周期应该比编解码电路的最慢时钟周期 80KHz 更慢。由于编解码电路的主频时钟较慢，建立时间静态时序较易满足，保持时间较难满足。在逻辑综合时保证建立时间满足要求，而保持时间的调整放在布局布线时钟树综合时处理。

3.时序例外情况的处理

在综合的时候要对一些时序例外情况进行特殊设置或者处理。

(1)伪路径 false_path

False path 指在做静态时序分析时，其分析结果无论满足时序还是不满足时序都对电路功能没有影响的路径。做静态时序分析时设置为 false_path，使 EDA 工具不去分析这些路径。编解码电路中存在伪路径，对于这些路径，应该进行特殊处理，应该用 set_false_path 命令将它们声明成伪路径。

(2)多周期路径 multicycle_path

多周期路径是相对于单周期路径而言。多周期路径指一个时钟域与其倍频时钟域之间存在数据交换的路径，在做静态时序分析时必须标明这些多周期路径。编解码电路中存在多周期路径，对于这些路径，在综合时，应用命令 `set_multicycle_path` 进行显示声明。

4. 编解码器电路综合脚本

解码器电路综合脚本为：

```
analyze -format verilog {/home/rfic301/synopsys/paper/source/decode.v}
elaborate decode -architecture verilog -library WORK
create_clock -name "clk_sys" -period 700 -waveform { 0 350 } { clk_sys }
set_dont_touch_network [ find port rst ]
set_clock_latency 10 [get_clocks clk_sys]
set_clock_uncertainty 10 [get_clocks clk_sys]
set_clock_transition 80 [get_clocks clk_sys]
set_fix_hold [ find clock clk_sys]
set_wire_load_model -name TSMC16K_Conservative -library
tcb018mmhdbwptc1d0
derive_timing_constraints -fix_hold -max_delay_scale 1.00 -min_delay_scale 1.00
-period_scale 1.00
set_max_area 0
set_false_path -setup -to [get_ports -filter {@port_direction == out}]
compile -exact_map
编码器综合脚本为：
```

```
analyze -format verilog {/home/rfic301/synopsys/paper/source/encode.v
/home/rfic301/synopsys/paper/source/fm0.v
/home/rfic301/synopsys/paper/source/Miller.v}
elaborate encode -architecture verilog -library WORK
create_clock -name "clk_ram" -period 1400 -waveform { 0 700 } { clk_ram }
create_clock -name "clk_encoded" -period 700 -waveform { 0 350 }
{ clk_encoded }
set_dont_touch_network [ find clock clk_ram ]
set_dont_touch_network [ find clock clk_encoded ]
set_dont_touch_network [ find port rst ]
```

```

set_clock_latency 2 [get_clocks clk_encoded]
set_clock_latency 5 [get_clocks clk_ram]
set_clock_uncertainty 10 [get_clocks clk_ram]
set_clock_uncertainty 10 [get_clocks clk_encoded]
set_clock_transition 80 [get_clocks clk_encoded]
set_clock_transition 80 [get_clocks clk_ram]
set_fix_hold [find_clock clk_encoded]
set_fix_hold [find_clock clk_ram]
set_wire_load_model -name TSMC16K_Conservative -library
tcb018mmhdbwptc1d0
derive_timing_constraints -fix_hold -max_delay_scale 1.00 -min_delay_scale 1.00
-period_scale 1.00
set_max_area 0
set_false_path -setup -to [get_ports -filter {@port_direction == out}]
set_false_path -hold -from [get_ports -filter {@port_direction == in}]
compile -exact_map

```

4.3.2 编解码器电路逻辑综合结果分析

在逻辑完成综合以后，可以用 `report` 命令将电路的一些重要信息报告出来分析，综合报告中主要包括面积和时序信息。阅读综合报告非常重要，因为可以从了解芯片的大致情况，同时可以发现综合或者设计中存在的问题。

1. 面积信息，从综合面积报告中我们可以了解芯片的大概面积。解码器的面积报告为：

```

*****
Report : area
Design : decode
Version: Z-2007.03-SP2
Date   : Tue Apr7 14:27:35 2009
*****
Library(s) Used:
    tcb018mmhdbwptc1d0 (File:

```

/home/rfic301/synopsys/paper/libs/tcb018mmhdbwptc1d0.db)

Number of ports:	17
Number of nets:	338
Number of cells:	283
Number of references:	50
Combinational area:	3400.364748
Noncombinational area:	2074.464043
Net Interconnect area:	undefined (Wire load has zero net area)
Total cell area:	5474.828613
Total area:	undefined

编码器的面积报告为:

Report : area

Design : encode

Version: Z-2007.03-SP2

Date : Tue Apr7 14:31:49 2009

Library(s) Used:

tcb018mmhdbwptc1d0 (File:

/home/rfic301/synopsys/paper/libs/tcb018mmhdbwptc1d0.db)

Number of ports:	14
Number of nets:	162
Number of cells:	148
Number of references:	9
Combinational area:	4126.975937
Noncombinational area:	4932.614479
Net Interconnect area:	undefined (Wire load has zero net area)
Total cell area:	9059.590820
Total area:	undefined

2.时序信息, 综合报告中除了面积信息外, 还有时序信息, 而且更为重要, 在查看综合报告中的时序信息时尤其注意。本文设计的编解码电路综合后, 由于主频时钟较慢, 建立时间时序都能满足要求, 但是部分路径的保持时间出现 slack 为

负的违例情况，留待后端布局布线时做时钟树综合时修复。

3.功耗信息，电子标签芯片尤其需要注意低功耗设计，因此应尽量降低电路综合后的功耗。 解码器的功耗报告为：

Report : power -analysis_effort low

Design : decode

Version: Z-2007.03-SP2

Date : Tue Apr 7 14:27:23 2009

Library(s) Used:

tcb018mmhdbwptc1d0 (File:

/home/rfic301/synopsys/paper/libs/tcb018mmhdbwptc1d0.db)

Operating Conditions: NC1D0COM Library: tcb018mmhdbwptc1d0

Wire Load Model Mode: segmented

Design	Wire Load Model	Library
--------	-----------------	---------

decode	TSMC16K_Conservative	tcb018mmhdbwptc1d0
decode_DW01_inc_0	TSMC8K_Conservative	tcb018mmhdbwptc1d0
decode_DW01_inc_1	TSMC8K_Conservative	tcb018mmhdbwptc1d0

Global Operating Voltage = 1

Power-specific unit information :

Voltage Units = 1V

Capacitance Units = 1.000000pf

Time Units = 1ns

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1nW

Cell Internal Power = 2.0858 uW (86%)

Net Switching Power = 332.7073 nW (14%)

Total Dynamic Power = 2.4185 uW (100%)

Cell Leakage Power = 5.0926 nW

编码器的功耗报告为:

Report : power -analysis_effort low

Design : encode

Version: Z-2007.03-SP2

Date : Tue Apr 7 14:32:45 2009

Library(s) Used:

tcb018mmhdbwptc1d0 (File:

/home/rfic301/synopsys/paper/libs/tcb018mmhdbwptc1d0.db)

Operating Conditions: NC1D0COM Library: tcb018mmhdbwptc1d0

Wire Load Model Mode: segmented

Design	Wire Load Model	Library
encode	TSMC16K_Conservative	tcb018mmhdbwptc1d0
Miller	TSMC8K_Conservative	tcb018mmhdbwptc1d0
FM0	TSMC8K_Conservative	tcb018mmhdbwptc1d0
FM0_DW01_inc_0	TSMC8K_Conservative	tcb018mmhdbwptc1d0
Miller_DW01_inc_0	TSMC8K_Conservative	tcb018mmhdbwptc1d0

Global Operating Voltage = 1

Power-specific unit information :

Voltage Units = 1V

Capacitance Units = 1.000000pf

Time Units = 1ns

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1nW	
Cell Internal Power	= 3.4371 uW (72%)
Net Switching Power	= 1.3336 uW (28%)

Total Dynamic Power	= 4.7707 uW (100%)
Cell Leakage Power	= 8.4636 nW

4.3.3 编解码器电路逻辑综合后验证

逻辑综合后, RTL 代码转换成门级电路。为了保证综合后的网表文件的逻辑功能和 RTL 代码描述的逻辑功能一致, 需要对门级网表做以下验证。

1. Formality 验证

Formality 工具用于比较综合后的门级网表和 RTL 代码描述的电路元件的一致性。由于逻辑综合具有优化功能, 可能把 RTL 描述的某些电路元件删除。需要做 Formality 保证综合后的门级网表和 RTL 代码描述的功能一致。本文设计的编解码电路的 RTL 代码和综合后网表经过 Formality 证明, 二者电路功能一致。

2. PrimeTime 静态时序分析

PrimeTime 工具用于分析同步时序逻辑的时序信息如 setup time、hold time 是否满足时序约束条件。对于异步时序逻辑, 需要设置 false path, 不进行分析。

静态时序分析技术是一种穷尽分析方法, 用以衡量电路性能。它提取整个电路的所有时序路径, 通过计算信号沿在路径上的延迟传播找出违背时序约束的错误, 主要是检查建立时间和保持时间是否满足要求, 而它们又分别通过对最大路径延迟和最小路径延迟的分析得到。静态时序分析的方法不依赖于激励, 且可以穷尽所有路径, 运行速度很快, 占用内存很少。它完全克服了动态时序验证的缺陷, 适合进行超大规模的片上系统电路的验证, 可以节省多达 20% 的设计时间。因此, 静态时序分析器在功能和性能上满足了全片分析的目的。支持片上系统设计, 即它为很快满足设计时序要求取得了突破, 能提供百万门级设计所要求的性能, 并在一个合理的时间内分析设计, 而且它带有先进的时序分析技术和可视化的特性, 用于全芯片验证。

3. 动态时序仿真分析

为了更直观的观察芯片逻辑内部信号的波形, 需要进行基于激励向量的动态时序仿真。综合后由 DesignCompiler 生成逻辑门级电路的标准时延文件(sdf 文件),

在进行 testbench 的激励仿真时代人此标准时延文件进行仿真，方法是在网表文件中加入如下代码：

Initial begin

```
$sdf annotate("**.sdf");
```

End

其仿真模型如图 4-2 所示。此时, 逻辑电路是带有标准数字单元时延信息的综合后电路 (并不包括互联线路引入的时延信息)。编解码器的综合后仿真结果如图 4-3 至 4-11 所示。由仿真结果图可以看出编解码器的逻辑功能与前端功能仿真的结果一致。

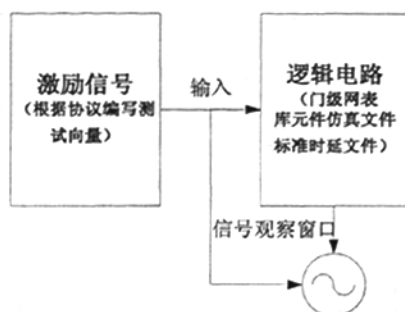


图 4-2 时序仿真模型

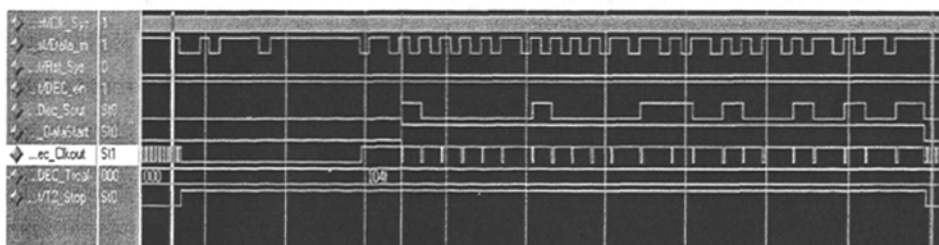


图 4-3 解码器时序仿真结果

FM0 编码: $T_{\text{rtext}}=0$, 无前导频音

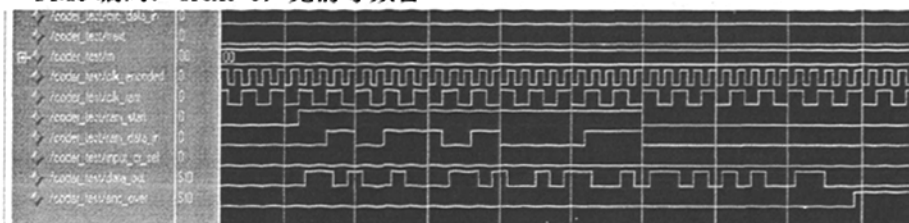


图 4-4 FM0 编码时序仿真, 无前导频音

FM0 编码: Ttext=1, 有前导频音

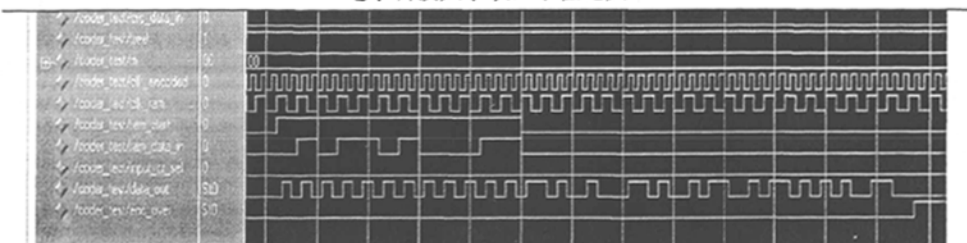


图 4-5 FM0 编码时序仿真，有前导频音

Miller 编码: Trext=0, 无前导频音, M=2'b01, Miller2 编码

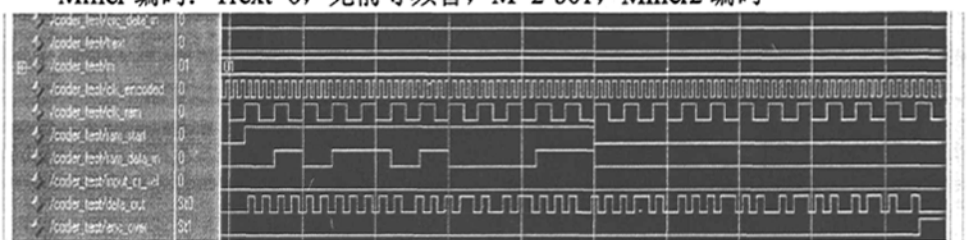


图 4-6 Miller2 编码时序仿真，无前导频音

Miller 编码: Trext=1, 有前导频音, M=2'b01, Miller2 编码

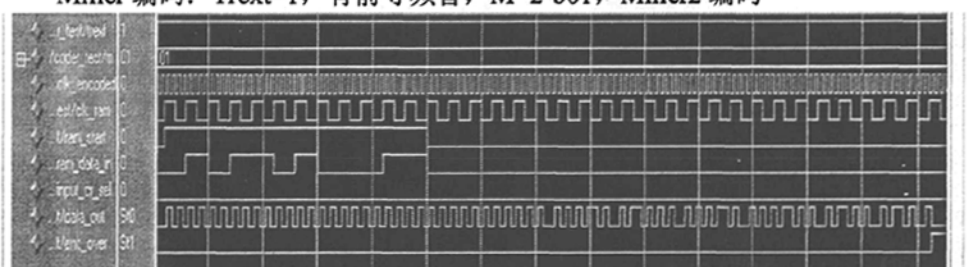


图 4-7 Miller2 编码时序仿真，有前导频音

Miller 编码: Trext=0, 无前导频音, M=2'b10, Miller4 编码

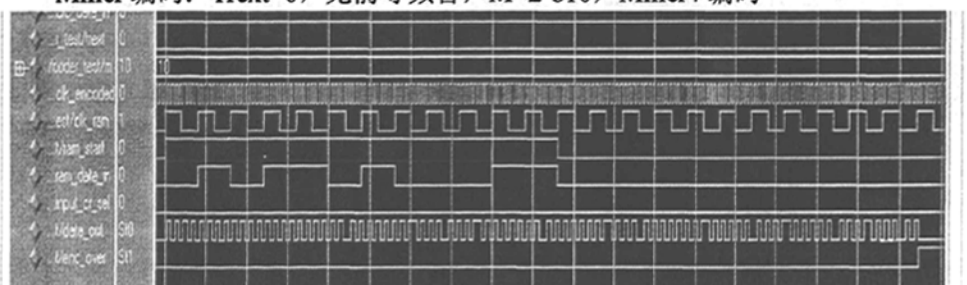


图 4-8 Miller4 编码时序仿真，无前导频音

Miller 编码: Trext=1, 有前导频音, M=2'b10, Miller4 编码

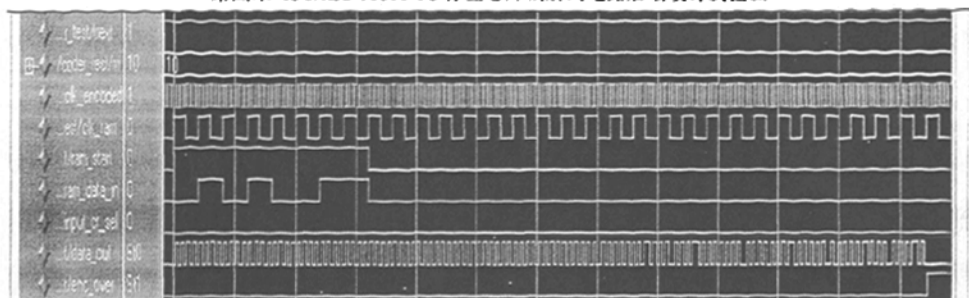


图 4-9 Miller4 编码时序仿真，有前导频音

Miller 编码: $T_{\text{rest}}=0$, 无前导频音, $M=2'b11$, Miller8 编码

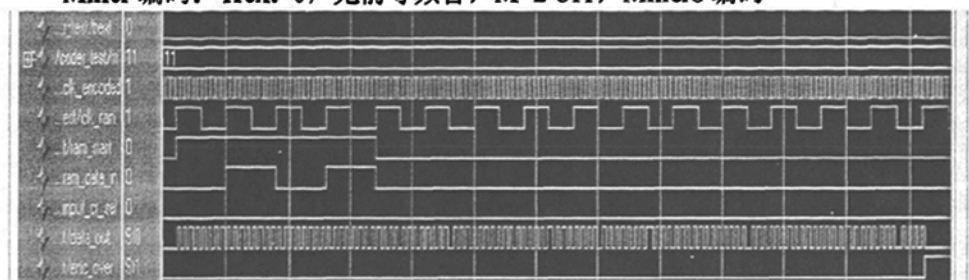


图 4-10 Miller8 编码时序仿真，无前导频音

Miller 编码: $T_{\text{rest}}=1$, 有前导频音, $M=2'b11$, Miller8 编码

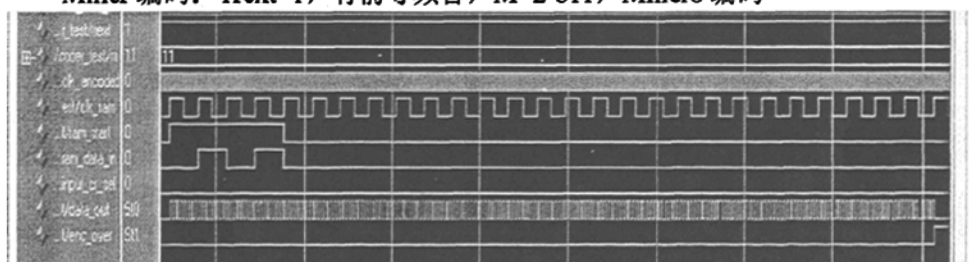


图 4-11 Miller8 编码时序仿真，有前导频音

4.4 布局布线

布局布线又称为物理设计，物理设计是一个非常复杂的组合优化过程，同时又直接关系到设计成本、周期、正确性和产品质量等。为了完成集成电路复杂的物理设计任务，人们越来越借助于计算机辅助物理设计工具。物理设计的输入是电路的元件属性文件和网表信息，输出是设计良好的版图。设计工具处理物理设计问题一般是基于分步策略，即将物理设计过程分为布图规划与布局、布线两个相对独立的大阶段。鉴于布线任务的复杂性，又常常把布线阶段分为总体布线和

详细布线两个子阶段。

4.4.1 Floorplan

1. 定义 core 面积

设计一般分为 core limited 还是 pad limited。如果是 core limited 的情况，可以根据 core 的利用率这个参数来规定芯片 core 的总面积，然后再调节长宽。也可以直接规定长的值和宽的值来限制 core 的面积^[20]。如果是 pad limited 的情况，则需要优先考虑 pad 的分布，core 的面积分配则比较宽松。

2. 加入 pad

在综合提供的 netlist 中不包含电源和地 pad 以及 IO pad，所以要在 floorplan 之前在 netlist 中加入 pad。电源和地的 pad 包含有专门为 core 供电和专门为 pad 供电的两种类型的 pad，IO pad 也分 bonding pad、数字 IO pad、模拟 IO pad。

3. 摆放 pad 和宏单元 (Macro Cell)

IO Cell 摆放方法参照以下方面：在靠近输入信号 pad 附近的电源 pad 数量相对于输出信号 pad 附近的电源 pad 数量要多^[21]。此外在高频时钟 pad 附近也要有电源 pad。在容易互相干扰的信号 pad 之间也尽量摆放地 pad。同时，摆放 IO pad 时要考虑到宏单元的摆放位置。要符合芯片封装的设计规则(如最小 pad 间距、最大的拐角、最大的金线长度等)^[22]。

Macro Cell 摆放方法参照以下方面：在摆放 Macro Cell 之前一定要了解当前设计中存在有几大模块，以及模块之间的关系。摆放 Macro Cell 时也要考虑到所设计工艺，Macro Cell 自身的工艺以及出 pin 方向。

4. 定义 Place 和 Routing 的 Blockage

Place Blockage 用于防止在不应放置元件的地方放置元件；Routing Blockage 用于防止在不应走线的地方走金属线。

4.4.2 电源分配网络设计

SoC 电源分配网络提供晶体管执行芯片标准逻辑功能所需的直流电压与电流。在 0.18 微米以下工艺技术时，IC 设计师必须进行详尽的分析才能确认他们的电源分配方法是否真的具有鲁棒性。VDD（电源）网络上的电压降(IR)和 VSS（地）网络上的地线反弹会影响设计的整个时序和功能，如果忽视它们的存在，很可能导致芯片设计的失败。电源网格中的大电流也会引起电迁移(EM)效应，在芯片的正

常寿命时间内会引起电源网络的金属线性能劣化。这些不良效应最终可能造成现场故障和严重的产品可靠性问题。

IR drop 是指出现在集成电路中电源和地网络上电压下降或升高的一种现象。SoC 电路通常会假设在芯片内的电源为理想电源。它能在瞬间给芯片上的所有单元(包括宏单元)提供足够大的电流从而使芯片上的电压保持为统一值。实际上,由于金属连线的宽度越来越窄,导致它的电阻上升,所以在整个芯片范围内将存在一定的 IR drop。

金属电迁移效应是导致芯片上金属互连线断裂、熔化等一些失效的原因。当电子流过金属线时,将同金属线的原子发生碰撞;碰撞导致金属的电阻增大,并且会发热。在一定时间内如果有大量的电子同金属原子发生碰撞,金属原子就会沿着电子的方向流动。移动后的原子将在金属上留下一个空位,如果大量的原子被移动,则连线就断开了;被移动的原子会停在某一个地方,如果这些原子停在某个地方而和别的金属连线短路,则芯片的逻辑功能就会改变,从而发生错误。

导致金属电迁移问题的主要原因是金属的长期损耗和金属本身的焦耳热。从某种意义上来说,电迁移是芯片金属互连线长期损耗的结果。沿着电流的方向移动金属原子是需要时间的,在出现电迁移问题之前肯定有大量的金属原子被移动了。金属的原子被移走后,金属的电阻就会上升,如果原子移动一直进行下去,金属线最终就会断掉。

电迁移是一个长时间的损耗现象,常常表现出经过一段时间后芯片出现时序或功能性的错误。如果芯片中某一根连线是唯一的,那么当发生电迁移问题以后,会导致整个芯片功能失效。如果一些连线本来就有冗余设计的考虑,例如电源网络,当发生电迁移问题后,其中的一部分连线会断开,而其它部分的连线就会承受较大的 IR drop 问题。如果因为电迁移而导致了线路间的短路,整个芯片就会失效。

在进行芯片设计时,只有电流密度是可以由芯片设计工程师直接控制的。对电流密度的控制,主要通过增加电源分配网络上金属连线的宽度来减小单位宽度金属线上的电流。所以对于设计工程师来说,解决 IR Drop 的主要方法是增加电源线和地线的宽度及数量,合理布置电源网络;解决电迁移问题的主要方法是增加电源和地 PAD 的数量,增加电源线和地线的宽度及数量,对于关键路径的连线(如 Clock 等)设置较宽的线宽。当然,设计电源分配网络同时要考虑布线的要求。

本文设计的编解码电路流过的电流密度非常小,几乎可以不用考虑电源分配问题,只需要尽量增大电源网络的等效线宽即可。

4.4.3 Place 标准单元

根据工艺提供的标准单元库的特点,需要在放置标准单元之前放置 Well tap 元件。Well tap 元件将标准单元的衬底连接到电源或者地网络,避免衬底 floating。

在设计中,设置优化模式后对当前设计中的标准单元进行摆放。在摆放好标准单元后,工具会显示拥塞情况,包括对设计的走线拥塞情况的估计结果。在完成标准单元的摆放过程中,应该充分考虑到拥塞(Congestion),时序,功耗等因素。

在当前的项目设计中,由于 core 面积比较富裕,标准单元摆放后不存在拥塞问题。

在标准单元的摆放中,需要针对标签芯片所包括的所有模块,以及模块之间的相互连接关系和 IO 的摆放方法,控制不同模块的单元的摆放位置,从而减小走线长度,有利于建立走线时间的收敛,减小时钟路径和数据路径延时,以及节省布线资源,为后面的时钟树综合(CTS)和布线做好准备工作。

4.4.4 时钟树综合

时钟树生成一般是将一些 buffer、反相器单元加入到电路中,其目的是提高时钟驱动能力,减少插损,并保证同一信号经过不同路径,满足相对的时间约束。时钟树路径开始于输出脚(Output Pins),终止于时钟端口、异步/复位端口、一些输入对输出口没有任何限制的路径以及设计者自定义不需要做时钟树综合的路径。在传统流程中,时钟树一般是在标准单元放置后进行,但在连续收敛的集成电路设计流程中,一般推荐在试验性布线(Trial Rout)后进行,这样可以获得更准确的时钟信息,时钟树插入的效果也更好。在插入时钟树前,推荐先进行布线优化,修正建立时间的违例情况(Violations);插入 CTS 后,还要进行保持时间的违例情况(Violations)修正。时钟树综合一般通过时钟约束文件来进行,因此约束文件的编制很关键。一般在做 CTS 之前,先对需要做时钟树的路径做详细分析,同时对插入元件也进行针对性的选择,比较便于解决相对时间约束长路径驱动的问题[23][24]。

1.时钟树综合的准备工作

(1)准备综合时钟树之前,设计中一定要有相关的时序信息。在我们的项目始终都是在时序的驱动(Timing-Driven)下进行的,所以已经具备相关的时序信息。为了确定设计的时序信息,可以使用命令将时序信息写入一个文本文件中。

此文件的内容包括有:时钟端口的触发沿(比如建立时间的上升沿,时钟的上升

沿,保持时间的下降沿等),时钟端口的定义,端口的电容值,单元延迟表,传输延迟表,最大的传输延迟表,最大的电容值,最大的扇出,时钟门的定义,布尔功能,触发器的定义,电平触发器的定义,同步端口的延时,同步端口的延时表,忽略的端口定义,不能使用的单元等。

(2)时钟树综合必须在标准单元摆放完成之后进行,并且尽量要预先把所有的时序问题都解决之后进行。在进行时钟树综合前,需要先确认时序信息是否正确。需要确认的时序信息有以下内容:时钟源,由时钟源生成的时钟,驱动单元,驱动电阻,输入传输时间,目标输入延迟,时钟端口目标传输延时,最大的线路延迟,默认的传输延时,不能使用的单元,不能移动单元,时钟单元,同步引脚的定义,异步引脚的定义等。

(3)在进行时钟树综合之前,要设置时钟通常的选项。包括对要综合的时钟源进行选择,所要插入缓存器和反相器,时钟源预期会存在的延迟信息等。

2.时钟树综合结果检查

(1)建立时间裕度(Setup Time Slack)检查,必须保证所有路径的建立时间裕度大于0。

(2)保持时间裕度(Hold Time Slack)检查,必须保证所有路径的保持时间裕度大于0。

3.时钟树优化

时钟树的优化是一项非常重要的工作,它通过改变buffer的尺寸,buffer的位置,门的尺寸,门的位置,电平的调整,重新设置,插入延迟,插入虚拟负载,或者平衡时钟间的延迟,来改善时钟到达不同时钟端口的时间差和时钟的插入延迟。

时钟树优化包括以下两种模式:嵌入式模式,在这种模式下,时钟树的优化同时优化时钟时间差和时钟的插入延迟。默认情况下,时钟树优化是通过两次迭代完成的。如果需要改变迭代的次数来改变时钟树优化的效果,可以通过时钟的全局选项对话框进行设置,当然会增加优化的时间。独立模式,这种模式通过增加额外的迭代过程来优化时钟的时间差和时钟的插入时延。可以在任何时候执行,通常的使用情况是当时序优化或增量Place影响了时钟设计,可以使用独立模式来改善和恢复时钟。

一般情况下,嵌入式的时钟优化后,再执行独立模式的时钟优化,只有在当时序优化或增量Place影响了时钟设计时,才使用独立模式来改善和恢复时钟。

本文设计的编解码器的时钟树为单树情况,只在逻辑综合时设置的时钟源条

件下做 CTS 即能保证时序约束条件的两个裕度要求。

4.4.5 布线

布线就是将逻辑单元（如：门、触发器、全加器等）按逻辑信号的互连关系进行互连。布线的目标是百分之百地完成模块间的互连，并为满足各种约束条件进行优化，如进行消除布线拥挤(congestion)、优化时延(timing)、保证信号完整性(signal integrity)、消除串扰(crosstalk)、减小耦合效应(coupling)、保证满足设计规则等布线的优化工作。

1. 电源网络布线 (Special Rout)

在进行信号网络布线之前，先要进行电源网络布线，并保证没有违例情况出现。电源网络布线需要考虑到芯片承受的电流大小、芯片的整体的 IR Drop 和 EM 效应。

2. 总体布线和详细布线

总体布线是在布局完成之后，为各个线网在芯片上规定一个大致的布线方向。详细布线则是在总体布线的基础上，根据一定的布线和布线优化原则，最终确定线网连线的具体位置。总体布线和详细布线的主要区别在于：总体布线只是把线网分配在适合的布线区域内，以确保得到尽可能高的布通率，而不关心走线的具体位置。总体布线根据一定的布线目标，对所有的线网进行宏观分析和布线区域的分配，为详细布线提供全局性的指导，以引导详细布线顺利进行。

详细布线确定线网各个线段在布线区域中的具体位置，从而完成线网的最后定位。详细布线需要满足的约束包括：布线层数目，即可以走线的金属层的数目；互连规则，即不同的线网在同一层内不允许交叉，在不同层上同一线网的各部分由通孔相连；禁止布线区域(obstacle)，包括单元、引脚、通孔、人为设定不允许走线的区域以及已布线网等；设计规则，包括：走线的宽度符合给定的线宽值，走线与走线之间的距离应大于给定的最小线间距值，走线与禁止布线区域之间的距离应大于给定的最小值，通孔的大小及类型符合用户要求等。

详细布线的优化目标包括：(1)布通率：详细布线的任务就是要完成线网的最后完全互连，因此，用户关心的主要技术指标就是能不能将全部线网布通；否则，剩余没有布通的线网就需要用户进行手工连接。(2)线网总长度：线网长度越小，越有利于时延等性能的优化。(3)通孔数：通孔劣化了电路的性能，也增大了布线的面积，因此，用户希望减少通孔的数目，以获得高的布线质量。(4)时延、耦合

效应和串扰等：随着技术的发展，设计者越来越关心电路的性能，因此详细布线在满足布通率的基础上，也更加重视性能的优化。

3.UHF RFID 标签芯片版图设计

数字电路逻辑综合和验证后，得到门级网表和时序约束条件。数字电路自动布局布线是一种时序驱动的布局布线，时序约束条件为数字电路布局布线的约束及优化目标。利用前端得到的逻辑网表和时序约束文件，并以半导体厂商提供的库时序文件为基础，在 EDA 设计软件支撑下，进行元件的自动布局布线。本文设计采用自动布局布线 EDA 工具为 Cadence 公司提供的自动布局布线工具 SOC Encounter。

本文采用的库文件完全来自于 TSMC，包括标准数字单元库、IO 库和存储器 IP。标准数字单元库自动布局布线规则写在半导体厂商提供的为 SOC Encounter 使用的 LEF 文件中，其中规定了自动布局布线使用的金属层走线及过孔设计规则；gds 库文件 LEF 文件中个虚拟元件的实体版图；lib 库文件提供标准数字单元的时序信息，作 STA 和各种时序驱动的布局布线时使用。IO 库文件包括模拟 IO 库、数字 IO 库和 bonding pad 库，它们都提供实体版图但没有提供时序信息库。存储器库提供 lef 库和 gdf 库（主要用来导入到实体版图中进行 DRC 预验证，保证 IP Merge 后无 DRC 错误，并非真正的版图）。

逻辑网表描述了数字标准单元、各种 IP、IO 等元件之间的互联关系。自动布局布线工具将这些元件按照逻辑网表的描述用物理线路互联起来。设计中使用的逻辑门级网表是在原综合后门级网表基础上添加必要的测试端口 PAD 电源网络后的网表。

时序约束文件提供自动布局布线工具的约束条件，使其既能很好地互联电路，又不产生过多的延时，从而减轻物理互联线路对整个电路的时序关系的影响。其时序约束文件一般为前端逻辑综合使用的时序约束条件。

UHF RFID 标签芯片版图 SOC Encounter 中的视图如图 4-12 所示。其中两个框为解码器和编码器的位置。

4.4.6 Place Filler 元件

Filler 元件填充芯片版图图中的空位，保证 poly 层、有源区的密度，电源网络阻抗的均匀分布。

4.4.7 Add Metal

为了满足 Design Rule 关于金属密度的规定, 在布局布线完成后往各层添加 dummy 金属。

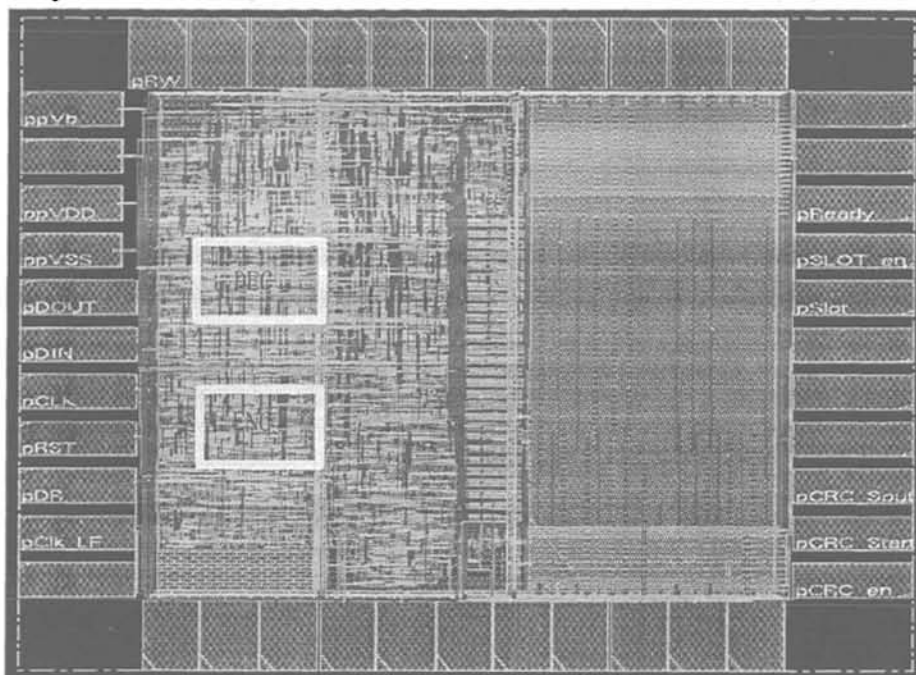


图 4-12 UHF RFID 标签芯片版图

4.5 布局布线后验证

版图生成后, 逻辑综合后生成的网表文件发生了变化, 需要进行进一步的验证, 以保证逻辑功能、时序正确、版图符合 Design Rule 规定。

4.5.1 逻辑及时序验证

为了保证布局布线的网表文件的逻辑功能和前端逻辑综合后的网表文件描述的逻辑功能一致, 需要对门级网表做以下验证。

1. Formality 验证

Formality 工具用于比较综合后的门级网表和布线后门级网表的电路元件的一致性。由于布线后网表与综合后的网表不一致, 做 Formality 时需注意评估报告的不一致元件对逻辑功能的影响。本文设计的编解码电路布局布线后的逻辑网表和逻辑综合后的网表经过 Formality 证明, 二者电路功能一致。

2.PrimeTime 静态时序分析

PrimeTime 工具用于分析同步时序逻辑的时序信息如 setup time、hold time 是否满足时序约束条件。对于异步时序逻辑，需要设置 false path，不进行分析。本文设计的编解码电路布局布线时通过时钟树的插入，使得保持时间时序得到了调整，保持时间的违例情况得到修复。

3.动态时序仿真分析

为了更直观的观察芯片逻辑内部信号的波形，需要进行基于激励向量的动态时序仿真。布局布线后，利用 EDA 工具生成布线后网表的寄生延时参数文件（sdf 文件），在进行 testbench 的激励仿真时代入此标准时延文件进行仿真，其仿真模型如图 4-13 所示。此时，逻辑电路是带有标准数字单元时延信息的综合后电路（并不包括互联线路引入的时延信息）。

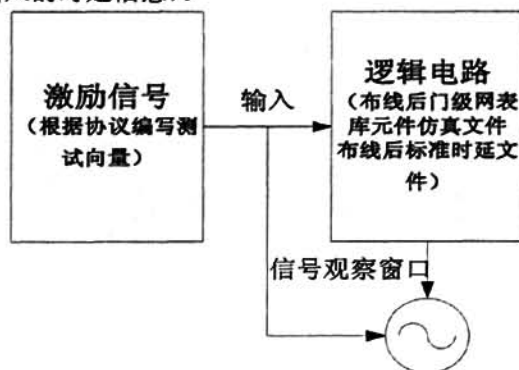


图 4-13 布局布线后时序仿真结构

编解码器布局布线后时序仿真结果如图 4-14 至 4-22 所示。由仿真结果图可以看出编解码器的逻辑功能与逻辑综合后网表仿真的结果一致。

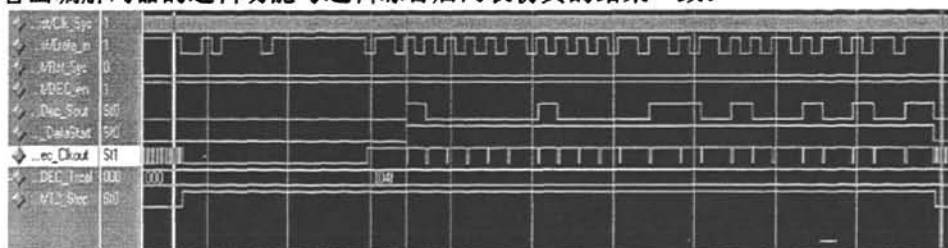


图 4-14 解码器布线后时序仿真结果

FM0 编码: Ttext=0, 无前导频音

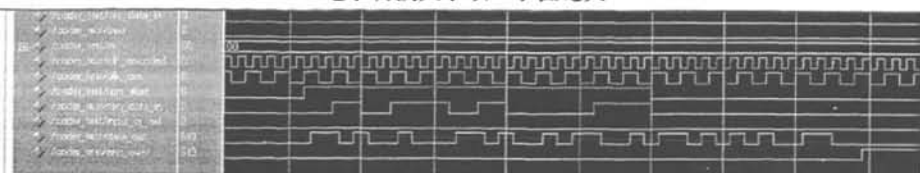


图 4-15 FM0 编码布线后时序仿真，无前导频音

FM0 编码: T_{text}=1, 有前导频音

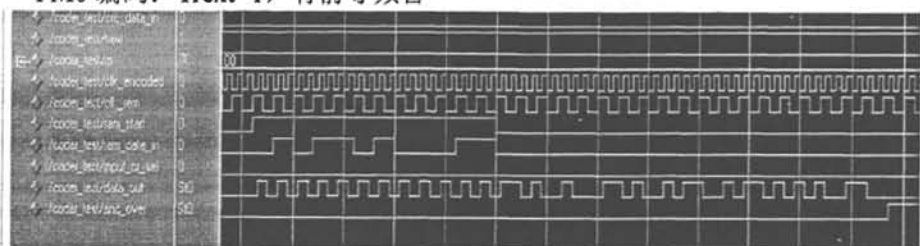


图 4-16 FM0 编码布线后时序仿真，有前导频音

Miller 编码: T_{text}=0, 无前导频音, M=2'b01, Miller2 编码

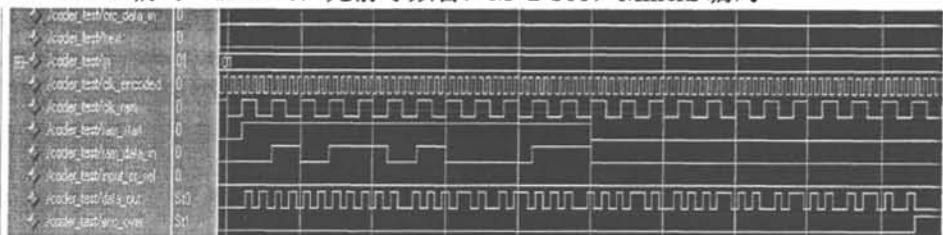


图 4-17 Miller2 编码布线后时序仿真，无前导频音

Miller 编码: T_{text}=1, 有前导频音, M=2'b01, Miller2 编码

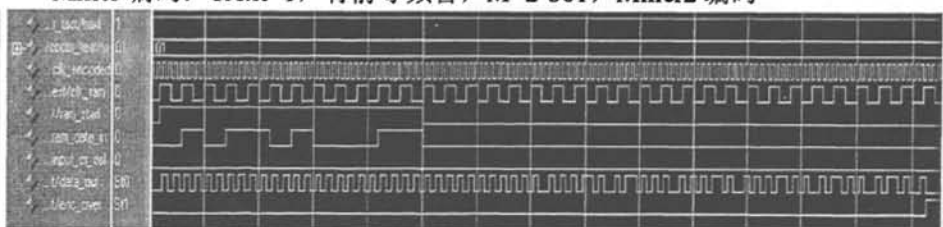


图 4-18 Miller2 编码布线后时序仿真，有前导频音

Miller 编码: T_{text}=0, 无前导频音, M=2'b10, Miller4 编码

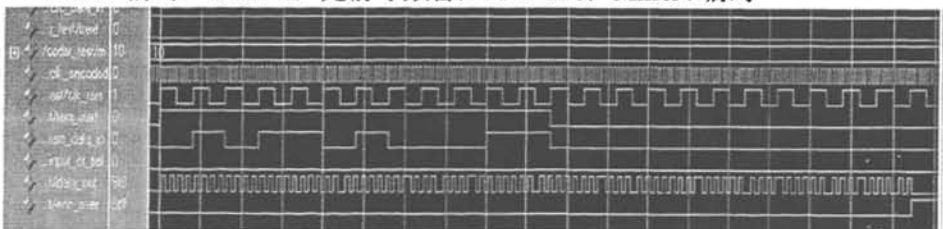


图 4-19 Miller4 编码布线后时序仿真，无前导频音

Miller 编码: T_{text}=1, 有前导频音, M=2'b10, Miller4 编码

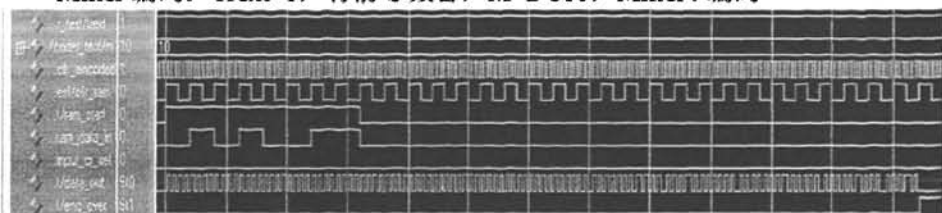


图 4-20 Miller4 编码布线后时序仿真, 有前导频音

Miller 编码: T_{text}=0, 无前导频音, M=2'b11, Miller8 编码

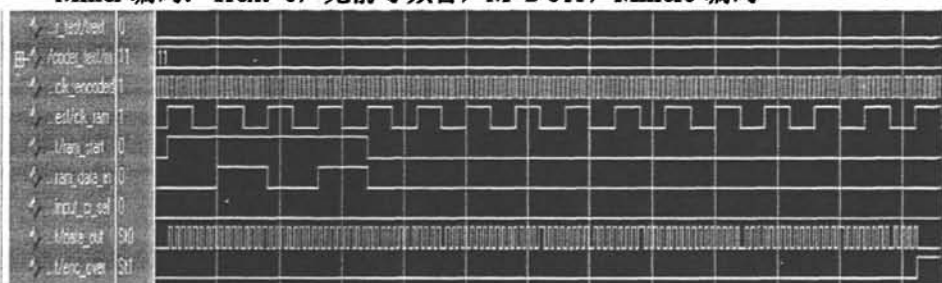


图 4-21 Miller8 编码布线后时序仿真, 无前导频音

Miller 编码: Ttext=1, 有前导频音, M=2'b11, Miller8 编码

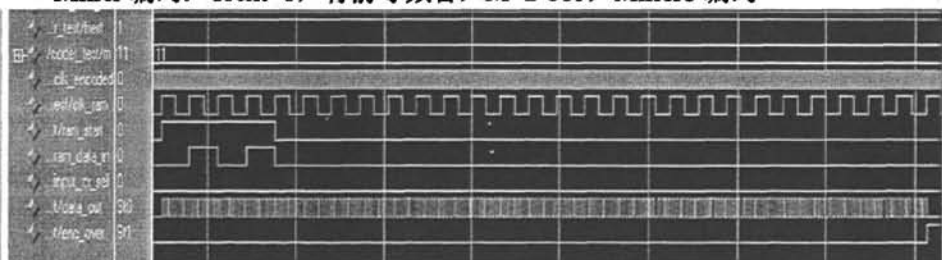


图 4-22 Miller8 编码布线后时序仿真, 有前导频音

4.晶体管级仿真 (SPICE 仿真)

现在常用的逻辑门级电路动态时序仿真是基于工艺库厂商提供的逻辑门级电路的行为抽取参数进行的仿真。仿真结果受限于门级电路进行行为参数抽取时的设定条件, 这样如果电路工作条件变化时, 逻辑门级电路仿真结果则不能很好地评估最终整体电路的行为, 同时逻辑门级电路仿真不能得到电路的瞬态功耗情况。因此本文引入了基于晶体管 SPICE 模型的晶体管级电路仿真验证, 使用的 SPICE 仿真工具是 Synopsys 公司提供的 Nanosim。

Nanosim 的仿真过程类似于逻辑门级电路仿真,需要激励信号和电路本体两大部分,如图 4-23 所示。

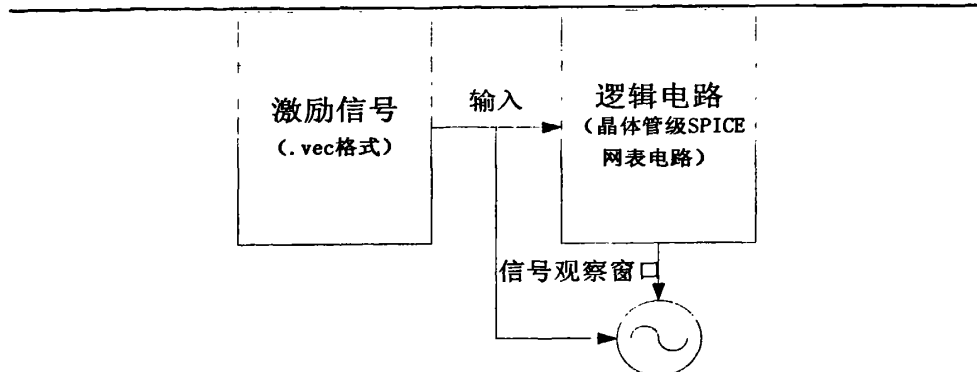


图 4-23 晶体管级电路仿真结构图

Nanosim 使用的激励信号可分为 SPICE 语法提供的独立信号源（包括脉冲电压源、直流电压源、正弦信号源、脉宽调制电压源、调频信号源、调幅信号源等）和相量激励信号源（由于数字电路的输入信号一般较多，故相量激励信号源是数字电路普遍采用的源，如果不嫌麻烦或者数字电路的输入信号比较简单，也可以采用 SPICE 语法提供的独立信号源产生所需的数字电路输入相量激励信号）。相量激励信号源用 vec 格式的文件存储，该文件记录了测试相量在各个时刻的逻辑值。

相量激励信号的产生方法是，首先让电路做一次逻辑门级的电路仿真，在 testbench 的激励下，观察各个信号的变化情况，然后将其记录在 vec 格式文件中。产生 vec 文件的方法是在逻辑门级电路仿真的 testbench 中添加以下几句代码，然后启动门级电路仿真工具如 Modelsim、VCS、Ncvlog 等进行仿真，仿真结束后自动生成记录各信号在各个时刻值的 vec 文件。

```
Integer vecfile;
initial
begin
    vecfile=$fopen("vec 文件名")|1;新建一个 vec 文件
    $fdisplay (vecfile,"type vec");
    $fdisplay (vecfile,"signal 要观察的信号名");
    $fdisplay (vecfile,"radix 坐标是 bit 位还是相量位");
    $fdisplay (vecfile,"io 各个待观察信号的输入输出特性");
    $fmonitor(vecfile,"%d %b %b",$time,要观察的信号名);
end
```

现在大多数 EDA 工具都是用 verilog 代码网表，很少使用 SPICE 网表输出。因此做 Nanosim 仿真之前，需要把自动布局布线工具导出的门级电路网表转换成

晶体管级的 SPICE 网表。生成 SPICE 电路网表之后，需要修改该网表，添加直流工作电压源，并将部分 Nanosim 工具不支持的 SPICE 语法修掉，把顶层模块描述出来。

在测试向量文件和 SPICE 网表文件都准备好之后，就可以启动 Nanosim 进行 SPICE 仿真，并用 nWave 软件观察仿真结果波形。本文设计的编解码电路的 SPICE 仿真结果如图 4-24 和 4-25 所示。由图可以看出，SPICE 仿真不仅给出了逻辑仿真结果，同时给出了电压电流等物理参数仿真结果值，进而可以评估整个电路的瞬态功耗和均值功耗。

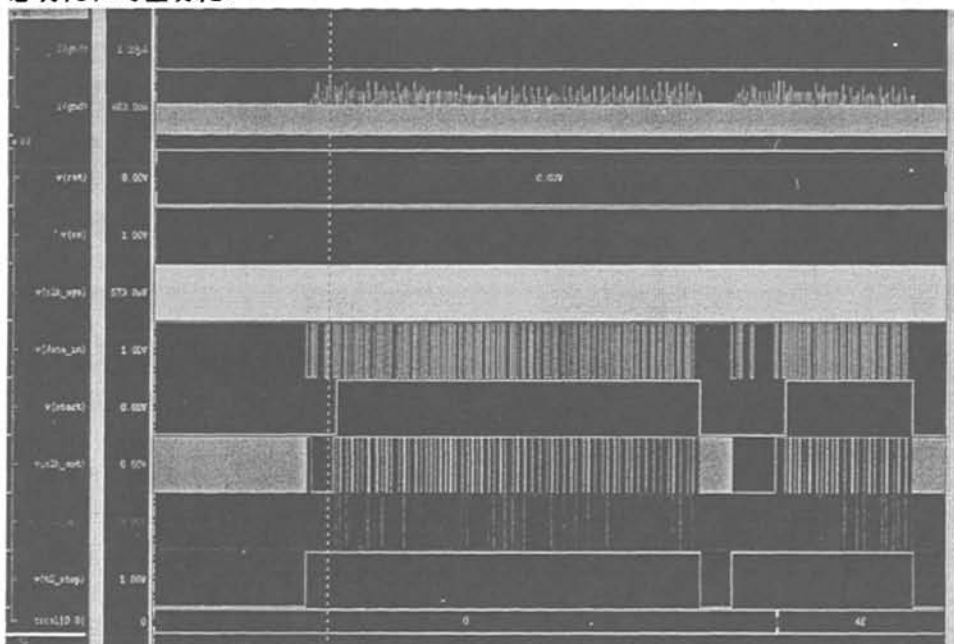


图 4-24 解码器 SPICE 仿真结果

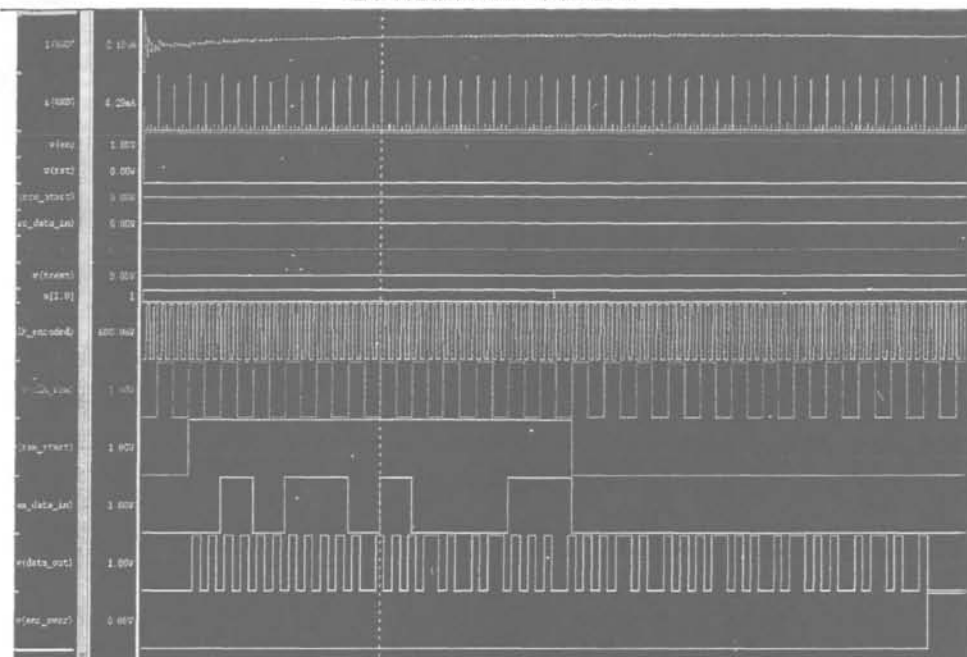


图 4-25 Miller2 编码 SPICE 仿真结果

4.5.2 设计规则检查 (Design Rule Check)

设计规则检查保证逻辑单元放置和互连线都正确无误^[27]。DRC 可以分成两个层次。自动布局布线工具完成第一层设计规则检查,即虚库级的 DRC,在这个层次检查短路、开路、间距违规、单元重叠等设计规则问题。实际布图工具(又称为硬布图工具)中可以看到库单元的实际版图,将自动布局布线工具布线完成后的逻辑单元虚拟库实例化。在该工具中可以进行晶体管级即第二层次的 DRC。这主要是检查库单元正确性^[28]。本文中我们采用业界使用最普遍的工具 Calibre 进行验证。

Calibre 做 DRC(Design Rule Check 验证)是把版图中提取出的数据和设计规则文件(Design Rule File)相比较,包括器件的确认和网络连接的确认。

Calibre 做 DRC(Design Rule Check 验证)的准备:需要输入文件有设计版图的数据文件(GDS 格式)和设计规则文件(Design Rule File)。输出的结果为错误报告和错误信息数据库等。

设计规则检查(Design Rule Check)流程图^[22],如图 4-26 所示。

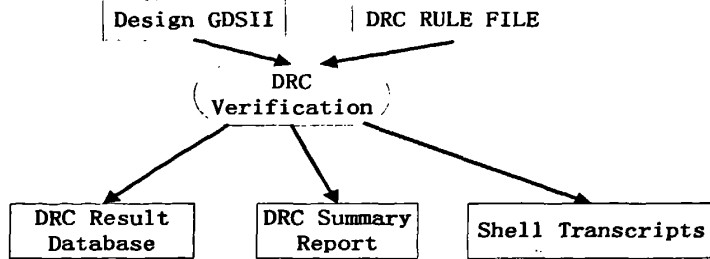


图 4-26 设计规则检查原理图

4.5.3 天线效应检查

天线(Antenna)效应是指由于当前工艺是采用离子刻蚀(Plasma Etching)的方法,如果金属线或者多晶硅(Poly Silicon)过长,就会积累过多的电荷,造成栅氧化层击穿^[29]。

Calibre 做天线效应验证(Antenna 验证)时把版图中提取出的数据和天线设计规则文件(ANT Design Rule File)相比较。

Calibre 做天线效应验证(Antenna 验证)的准备:需要输入文件有设计版图的数据文件(GDS)和天线效应设计规则文件(Design Rule File)。输出的结果为天线效应错误报告和错误信息数据库等。

天线效应验证(Antenna Verification)流程图^[22],如图 4-27 所示。

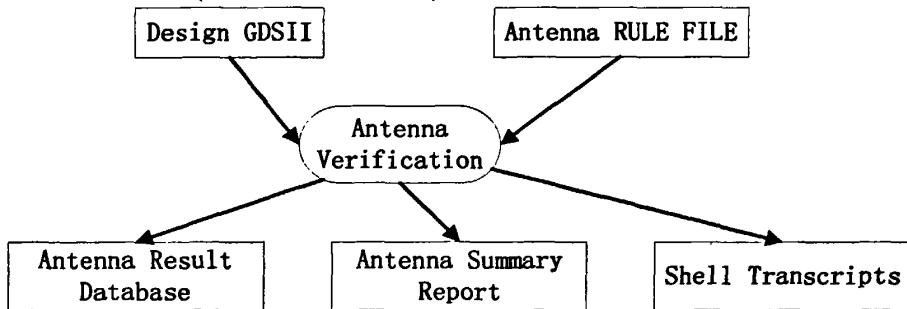


图 4-27 天线效应验证原理图

4.5.4 LVS (Layout Versus Schematic) 验证

电路图从物理版图中提取出来并与原理图网表对比。这将原理逻辑设计与物理设计过程形成闭合回路以保证物理版图的描述是原理图所希望描述的。LVS 检查的第一个问题在于从一个大 ASIC 的晶体管级的网表中抽取出一个巨大的元件级的网表图。LVS 软件需要将这个抽取出来的元件级网表图与一个描述设计的原理参考图进行比较。保证参考图中的每一个节点对应电路图上的每一个元件是一

件很困难的事。LVS 检查的关键问题是怎样产生真正的参考。起始点可能是 HDL 代码或电路图^[30]。可是，逻辑综合，测试插入，时钟树综合，逻辑到物理焊盘的映射和一些其他的设计过程都会修改网表。参考网表可能已经不是我们原来想构建的纯粹逻辑功能的网表，为了生产和制造的需要我们已经在原来的参考网表中添加了许多与逻辑功能无关的元件。在这种情况下，许多设计者越来越依靠形式验证 (Formality)，他提取一个描述版图函数的布尔描述与已知的 HDL 描述进行比较，不必比较精确的元件对应，而是只关注逻辑功能对应。

LVS(Layout Versus Schematic)验证主要文为两步完成：从版图参数中提取出 SPICE 网表，然后用提取出的网表和反映设计意图的源门级网表相比较。

LVS(Layout Versus Schematic)验证所需准备：输入文件为版图信息的数据文件 (gds)，反映设计意图的源参考数据文件和 LVS 验证规则文件。输出的结果为错误报告和错误信息数据库等。

在从自动布局布线工具中得到的是 Verilog 格式的源门级网表，需要变成 LVS 验证所需的 SPICE 格式的门级网表。采用以下命令行完成：

```
V2LVS -v netlist.vg -lsp netlist.sp -S netlist.sp -o sourcenetlist.sp
```

-v 添加的 verilog 格式的门级源网表。

-lsp 所需的参考库的信息。

-S 把参考库的信息以(include reference_library.sp)形式添加输出的 SPICE 格式的网级源网表中。

-o 输出的 SPICE 格式的门级源网表。

输出文件：版图提取结果文件，版图提取结果数据库，比较结果文件，结果数据库。

LVS (Layout Versus schematic) 验证原理流程图^[22]，如图 4-28 所示。

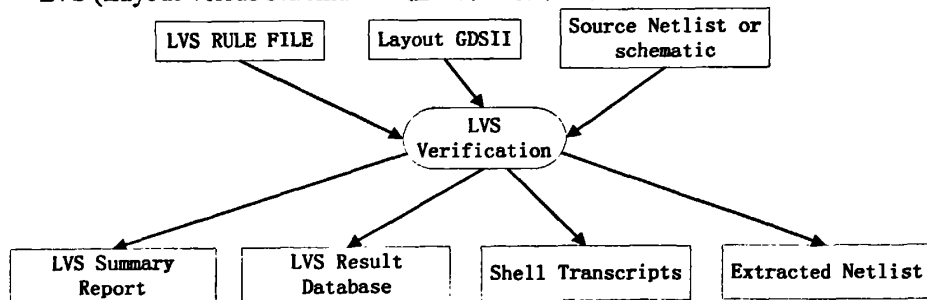


图 4-28 LVS 验证原理图

第五章 ISO/IEC 18000-6C 标签芯片编解码电路芯片测试

5.1 ISO/IEC 18000-6C 标签芯片编解码电路待测信号

ISO/IEC 18000-6C 标签芯片数字基带电路待测版图示意图如图 5-1 所示。表 5.1 列出了该待测芯片的待测试信号和其 PAD 编号(按芯片版图的逆时针方向开始编号, 起点为芯片版图的左上角)。

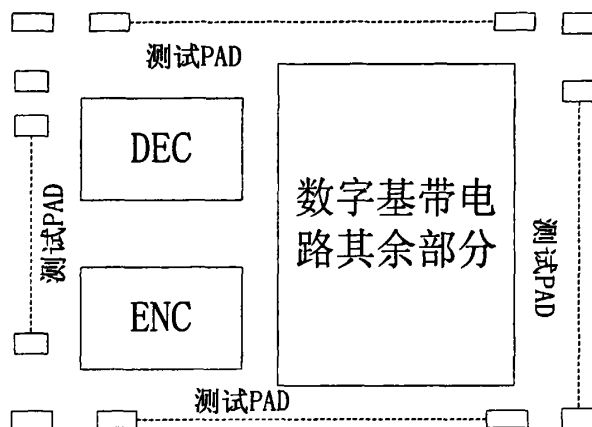


图 5-1 标签芯片数字基带电路待测版图示意图

表 5-1 待测芯片待测信号（编解码相关）

编号	PAD 名	待测信号	说明
1	ppVb	Vb	Power 开关的选出电压
2	ppVDDmtp	VDDmtp	1.8V 输入
3	ppVDD	VDD	1.0V 输入
4	ppVSS	VSS	电源地
5	pDOUT	Data_out	调制输出数据
6	pDIN	Data_in	解调后输入数据
7	pCLK	Clk_Sys	输入时钟 1.28MHz
8	pRST	Rst_Sys	输入复位信号
9	pDR	DR	解析命令中的 DR 参数
10	pClk_LF	Clk_LF	编码器 LF 频率
11	pClk_Encoded	Clk_Encoded	编码器编码时钟
12	pClk_RAM	Clk_RAM	RAM 时钟信号

13	pDEC_DataStart	DEC_DataStart	解码器数据开始信号
14	pDEC_Clkout	DEC_Clkout	解码器数据输出时钟信号
15	pDEC_Sout	DEC_Sout	解码器串出数据信号

5.2 ISO/IEC 18000-6C 标签芯片编解码电路测试

ISO18000-6C 标签芯片数字测试芯片测试方案如图 5-2 所示。芯片测试时需要将裸芯片绑定到测试电路板上，设置测试环境并利用测试仪器对其进行测试。

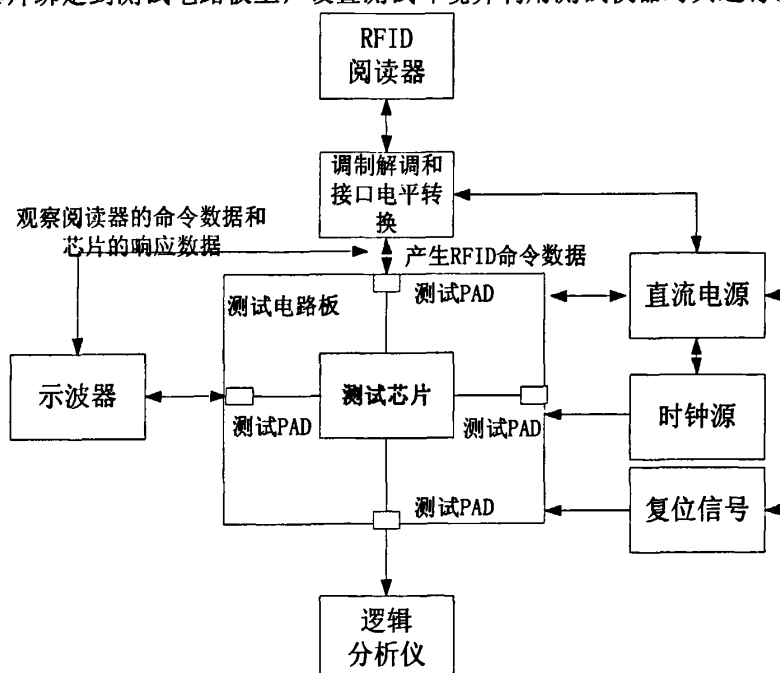


图 5-2 数字基带部分测试芯片测试方案

测试方法主要是通过阅读器向待测芯片输入各种 RFID 命令数据，观察待测芯片的响应是否正确。针对本文的设计着重观察编解码模块电路的响应情况是否符合前后端的仿真结果。测试步骤如下：

1.按图 5-2 的结构连接各个待测电路板和测试仪器。参照表 5-1 列出的待测信号。Data_in 为解调后的信号输入待测芯片的信号、Data_out 为待测芯片输出到调制电路的端口。VDD 为 1.0V 电源输入，VDDmtp 为 1.8V 电源输入，VSS 为电源地，Clk_Sys 为时钟输入，Rst_Sys 为复位信号输入，其余信号接逻辑分析仪进行监测，电源 VDD 和 VDDmtp 用电流计监测其电流消耗。

2.用程控电源为待测芯片供电，设定输入电流上限为 1mA，保护芯片不被过

流烧毁。

3.为待测芯片提供时钟信号。

4.通过将 Rst_Sys 信号拉高 10us 以上，将待测芯片复位。

5.打开阅读器和调制解调电路以及接口电平转换电路（将逻辑电平转换到 1V）。将阅读器命令信号输入到待测芯片。

6.利用示波器和逻辑分析仪观察待测芯片的响应信号 Data_out 和内部信号（如表 5-1 所示各信号）工作状态。测试输入信号的时序以及芯片的响应情况应和数字设计前后端仿真结果一致。

7.统计待测芯片的功耗情况。

第六章 总结

本文参与设计了一款遵循 ISO/IEC18000-6C 协议标准的 UHF RFID 电子标签芯片，主要负责了其数字基带控制电路中的编解码电路的设计与实现。包括了以下几方面工作：

1.对超高频射频识别通信标准 ISO/IEC 18000-6C 进行研究，着重研究其空中接口协议和通信链路的调制及编码方式。

2.对数字 ASIC 芯片的设计及验证方法进行研究。

3.对符合标准 ISO/IEC 18000-6C 的电子标签芯片的数字前端模块电路进行了详细设计和数字前端验证。

4.对符合标准 ISO/IEC 18000-6C 的电子标签芯片的数字前端模块电路进行了逻辑综合、物理设计和数字后端验证。

5. 设计遵循 ISO/IEC18000-6C 协议标准的 UHF RFID 电子标签芯片的数字基带控制电路芯片的测试方案。

由于时间和进度的原因，本文设计的编解码电路还存在一些不足之处。关于下一步的设计工作，提出以下几点改进建议：

1.功耗优化。

本文设计的 ISO18000-6C 标签芯片数字基带控制电路的编码器的编码速率较高，已达到协议标准的极限，带来的负面影响是增大了资源开销，增大了电路功耗。由于数字标准单元库的制作工艺已经选定，即数字基带部分的电源电压不能更改，降低功耗的途径只有减小数字电路规模（降低内部功耗）和降低开关频率（降低开关功耗）两方面，因此提出以下建议。

(a).进一步优化代码，电路结构和算法结构，尽可能降低电路规模。

(b).在指标允许的情况下，通过降低编码数据速率来降低电路规模。

(c).采用多时钟域和门控时钟设计方法，降低数字电路翻转频率，减小开关功耗。

2.可测性设计

此次芯片的测试手段为将需要观察的信号用 PAD 外接出来，借助仪器进行观察。对于数字电路的可测性设计，通常需引入 DFT 扫描链，但是此次设计中 TSMC 并未在标准数字单元库中提供扫描寄存器，无法插入 DFT 扫描链。因此此次未进

行 DFT 设计, 建议以后增加 DFT 扫描链进行芯片测试。

3.倒装芯片 (Flip Chip) 设计研究

本文进行 ISO/IEC18000-6C 协议标准的 UHF RFID 电子标签芯片设计时采用了 wire bonding 的方式, 而目前的研究趋势是使用倒装芯片的方式, 可以节省面积。建议以后采用倒装芯片的方式设计其测试芯片。

4.流片后芯片测试

由于时间关系, 本文还未对芯片进行测试, 应该进一步测试流片后的芯片并得到芯片在实际的工作条件下的工作情况, 找出芯片设计的不足之处并为以后的设计优化提供依据。

致 谢

在攻读硕士学位的过程中，导师文光俊教授无论在课题研究中还是在为人处事上都给了我很大的帮助和指导，使我的科研能力有了极大的提高。文老师对本人在课题的研究和论文写作中严格要求并且给予了悉心的指导。文老师深厚的学术造诣，严谨的治学态度，丰富的科研经验和对事业孜孜追求的精神都使我受益匪浅。在导师的悉心指导下，学生的专业知识、科研水平都得到了极大的提高，同时，老师严谨的治学作风，平易近人的处事态度给我树立了良好的榜样，取得了很多的人生经验，也总结了许多教训。在读研的这几年中，从导师身上学习到的所有知识都将是我人生最宝贵的财富，为我将来的人生道路打下了坚实的基础，在此谨向他致以最衷心的感谢！

同时，感谢朱学勇教授，刘镰斧教授在读研期间和论文完成过程中给予我学术上的指导和无私的帮助

感谢李晓聪、黄科、刘欣、江建、李学建、周岩、叶鹏、肖馥林等同学。与他们在工作、科研和人生方面的有益探讨使我受益非浅，他们既是我的同学，也是我人生中最亲密的朋友。感谢他们陪我度过了三年快乐的研究生生活！感谢所有与我一起学习生活过的同学！

真心感谢生我养我的父母，感谢你们一直以来给我的无私关爱和默默奉献！

参考文献

- [1] 张殿东.无线射频识别(电子标签)技术.电信技术,2005,2
- [2] K.Finkenzeller.“RFID Handbook: Fundamentals and Applications in Contactless Smart Cards and Identification”, John Wiley & Sons, 2003.
- [3] Rao, K.V.S.: “An overview of backscattered radio frequency identification system (RFID)”1999 Asia Pacific Microwave Conference, Dec.1999:746-749
- [4] Glidden, R., Bockorick, C., Cooper, S.: “Design of ultra-low-cost UHF RFID Tags for supply chain applications”IEEE Communications Magazine, Aug.2004:140-151
- [5] 马庆容, 张纲, 俞军.发展中国自己的 RFID 产业.标准与技术追踪, 2004, 5: 36-40
- [6] Thomas Flor, Walter Niess, Gabriel Vogler, RFID the integration of contactless identification technology and mobile computing, 7th International Conference on Telecommunications, ConTEL 2003
- [7] A. Riabtsev, I. Zakopailo, The versatile RFID system, IEEE Electronics,1999
- [8] 罗翠钦, RFID 标准工作组组长张琪谈中国 RFID 发展, 中国包装工业, 2006 年 8 月
- [9] Usami, M.An ultra-small RFID chip:/spl mu/-chip.In:Proceedings of IEEE Asia-PacificConference on Advanced System Integrated Circuits.2004.2-5
- [10] Usami, M.An ultra small RFID chip:/spl mu/-chip.In:Radio Frequency Integrated Circuits Symposium.2004.241-244
- [11] Takaragi, K.Usami, M.Imura, R.Itsuki, R.Satoh, T.An ultra small individual recognition security chip.Micro,IEEE,2001,21(6):43-49
- [12] Mitsuo Usami, Akira Sato, Kenji Sameshima, Kazuki Watanabe, Hiroshi Yoshigi, RyoImura.Powder LSI: An Ultra Small RF Identification Chip for Individual Recognition Applications.In:ISSCC,2003,398-501
- [13] Mitsuo Usami,Akira Sato,Hisao Tanabe,Toshiaki Iwamatsu,Shigeto Maegawa,Yuzuru Ohji.An SOI-Based 7.5um-Thick 0.15×0.15mm² RFID Chip.In:ISSCC,2006.308-310
- [14] 张纲, 杨庆森, 程君侠.ISO/IEC18000-6(CD)研究综述[J], 信息技术与标准化, 2004 年第 4 期:23-28
- [15] EPCglobal.EPCTM Radio-Frequency Identity Protocols Class1 Generation2 UHF RFID Protocol for Communications at 860MHz-960MHz Version 1.0.9 2005.1

- [16] 王金明等编. Verilog HDL 程序设计教程. 北京:人民邮电出版社,2004:5-6
- [17] 任艳颖, 等. IC 设计基础. 西安:西安电子科技大学出版社,2003:50-60
- [18] 王志功. 集成电路设计基础. 北京:电子工业出版社,2004,10-110
- [19] Synopsys.Design Compiler User Guide.Synopsys Online Documentation, 2004,06:1-300
- [20] Jupiter XT User Guide. Synopsys Company, 2003:10-13
- [21] Parhi 著. VLSI 数字信号处理系统设计与实现. 陈弘毅译. 机械工业出版社, 2002:34-57
- [22] Standard Verification Rule Format Manual. Mentor Company, 2003.9:200-1684
- [23] Cadence.EncounterTM User Guide.Cadence Reference Book,2004,06:1-100
- [24] Cadence.First Encounter Ultra Lab Manual.Cadence Reference Book,2004,06:1-100
- [25] 邵秀丽. VLSI 布局布线中模拟退火算法. 南开大学学报.1999,32(4):94-96
- [26] 徐宁. 用于 VLSI 物理设计的计算智能算法研究. [博士学位论文], 成都:电子科技大学, 2004,18-34
- [27] R.S.Muller and T.Kamins. Device Electronics for Integrated Circuits 2nd.Wiley NewYork, 1986:41-76
- [28] Donald A. Neamen 著. 半导体物理与器件. 赵毅强译. 第三版. 电子工业出版社, 2001:33-54
- [29] A. Vladimirescu. The SPICE Book. John Wiley and Sons, 1994:34-98
- [30] Richard R.Spencer 著. 电子电路基础. 张为译. 第三版. 电子工业出版社, 2002:34-56

攻硕期间取得的研究成果

- [1] 李贵, 文光俊, 刘镰斧. DDK-6 型程控交换机远程馈电提升电路设计. 2008 年研究生学术交流——通信与信息技术, 2009.3