高性能磷掺杂硫化镉纳米带场效应管及其光电性能研究

摘要

硫化镉(CdS)室温下的禁带宽度为 2.4eV,是探测可见光的重要半导体材料之一,其独特的光电学性质及广泛应用前景引起了科技工作者的极大兴趣。伴随着纳米技术的快速发展,针对 CdS 纳米结构的合成与性质研究越来越深入,同时,基于 CdS 纳米器件如光电二极管、传感器和场效应管及逻辑电路等的研究也备受关注。

本文系统地研究了磷掺杂 CdS 纳米带场效应管的电学及光学的性能。首先,采用 热蒸发的方法,合成磷掺杂 CdS 纳米带。然后制备出基于 CdS:P 纳米带的普通结构场 效应管,并对其电学性能进行分析研究。随后,采用高介电常数的栅极介质和顶栅结 构的方法,分别制备出高性能纳米器件,并对其光学及电学性能进行了系统研究,重 点阐述了提高纳米场效应管器件性能的方法,对同类器件的制备及性能提高具有参考 意义,有利于相关纳米器件的实际应用。取得的主要成果如下:

1、采用热蒸发的方法,以硫化镉和磷粉作为蒸发源和掺杂源,硅片和金分别作 为衬底和催化剂,合成了形貌均匀一致的磷掺杂硫化镉纳米带。对合成工艺参数,温 度、气压、气流量及时间进行了系统分析和研究,获得了最佳的工艺条件。分析表明, 用此方法合成的样品为沿[001]面生长的六方纤锌矿结构的纳米带,其宽度在 0.5-1 微 米之间、厚度大约为 30 纳米、长度在 30-60 微米之间。实验结果证明,此方法工艺简 单,成本低廉,能够大量合成纳米材料且能实现有效掺杂,同时,也可以通过适当改 变合成工艺参数有效调节样品的形貌以获得所需要的样品。

2、分别采用光刻法和 MASK 模板法两种方法制备了基于单根磷掺杂硫化镉纳米带的底栅场效应。两种方法都采用表面带有 300nm 厚的 SiO₂ 层的重掺杂 Si 片作为基体,其中 *p*+-Si 和 SiO₂ 分别作为场效应管的栅极和栅极绝缘层;磷掺杂 CdS 纳米带作为场效应管的沟道;使用金属铟制备场效应管的源极和漏极,从而成功制备磷掺杂 CdS 纳米带底栅场效应晶体管。

3、系统研究了磷掺杂 CdS 纳米带底栅场效应管的电学和光电学性能。电学性能 测试表明制备的器件为 n 沟道场效应管, CdS 纳米带的电导随栅压增加(或减小)而 增加(或减小),其跨导、载流子迁移率、阈值电压和亚阈值摆幅分别为 7.2nS、14.8 cm²/Vs、-14.3V 和 25V/dec。光电测试结果显示,磷掺杂 CdS 纳米带对可见光比较敏 感,光照下电流为暗电流的 10 倍,且光谱响应分析显示波长小于 517nm 的光对 CdS 纳米带场效应管的沟道电流有显著提高。

4、在 300℃下对 CdS 纳米带底栅场效应器件进行十分钟退火处理,能够明显改善蓄器件性能。经分析可知,退火消除了纳米带和金属电极的接触势垒,并激活了 P 的受主,因此电流比退火前提高了近一个数量级,其跨导 gm=70nS,载流子迁移率 μn=140 cm²/Vs 也提高了近 10 倍。

I

5、采用高介电常数氧化铪栅极介质作绝缘层,构造顶栅结构,进一步提高磷掺 杂 CdS 纳米带场效应管的性能。通过三步精确定位光刻方法,制备具有 30nm 氧化铪 绝缘层的顶栅结构 CdS 纳米带场效应管。其跨导、载流子迁移率、电流开关比、阈值 电压和亚阈值摆幅分别为 0.87μS、27.4 cm²/Vs、10⁷、-1.45V 和 200mV/dec,相比于底 栅场效应管分别提高了 120、1、10⁶、10 和 125 倍。另外,测试发现,通过施加合适 的栅极电压,可以获得高达 10⁶的明暗电流比。经过计算分析,底栅场效应管的下降 响应时间高于 30 秒,顶栅场效应管具有较快的光响应速度,其响应速度小于 5s,响 应速度明显提高。此实验结果对光电器件的响应频率的提高具有一定的参考意义。

关键词: 硫化镉纳米带; 场效应管; 掺杂; 高- к 栅极绝缘层; 顶栅; 响应速度; 纳米 器件

Fabrication and photoelectric properties of high-performance

phosphorus-doped CdS nanoribbon FETs

Abstract

CdS is the most promising material for detecting visible radiation due to its primary band gap of 2.4eV at room temperature, which nanostructures have also attracted much attention owing to the unique optical and electrical properties. Due to the fast development of nano- technology, study on fabrication and properties of CdS nanomaterials become more and more popular. In addition, great progress has been achieved in nanodevices based on CdS nanomaterials, such as photoelectric diodes, sensors, field effect transistor (FET) and logic circuits.

Doping is one of methods to improve the properties of materials and devices based on CdS nonmaterials. Recently, doping-effect of some dopants, such as In, Mn, Fe, Hg and Cl and so on, has been reported. But doping to materials to improve the devices performance is limited by materials themselves. For further improvement of the device performance, we must redesign the configuration of the devices. Herein, top-gate configuration and high- κ dielectric material (HfO₂) were used for further performance improvement.

In this dissertation, the electrical and optoelectronic performances of phosphorus-doped CdS nanoribbons have been studied systematically. First, P-doped CdS nanoribbons were synthesized by co-thermal evaporation. Then back-gate FETs based on P-doped CdS nanoribbons were fabricated and the performances have been studied. Subsequently, top-gate configuration and high- κ dielectric material (HfO₂) were used for fabrication high-performance nano-FET. Focuses on the methods to improve the performances of FET, it's useful for other fabrication of nano-FETs and helpful for its commerce application. The results are following:

1. The intrinsical and doped CdS nanoribbons were synthesized by co-thermal evaporation, using CdS and phosphorus powder as source material and dopant material. Experimental parameters such as: temperature, pressure, flow rate and time were studied well. CdS NRs have a uniform width of $0.5-1\mu m$, a thickness of $\sim 30\mu m$, a typical length of $30-60\mu m$. Moreover, the CdS NRs are hexagonal single crystals grown along the [001] orientation. In additional, the diverse morphologies of material can be obtained by different condition.

2. Back-gate FETs based on an individual CdS nanoribbon was fabricated by photolithography and mask template. The Si wafer covered with 300nm thick SiO_2 was

used as substrate. Si and SiO_2 were served as gate electrode and gate dielectric material, Indium was used for fabricating the source and drain electrodes.

3. The electrical and optoelectronic performances of back-gate CdS:P NR FETs have been studied systematically. It shows that the device exhibits the electrical characteristics of an n-channel FET, i.e., when V_G increases (or decrease), the conductance of the NR increase (or decrease). A transconductance (g_m) of 7.2nS, electron mobility (μ_n) of 14.8 cm²/Vs, threshold voltage (V_{th}) of -14.3V and subthreshold swing (S) of 25V/dec were obtained. From the measurements, P-doped CdS NR has a high sensitivity to visible light; the current of CdS NR FET measured in light is 10 times of it measured in dark, the current is increased obviously in light wavelength of less than 517 nm.

4. Annealing was used for improving the back-gate CdS:P NR FET performance at 300°C. The contact barrier was eliminated and the P acceptor was activated by annealing. So the current was enhanced by 10 times. A transconductance (g_m) of 70 nS and electron mobility (μ_n) of 140 cm²/Vs were obtained.

5. High- κ dielectric material (HfO₂) and top-gate configuration were used to fabricate the top-gate CdS:P NR FET. A transconductance (g_m) of 0.87µS, electron mobility (µ_n) of 27.4 cm²/Vs, I_{on}/I_{off} ratio of 10⁷, threshold voltage (V_{th}) of -1.45V and subthreshold swing (S) of 200mV/dec were obtained. In additional, a high I_{Light}/I_{Dark} ratio of 10⁶ can be obtained by applying an appropriate gate voltage. Response speed of back-gate and top-gate FET were studied well, which shows that the response time of back-gate FET is more than 30s, the top-gate FET has a fast response speed with response time of less than 5s.

Keywords: CdS nanoribbons; field-effect transistors; doping; high- κ dielectric material; top-gate; response speed; nanodevice

插图清单

图 1-1 芯片集成度的发展示意图	2
图 1-2 高介电栅介质与金属栅极晶体管的的共同作用	2
图 1-3 光刻工艺的发展	3
图 1-4 各种形貌的纳米材料	4
图 1-5 MOSFET 结构示意图(a)及典型特性曲线(b)	6
图 1-6 纳米场效应管示意图	6
图 1-7 CNFET 的结构	7
图 1-8 不同栅压下 CNTFET 的输出特性曲线	7
图 1-9 CdS 纳米带的传输性能	
图 1-10 (a)不同波长光照下 CdS 纳米带的 I-V 曲线 (b)CdS 纳米带的波长呼	9应…9
图 1-11 (a)CdS 纳米带的时间响应图 (b)时间响应的对数图	9
图 1-12 (a)器件的扫描照片 (b)肖特基二极管的 I-V 曲线 (c)二极管正向电	3流 (d)
二极管反向电流	10
图 1-13 (a)、(b)为纳米反相器示意图 (c)纳米反相器的传输特性 (d)反相器	的增益
	10
图 2-1 部分实验仪器照片	
图 2-2 底栅场效应管示意图	
图 2-3 光刻工艺流程图	15
图 2-4 底栅场效应管的制备工艺流程图	16
图 2-5 模板法示意图	17
图 2-6 顶栅场效应管示意图	17
图 2-7 制备顶栅场效应管示意图	19
图 2-8 X 射线散射示意图	19
图 2-9 扫面电子显微镜	
图 2-10 透射电子显微镜	
图 3-1 CdS 纳米结构热蒸发合成原理示意图	
图 3-2 磷掺杂 CdS 纳米带的扫描电镜照片	
图 3-3 磷掺杂 CdS 纳米带的(a)透射电镜照片和(b)高分辨电镜照片	
图 3-4 磷掺杂 CdS 纳米带的 XRD 图	
图 3-5 磷掺杂 CdS 纳米带底栅场效应管示意图	
图 3-6 CdS 纳米带分散照片	
图 3-7 模板法制备的场效应管器件照片	
图 3-8 CdS 纳米带底栅场效应管光刻图案	
图 3-9 磷掺杂 CdS 纳米带底栅场效应管	30
图 3-10 单根磷掺杂 CdS 纳米底栅带场效应管	30

图 3-11 CdS 纳米带底栅场效应实物照片	
图 3-12 磷掺杂 CdS 纳米带底栅场效应管的输出特性曲线	
图 3-13 本征 CdS 纳米带底栅场效应管的输出特性曲线	
图 3-14 磷掺杂 CdS 纳米带底栅场效应管的转移特性曲线	
图 3-15 光电测试示意图及器件照片	
图 3-16 CdS 纳米带底栅场效应管光电流与暗电流信号对比	
图 3-17 CdS 纳米带底栅场效应管电流随时间响应	
图 3-18 磷掺杂 CdS 纳米带底栅场效应管的光谱响应	
图 3-19 退火后 CdS 纳米带场效应管输出特性曲线	
图 3-20 退火后 CdS 纳米带场效应管转移特性曲线	
图 4-1 CdS 纳米带高- ĸ 顶栅场效应管示意图	
图 4-2 磷掺杂 CdS 纳米带高- κ 顶栅场效应管的制备	
图 4-3 磷掺杂 CdS 纳米带高-κ 顶栅场效应管(a)实物照片和(b)扫面电镜照	(片 42
图 4-4 磷掺杂 CdS 纳米带顶栅场效应管的输出特性曲线	
图 4-5 磷掺杂 CdS 纳米带顶栅场效应管的转移特性曲线	
图 4-6 CdS 纳米带顶栅场效应管的光响应	45
图 4-7 CdS 纳米带顶栅场效应管的光电时间响应	

表格清单

表 1-1	芯片发展各个阶段中使用的光源	3
表 2-1	实验药品1	12
表 4-1	底栅和顶栅场效应管的性能对比	14

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我 所知,除了文中特别加以标志和致谢的地方外,论文中不包含其他人已经发表或撰写过的研究 成果,也不包含为获得 合肥工业大学 或其他教育机构的学位或证书而使用过的材料。与我 一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文版权使用授权书

本学位论文作者完全了解 合肥工业大学 有关保留、使用学位论文的规定,有权保留并 向国家有关部门或机构送交论文的复印件和磁盘,允许论文被查阅或借阅。本人授权 合肥工 业大学 可以将学位论文的全部或部分论文内容编入有关数据库进行检索,可以采用影印、缩 印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文者签名: 上 2

导师签名:

签字日期:



签字日期:

学位论文作者毕业后去向:

工作单位:

电话:

通讯地址:

邮编:

本论文的完成,得益于合肥工业大学蒋阳教授的精心指导,从课题的选定、文献 资料的收集、开题报告准备及论文写作的指导蒋老师都倾注的大量心血,在此对导师 蒋阳教授表示感谢!

时光飞逝,研究生三年的学习生涯即将结束。通过这三年的学习很生活,使我对 材料科学的认识更加深入,特别是对纳米材料及器件知识的理解更是上了一个层次。 最重要的是我的人生观、世界观都得到了提升,学会了如何做好事,如何做好人。而 所有的这一切都得益于我的导师——蒋阳教授。

研究生入学时,有幸成为蒋老师的学生,更加近距离的得到指导和帮助。蒋老师 深厚的学术底蕴、敏锐的洞察力,严谨求实的学风,以及平易近人的态度深深地影响 着我,使我在对本课题研究时,能够快速、准确的把握研究方法。遇到困难可迷惑时, 蒋老师更像是一盏明灯,指引着我前进的方向。三年来,在蒋老师亲切的关怀下,我 的理论知识得到充实的同时,更是学会了做事的一种思维方式。这对我来说是一笔巨 大的无形财富。

当然在我研究生三年的学习生活中,我还要将我的谢意送给我实验室的同窗挚友 吴波、苏煌铭、石字、陈艳、李山鹰、蓝新正、刘新梅。正是他们对我无微不至的关 心,才使我的研究生三年是充实的三年。同时还要感谢电子科学与应用物理学院的揭 建胜教授,吴春艳、王莉、汪壮兵、于永强等老师,在研究生期间得到了他们孜孜不 倦的教导使我受益匪浅。

感谢国家 863 计划(No.2007AA03Z301)、国家 973 计划(No.2007CB9-36001)、国家教育部"新世纪优秀人才支持计划"(NCET-04-0561)、国家自然科学基金(Grant No. 20771032、No.60806028、No.20901021)、安徽省自然科学基金(070414200)、日本板销子材料基金的支持。

作者: 吴 翟 2010年4月

第一章 绪论

1.1 前言

信息技术的不断进步主要归功于采用低价格,高速度,高密度的材料,以及不断 增强的信息表述和处理方式的高可靠性。固体电子器件小型化和集成度持续不断的发 展是计算机技术取得成功的关键。先进多媒体技术的基础部件和建立信息处理的需求 也需要进一步减小芯片器件的尺寸。实际上,自从半导体器件和集成电路发明以来, 电子器件就一直朝着越来越小型化的方向演化,单个集成电路上的器件数量一直在稳 步地增加,而典型集成电路平均成本却没有显著的改变。半导体行业也一直遵守著名 的摩尔定律:集成电路上可容纳的晶体管数目,约每隔 18 个月便会增加一倍,性能 也将提升一倍。最初的集成电路由几个半导体晶体管和电阻组成,它可以完成如逻辑 门或基本放大器等基本功能。现在,数以百万计的超大规模集成电路已经很普遍,同 时,器件尺寸的减小也可以使其性能大大提高^[1]。

制造晶体管的平面工艺能够通过把金属蒸发到半导体晶片上的方法来形成内部 连线。其中,一个主要的进步是使用光刻技术,在半导体上放置特定图案的掩模板, 通过光刻腐蚀将光刻模板上的复杂图形转移到硅片表面的 SiO2 层上, 再经过掺杂扩散 等工艺,形成相应的器件和电路,这些步骤具有极高的精度和可靠性。同时,由于大 规模自动化生产的结果,尽管集成电路的复杂性增加了,但单个成本仍然保持很低^[2]。 1965 年裔用集成电路出现的时候,当时最大的集成电路只有 64 个器件,平均每个晶 体管占用面积近 50µm×50µm。1971 年,英特尔公司推出第一款推出的微处理器,也 是全球第一款微处理器 4004,尺寸为 3mm×4mm,外层有 16 只针脚,内里有 2,300 个晶体管, 它采用 10 微米制程。而英特尔公司于 2009 年推出的 Core i7 处理器采用 32nm 制作工艺,在 296 平方毫米的区域上集成了 7.31 亿个晶体管。 微处理器的发展 几乎是每两年集成度翻一番。晶体管数目也几何级数的迅速攀升,一直到 2006 年, 65mm 工艺技术突破遭遇的困难非常大,经过几次改进后漏电流和功耗的情况有所改 善,但这也几乎挖掘了 CPU 最后的潜力,绝缘层已经只有 5 个硅原子的厚度,已经 不可能再薄了,半导体芯片公司一英特尔,用尽了所有的办法才使得 65nm 工艺基本 达到了要求, 硅材料制造 CPU 在 65nm 时走到了尽头, 亟待新的突破。直到目前, High-k 栅介质和金属栅极晶体管这两个尖端技术的出现, 才带来了器件的重大的性能 提升和降低漏电,可实现产品由 65 纳米向 45 纳米的顺利过渡,而促成这巨大技术进 步的基础是半导体材料科学的发展。

以 Hafnium(铪)为基础的 high-k 材料对电子泄漏的阻隔效果比二氧化硅强,可以 达到传统材料二氧化硅的 10 倍,电子泄漏基本被阻断,可大幅减少漏电量。High-k 栅介质与金属栅极晶体管的引入能够使得晶体管漏电率较之传统材料降低10倍以上, 与 65 纳米制程工艺相比,能够在相同耗能下提升 20%的时钟频率亦或是在相同时钟 频率下拥有更低的耗能。45 纳米晶片每秒钟能够进行约三千亿次的开关动作,在以铜

1

与 low-k 材料搭配组成的内部连接线的作用下,晶片开关速度能够提升 20%且耗电量 降低 30%。







图 1-2 高介电栅介质与金属栅极晶体管的的共同作用 Fig.1-2 Combined action of high-k dielectric and metal gate. 除了半导体以上所讨论的工作原理极限限制之外,还有一些很具体的现实和技术 因素。光刻机当然也是芯片制作中最关键的设备,发出的激光波长越短,分辨率越高, 形成微电路的线宽也就越窄。线宽缩小了,芯片的集成度才能得以提高。历年来,光 刻机曝光光源的激光波长不断缩短,从436nm、365nm的近紫外(NUV)激光进入到 246nm、193nm的深紫外(DUV)激光。为获得这些激光,先后使用了汞灯光源和准 分子光源。随着器件的尺寸的缩小,寻找合适的光源也是至关重要的。

	准分子激光光源			
	水灯兀源	KrF	ArF	F ₂
波长 (nm)	365	246	193	157
分辨率 (µm)	0.4	0.2	0.15	0.12
应用工艺(半节距)	0.5μm 0.25μm	0.25µm、 0.18µm、0.13µm	0.13µm、90nm、 65nm	65nm、45nm

表 1-1 芯片发展各个阶段中使用的光源



图 1-3 光刻工艺的发展

Fig.1-3 The development of photolithography.

目前, 微电子超大集成电路的特征尺寸已经从深亚微米级发展到纳米尺度, 随着 电子器件集成度的进一步提高, 微纳电子器件物理和工艺面临新的挑战, 而以量子输 运机制为主导的固态量子器件, 即所谓的纳米电子器件, 渐渐地从实践和理论上步入 人们的视野, 其研究途径也渐渐清晰。目前比较成功的纳米电子器件包括共振隧穿器 件、单电子器件、纳米场效应晶体管等。与传统微电子器件相比, 纳米电子器件需要 人们研究新的运行机理,探索新的材料,发展新的加工技术,以便在未来制备出更小 尺寸的器件,这正是纳米电子学所要研究的问题。随着 CMOS 集成电路特征尺寸进入 100 纳米范围并且遇到了一系列的难题,以新的制造技术和新的运行机理为特征的纳 米电子器件却取得了显著地成功,并在一定程度上超越了传统的 CMOS 集成电路器件 的性能。随着纳米材料和器件研究的进展,它将带动相关科学技术的进步。纳米科学 技术将是 21 世纪最重要的学科和产业之一,同时也充满着机遇和挑战^[2]。

1.2 纳米材料及其器件

1.2.1 纳米材料研究

近年来,纳米材料及其相关器件引起人们极大关注,形成世界范围内的研究热潮。 由于尺寸限制效应、表面效应、小体积效应的存在,纳米材料可以被认为是区别于传 统薄膜与体材料的新的材料体系。基于低维材料的纳米器件也因此被发掘出了新的功 能与特性,从而具备超越现有器件性能的潜力。基于各类纳米材料的纳米器件开发正 如火如荼地进行中,这个领域的突破有望推动新一代光电器件的产生,可能成为信息 时代的基础技术,为社会和科技的发展带来深远影响^[3]。



图 1-4 各种形貌的纳米材料 Fig.1-4 Nanomaterials of different morphologies.

纳米材料可以按照维度区分为零维量子点及准一维纳米线、带、管等,其中准一 维半导体是近几年的热点,它的研究可以追溯到 90 年代初碳纳米管的发现^[4]。尽管碳 纳米管性能优越,由它可以制成高性能的纳米器件,其场效应器件的性能接近甚至超 过硅基器件^[5, 6]。但碳纳米管金属性与半导体性取决于其直径与螺旋度,产物往往是 不同传导特性碳管的混合物,分离提纯的困难限制了碳纳米管的大规模应用。与碳纳 米管相比,准一维半导体材料纯度高、性质可控、物性全面。此外,上世纪蓬勃发展 的半导体工业也为准一维半导体的合成与器件化提供了大量可资借鉴的经验与实例。 因此最近人们更多把注意力转向准一维半导体的开发与应用。目前制备的准一维半导 体几乎涵盖了所有常见的半导体材料^[7,8],包括 Si^[9]、Ge^[10]、ZnO^[11]、ZnS^[12]、ZnSe^[13]、 ZnTe^[14]、CdS^[15]、CdSe^[16]、CdTe^[17]、In₂O₃^[18]、GaN^[19]、InP^[20]、GaAs^[21]等等。具有 不同构型的准一维半导体如纳米管^[22]、线、带^[23]、环^[24]、螺旋^[25]、同轴电缆^[26]等被 一一合成,并且新的纳米材料还在不断出现。各种生长机制包括气-液-固(VLS)法^[27], 气-固(VS)法^[28],以及氧化物辅助(OAG)法^[29]等被逐渐提出,人们对准一维半导 体的生长过程的理解也越来越深入,生长技术也越来越完善^[30]。

1.2.2 纳米器件研究

目前标准的 CMOS 器件是以硅材料为基底的器件,可称为体硅 CMOS 器件。体 硅 CMOS 器件缩小到亚 100nm 以后将面临着许多挑战,除了工艺技术问题还有很多 器件物理问题需要解决,主要是电源电压及阈值电压缩小问题、短沟道效应、栅氧化 层可靠性、量子效应、杂质数涨落的影响以及互连线延迟等问题。

传统的集成电路芯片上晶体管的工作机理正在走向其物理极限,由于量子效应对 传统结构器件的性能影响越来越严重,简单的等比例缩小或者对常规的体硅 CMOS 器件结构进行改良,不能完全解决 CMOS 面临的种种挑战,研究纳米 CMOS 的新型 器件结构已成为迫切的课题。因此以量子效应为特征的固态电子器件近年来成为固态 半导体器件的一大研究热点,固态量子电子器件的物理、结构和工艺与纳米材料科学 及其加工技术紧密相连,这种器件构成了纳米电子器件的一个重要分支。

在纳米电子器件中,电子的运动不能再按照准自由粒子模型解释,而是遵循量子 力学规律。小尺寸引起的量子限域效应也改变了电子的能态密度,纳米结构的载流子 输运中量子隧穿效应成为器件特性中最基本特性。基于多量子阱或者超晶格的共振隧 穿效应制备出了共振隧穿晶体管。在零维纳米岛上,静电排斥导致了电子的库仑阻塞 效应,基于纳米隙的隧穿效应和纳米岛的库仑阻塞效应制备出了单电子晶体管。采用 一维纳米半导体如纳米线、纳米带等作为 MOSFET 器件的沟道,可以实现不同但性 能更为优越的纳米场效应晶体管器件,对于具备完整晶体结构的一维纳米材料而言, 沟道电子的输运性质已经完全不同于传统的 MOSFET 器件。纳米电子器件将是继真 空电子管和固态微电子器件之后的新一代电子器件。同时,人们已经成功制备了基于 纳米材料的生物传感器^[31]、化学探测器^[32]、高性能的场效应晶体管及逻辑电路^[33]、激 光二极管^[34]、发光二极管^[35]、太阳能电池^[36]、发电机^[37]等一系列的器件。

5

以场效应晶体管为例,场效应晶体管由控制栅极上外加电压产生的电场效应控制 沟道电流,是只与电子或空穴一种载流子的行为有关的器件。这种器件不仅兼有体积 小、重量轻、耗电省、寿命长等特点,而且还有输入阻抗高、噪声低、热稳定性好、 抗辐射能力强和制造工艺简单等优点,因而大大的扩展了它的应用,特别是在大规模 和超大规模集成电路中得到了广泛应用^[38]。它包括由 pn 结形成栅极的结型 FET、由 金属-绝缘体-半导体接触形成的 MISFET。在 MISFET 中,特别把绝缘层是氧化物的 所构成的器件称为 MOSFET。图 1-5 是 n 型沟道 MOSFET 的结构和典型特性曲线。



图 1-5 MOSFET 结构示意图(a)及典型特性曲线(b) Fig.1-5 Schematic of MOSFET (a) and typical characteristic curve (b)



图 1-6 纳米场效应管示意图 Fig.1-6 The Schematic of nano-FET.

图 1-6 分别为纳米场效应管结构的示意图。最早用碳纳米管制成场效应管是由 Tans 等人完成的^[39]。这也是首次关于室温下工作的纳米线晶体管的报道,它不仅具有 和硅晶体管类似的结构,也具有相似的性质,与相同特征尺寸 MOSFET 相比,它的



图 1-7 CNFET 的结构 Fig.1-7 The structure of CNFET.

特性更为优良。这个 CNTFET 的器件结构如图 1-7 所示, 硅作为基底, 表面二氧化硅 作为绝缘层, 一根半导体单壁碳纳米管覆盖在 SiO₂ 上, 碳纳米管两端与两个分离的 Pt 电极接触, 硅基底作为栅电极从而构成了一个最简单的底栅 (back-gate) CNTFET。



图 1-8 不同栅压下 CNTFET 的输出特性曲线 Fig.1-8 The output characteristic curve of CNTFET at varied V_G.

图 1-8 是 CNTFET 的 I-V 特征曲线,当栅压取正压值时,在较小的源漏电压下没 有电流,随着源漏电压的增加,出现了一系列的非线性的 I-V 曲线。较小栅压为负值, 即使源漏电压很小时,仍然打开了碳纳米管的导电通道。

近年来,各种新结构的纳米场效应管的研究表明其器件性能不断提高,特别是简 单的纳米逻辑电路的实现极大地推动了纳米电子电路的的研究和开发^[40-45]。这标志着 纳米器件在微电子电路中的应用已经取得了成果,但是其纳米材料的合成及器件的制 备仍然停留在实验室阶段。而II-VI族纳米半导体化合物已经引起了科研人员的兴 趣,特别是直接宽禁带化合物硫化镉,其本征材料和掺杂后性能都得到了广泛 而深入的研究。此外,基于 CdS 一维纳米结构的器件的应用也获得了很大的进步。科研人员已经成功制备了基于 CdS 一维纳米材料的场效应管,金属半导体场效应管,肖特基二极管、光电探测器及发光二极管等器件。

J.S.Jie 等人^[46, 47]用热蒸发的方法在管式炉里合成了 CdS 纳米带,并制备了 基于单根 CdS 纳米带的场效应管,并研究了其在不同温度下,不同光照强度的 电学信号。其信号如下图所示:



(a)CdS 纳米带场效应管的场效应曲线 (b) CdS 纳米带场效应管的转移特性曲线
 (c)不同温度下的 I_{DS}-V_{DS} 曲线 (d)不同光照强度下转移特性曲线
 Fig.1-9 Transport properties of single-crystal CdS nanoribbons

此外 Jie 等人还成功制备了基于 CdS 纳米带的光电探测器件,研究了其光电性能、 光谱响应、光强响应及时间响应等。其研究表明 CdS 纳米带比传统的薄膜和块体材料 具有更快的响应速度,纳米带的尺寸对响应速度有着重要的影响,较小尺寸的纳米带 具有较高的响应速度。高光敏感度和高光响应速度主要归因于较大的比表面和较高的 晶体质量。



图 1-10 (a)不同波长光照下 CdS 纳米带的 I-V 曲线 (b)CdS 纳米带的波长响应 Fig.1-10 (a)I-V curves of a CdS single nanoribbon illuminated with light of different wavelength (b) Spectral response of the CdS nanoribbon







Ren-Min Ma 等人^[48-54]成功制备了基于 CdS 纳米带的肖特基二极管和金属半导体 场效应管。使用 Au 和 In 电极分别与 CdS 纳米带形成肖特基接触和欧姆接触,其肖特 基二极管具有较低的反向电流密度(3×10⁻⁵ Acm⁻²)和较高的开关比(10⁸)。其金属半导 体场效应管为 n 型耗尽型场效应管,开启电压为-1.56V,跨导为 3.5μS 和较高的电流 开关比 2×10⁸。

Ma 等人还使用两个基于利用 CdS 纳米带的金属半导体场效应管成功制备了纳米 逻辑非门电路 (反相器)。CdS 纳米带反相器具有很高的性能,电流开关比为 10⁷,较低的开启电压 (-0.4V),较低的亚阈值摆幅 (60mV/dec)。



图 1-12 (a)器件的扫描照片 (b)肖特基二极管的 I-V 曲线 (c)二极管正向电流 (d)二极管反向电流 Figure 1. (a)SEM of the device. (b) I-V curve of a CdS NB Schottky diode on an exponential scale. (c) I-V curve in the forward current region. (d) I-V curve in the reverse current region.



图 1-13 (a)、(b)为纳米反相器示意图 (c)纳米反相器的传输特性 (d)反相器的增益 Fig.1-13 (a), (b) Schematic illustration of an inverter. (c) Transfer characteristic of the inverter. (d) The gain of the inverter vs the input voltage.

作为纳米集成电路的最基本的单元,纳米场效应管的性能仍有待提高,以便于将 来的实际应用。所以本文的主要目标是制备高性能的纳米场效应管。

本论文主要讨论磷掺杂硫化镉纳米带的合成及其纳米带场效应管的制备和 电学及光学的性能的表征。首先,采用热蒸发的方法,合成磷掺杂 CdS 纳米带。然后 制备出基于 CdS:P 纳米带的普通结构场效应管,并对其电学性能进行分析研究。随后, 采用高介电常数的栅极介质和顶栅结构的方法,分别制备出高性能纳米器件,并对其 光学及电学性能进行了系统研究。主要包括以下工作:

(1) 采用热蒸发的方法,以硫化镉和磷粉作为蒸发源和掺杂源,硅片和金分别 作为衬底和催化剂,合成形貌均匀一致的磷掺杂硫化镉纳米带,并对其形貌及结构作 详细分析:

(2) 分别采用光刻法和 MASK 模板法两种方法制备基于单根磷掺杂硫化镉纳 米带的底栅场效应。

(3) 采用高介电常数氧化铪栅极介质作绝缘层,构造顶栅结构,进一步提高磷 掺杂 CdS 纳米带场效应管的性能。

(4) 使用半导体测试仪和光电测试系统测量并计算器件的各项数据,系统研究 磷掺杂 CdS 纳米带底栅场效应管的电学和光电学性能。

11

第二章 实验设备、工艺及表征

2.1 实验药品及设备

2.1.1 实验药品

表 2-1 实验药品

Table2-1 Chemical reagents

药品名称	规格(型号)	厂家	
CdS	99.99%	Aldrich(美国)	
硅片	4寸	杭州海纳半导体有限公司	
二氧化硅片	4寸	合肥科晶材料技术有限公司	
光刻胶	RZJ-304	苏州瑞红电子化学品有限公司	
(正胶)显影液	RZX-3038	苏州瑞红电子化学品有限公司	
氩气	≥99.99%	合肥众益化工产品有限公司	
氢气	≥99.99%	合肥众益化工产品有限公司	
氮气	≥99.99%	合肥众益化工产品有限公司	
丙酮	分析纯	上海中试化工总公司	
酒精	分析纯	上海中试化工总公司	
铟粒	99.999%	国药集团化学试剂有限公司	
磷粉 99.99%		国药集团化学试剂有限公司	
金靶	99.99%	有研亿金新材料股份有限公司	
银浆	RS186-3600	英国 Radiospares 公司	

2.1.2 实验设备

(1) 高真空管式烧结炉(中科院沈阳科学仪器研制中心有限公司)

极限真空 6×10⁻⁵Pa,加热温度: 1400℃

(2) KW-4A 型匀胶机(中科院微电子研究所)

电机功率 40W, 真空泵抽气速率 ≥60 升/分,转速稳定度 ±1%, 胶的均匀性 ±3%;

(3) BP-2B 型烘胶台(北京圣微纳新技术研究所)

烘烤温度 ≤200℃, 控温精度 ±2℃;

(4) BG-401A 型曝光机(中国电子集团第四十五研究所)

最高精度 0.15µm

(5) 等离子体清洗仪

(6) DZS-500 型电子束-热蒸发镀膜系统(中科院沈阳科学仪器研制中心有限公司) 极限真空度≤7×10⁻⁵Pa, 工作真空≤7×10⁻⁴Pa, 270℃ E 型电子枪, 功率 0~6KW,

速率 0.1~99.9Å/min, 厚度分辨率 1Å

(7) 光学显微镜

(8) 探针台(台湾宜准科技股份有限公司)

(9) KEITHLEY4200 半导体测试系统(美国吉时利仪器公司)

(10) 快速退火炉(合肥科晶材料技术有限公司材料技术有限公司)

(11) 光电测试系统(北京卓立汉光仪器有限公司)

LPX 150 Arc Lamp、单色仪、Keithley2636

(12) 磁控溅射镀膜系统(中科院沈阳科学仪器研制中心有限公司)



图 2-1 部分实验仪器照片

(a) 匀胶机 (b) 烘胶台 (c) 光刻曝光机 (d) 电子束镀膜系统 (e) 高真空管式炉 (f) 快速退火炉 (g) 磁控溅射仪 (h) 探针台 (i) 吉时利 4200 半导体测试仪

Fig.2-1 The photos of some equipments.

2.2 实验工艺

2.2.1 CdS:P 纳米带的合成工艺

本实验使用高温烧结炉,采用热蒸发法合成纳米带,实验的关键在于控制纳 米带合成的温度、时间、炉内气压和载流气流速。通过严格控制以上参数合成 CdS 纳米材料。具体操作步骤如下:

- 1、分别称量适量的红磷粉末和 CdS 粉末放入两个 Al₂O₃ 烧舟中,将以上两个 烧舟和镀有 20nm 厚 Au 层的 Si 片放置在石英管的合适位置,然后将石英 管放入炉内:
- 2、打开高温烧结炉的电源及冷却水,关闭要炉腔和进气阀,打开机械泵抽真空,当炉内气压达到一定气压时关闭机械泵角阀并打开分子泵及其角阀,继续抽真空;
- 3、当炉内气压达到需要的气压时,关闭分子泵及其角阀;
- 4、打开加热电源,设置升温和保温程序,开始加热,此时并通入载气和保护 气体,并控制合适的流量;
- 5、在加热过程中,根据需要来调节炉内气压;
- 6、当升温和保温程序结束以后,停止通入气体,关闭机械泵,及总电源;

7、待炉内温度降至室温时,取出样品。

2.2.2 纳米场效应管的制备工艺

2.2.2.1 底栅场效应管的制备工艺

底栅场效应管是在表面覆盖二氧化硅层的硅片上制备,在单根一维纳米材料的两端制作源极和漏极,利用高掺杂的 Si 作为栅极,用纳米材料作为沟道,构成底栅场效应管。其结构如下图所示:



图 2-2 底栅场效应管示意图

Fig.2-2 The schematic of back-gate FET.

本实验采用光刻法和 MASK 模板法制备底栅场效应管。

一、光刻法

光刻工艺是半导体制造中最为重要的工艺步骤之一。 主要作用是将掩模板上的

图形复制到硅片上。光刻是一种复印图像与化学腐蚀相结合的综合性技术,它先采用 照相复印的方法,将光刻掩模板上的图形精确地复制在涂有光致抗蚀剂的 SiO₂ 层或金 属蒸发层上,在适当波长光的照射下,光致抗蚀剂发生变化,从而提高了强度,不溶于某 些有机溶剂中,未受光照射的部分光致抗蚀剂不发生变化,很容易被有机溶剂溶解。然 后利用光致抗蚀剂的保护作用,对 SiO₂ 层或金属蒸发层进行选择性化学腐蚀,从而在 SiO₂ 层或金属蒸发层上得到与光刻掩模板相对应的图形。具体步骤如下:

1、制样: 取适量的纳米材料置于酒精溶液中,制成纳米材料的悬浊液;

2、分散:用滴管将含有纳米材料的酒精溶液滴在有氧化层的硅片上;

3、涂胶:利用旋转法在 SiO₂ 片上涂上一层粘附性好、厚度适当、均匀的正性光 刻胶。将带纳米材料的 SiO₂ 片放置在匀胶台上,然后用滴管滴上数滴光刻胶将 SiO₂ 片覆盖住,利用转动时产生的离心力将 SiO₂ 片的多余光刻胶甩掉。在光刻胶表面粘附 力和离心力的共同作用下形成厚度均匀的胶层。实验中,精确控制匀胶台的转数和时 间,获得合适的光刻胶厚度;



图 2-3 光刻工艺流程图

Fig.2-3 Flow chart of photolithography process.

4、前烘:将 SiO₂ 片放在烘胶台上,烘烤一定的时间,促使光刻胶内溶剂充分地 挥发掉,使胶膜干燥,增加胶膜与 SiO₂ 片之间的粘附性和提高胶膜的耐磨性,不沾污 掩模板,只有干燥的光刻胶才能充分进行光化学反应。实验中,精确控制烘烤的温度 和时间:

5、曝光:采用接触式曝光法,在专用的光刻机上,包括定位和曝光两部分。先 预热紫外光灯,使光源稳定,将光刻掩模板安装在支架上,有图形的玻璃面向下,再 将涂有光刻胶的样品放在可微调的工作台上,有光刻胶的一面向上,在显微镜下使样

15

品和掩模板的图形对准并使两者紧密贴紧,最后曝光;

6、显影:将未感光部分的光刻胶溶解,以获得所需要的图形。将曝光后的样品 置于光刻显影液中,放置一定的时间,取出,用去离子水冲洗,并吹干。在显微镜下 检查图形质量;

7、后烘:显影时,胶膜会发生软化、膨胀,所以显影后必须进行坚固胶膜的处理,使胶膜与 SiO₂ 片之间粘帖得更牢固。将显影后的样品置于烘胶台上烘烤一定的时间,实验中,精确控制温度和时间等参数;

8、等离子体清洗:显影后 SiO₂ 片表面可能残留有很薄的一层光刻胶,会影响后面的制作金属电极的质量,必须清除残留的光刻胶。将样品放入 Plasma 清洗仪中,用离子轰击若干分钟;

9、制作金属电极:将样品放入电子束镀膜蒸发系统中,利用高能电子束轰击金 属靶,使之蒸发出来,在样品表面沉积,制备样品的源极和漏极,用于后面的电学测 试。;

10、去胶:去除样品表面多余的光刻胶及金属。将蒸镀好电极的样品放入去胶溶 液中一定时间,使多余的光刻胶溶解。

底栅场效应晶体管的制备工艺流程如下图所示:



图 2-4 底栅场效应管的制备工艺流程图

Fig.2-4 Flow chart of fabrication the back-gate FET.

二、MASK 模板法

MASK 模板法过程相对比较简单,将 5μm 的钨丝缠绕在一定模具上,将样品置于模具下方固定好,一起放入电子束镀膜系统中,蒸镀电极,制备相应的场效应管。相比于光刻法,模板法具有简单方便的优点,但其只适用于简单结构的制备,不能制备四电极结构,并且要求纳米材料的长度大于钨丝的直径。

MASK 模板法的具体步骤为:



Fig.2-5 Schematic illustration of Mask process.

1、制样:取适量的纳米材料置于酒精溶液中,制成纳米材料的悬浊液;

2、分散:用滴管将含有纳米材料的酒精溶液滴在有氧化层的硅片上;

3、制作金属电极:将样品放入电子束镀膜蒸发系统中,利用高能电子束轰击金 属靶,使之蒸发出来,在样品表面沉积,制备样品的源极和漏极;

2.2.2.2 顶栅场效应管的制备工艺

顶栅场效应管就是指栅极绝缘层和栅极在源极和漏极之上,本实验中采用了自下 而上的方法制备顶栅场效应管,先做好源极和漏极,在其上面制备一层绝缘层,然后 在绝缘层上制备栅极。顶栅场效应晶体管的制备一般分为三个过程:第一步,制备源 极和漏极;第二步,制备顶栅绝缘层;第三步,制备顶栅电极。特别关键的是,顶栅 场效应管的制备需要三次光刻工艺。其结构示意图如下:



图 2-6 顶栅场效应管示意图 Fig.2-6 The schematic of top-gate FET.

其具体工艺步骤如下:

第一步:制备顶栅场效应管的源极和漏极。利用光刻法制备源极和漏极,其步骤 和底栅场效应管的制备过程相同。

- 1、制样;
- 2、分散样品;
- 3、涂胶;
- 4、前烘;
- 5、曝光;
- 6、显影;
- 7、后烘;
- 8、等离子体清洗;
- 9、制作金属电极;
- 10、去胶。

第二步:制备顶栅场效应管的顶栅绝缘层。利用光刻机的对准曝光对样品进行二次光刻。在已经做好源极和漏极的样品上的特定区域光刻出顶栅绝缘层的图形,然后利用磁控溅射系统制备顶栅绝缘层。

- 1、涂胶;
- 2、前烘;
- 3、曝光;
- 4、显影;
- 5、后烘;
- 6、等离子体清洗;
- 7、制作顶栅绝缘层:磁控溅射系统制备顶栅绝缘层
- 8、去胶。

第三步:制备顶部栅极。利用和第二步相似的工艺,对准曝光,在已经制备好顶 栅绝缘层的样品上特定区域光刻出栅极图形,然后利用电子束镀膜系统制备金属电 极。其步骤如下:

- 1、涂胶;
- 2、前烘:
- 3、曝光;
- 4、显影;
- 5、后烘;
- 6、等离子体清洗;
- 7、制作顶栅电极;
- 8、去胶。





Fig.2-7 The schematic of fabrication of top-gate FET.

通过三次光刻、两次制备金属电极和一次制备栅极绝缘层,完成顶栅场效应管的 制作过程。

2.3 纳米材料的表征

纳米科学技术经过数十年的发展,历经了从纳米材料的制备、到纳米材料 的表征与性能研究、再到纳米器件的制备和性能测试三个阶段。纳米科学技术 的发展给人类社会的进步带来巨大的推动作用。表征方法在纳米材料发展中起 到了非常重要的作用。选择合适的表征手段对制备出的纳米结构进行准确的形 貌及结构表征和成分分析,给合成方法提供反馈信息,以达到更好的纳米材料 的合成效果,实现纳米材料合成与表征的进步。目前,对于一维纳米结构的表 征主要包括形貌分析、结构分析和成分分析等^[55]。

1.X 射线衍射(XRD)

X 射线衍射学是以 X 射线在晶体结构中的衍射现象为基础的, 衍射可归结为两个 方面: 一是衍射方向——干涉线的位置; 二是衍射强度——相含量的贡献。X 射线与





物质相互作用时,将受到原子中电子的散射,散射可分为非相干反散射和相干散射。 X射线经原子散射后,相干的X射线在空间就会形成互相干涉,由于各点位置不同, 所以同波阵面的X射线受到散射后,其位置就会发生变化,散射后的X射线在空间 就会互相干涉形成一个强度的再分布,在某些方向上会抵消。研究散射后的射线强度 分布就可得到该晶体的相关结构信息。

2. 扫描电子显微镜 (SEM)

扫描电子显微镜(Scanning Electron Microscope, 简称 SEM)的成像原理和光学 显微镜、透射电子显微镜不同,它是用电子束作为照明源,把聚焦得非常细的电子束 以光栅状扫描方式照射到样品上,产生各种与样品性质有关的信息,然后加以收集和 处理从而获得微观形貌放大的图像。尤其在最近数十年的时间内,扫描电子显微镜发 展迅速,又结合了 X 射线分光仪,电子探针以及其他很多技术而发展成为分析性的扫 描电子显微镜,仪器结构不断的改进,应用功能不断扩大,分析精度不断的提高,已 经成为众多研究领域不可缺少的工具,目前已广泛应用于生物医药、冶金矿产、材料 科学、物理和化学等领域。

扫描电子显微镜之所以得到迅速发展和广泛应用,这与其本身所具有的一系列特 点是分不开的。主要有:

(1) 仪器分辨本领较高。二次电子像分辨本领可达 7-10nm。

(2) 仪器放大倍数变化范围大(从几十倍到几十万倍),且连续可调。

(3) 图像景深大,富有立体感。可直接观察起伏较大的粗糙表面。

(4) 试样制备简单。

(5) 可做综合分析。



图 2-9 扫面电子显微镜 (a) 实物照片 (b) 结构原理图 Fig.2-9 Scanning Electron Microscope. 扫面电子显微镜的工作原理可以根据图 2-9 的示意图加以说明。由最上面的电子 枪发射出来的电子束,经栅极聚焦后,经过加速电压作用,经过由两三个电磁透镜所 组成的电子光学系统,最后电子束会聚成一个细的电子束聚焦在样品表面。在末级透 镜上面装有用于扫描的线圈,在它的作用下,使电子束在试样表面扫描。高能电子束 与试样交互作用,产生各种信息。这些信号被相应的接收器接收,经过放大后信号被 送到显像管的栅极上,以调制显像管的亮度。由于经过扫描线圈上的电流是与显像管 相应的亮度相互对应的,所以,电子束打到试样上的一点时,在显像管的荧光屏上就 会出现一个亮点。扫描电镜就是这样采用逐点成像的方法,把样品表面不同的特征, 按顺序、成比例的转换为视频信号,完成图像。

3. 透射电子显微镜(TEM)和高分辨透射电子显微镜(HRTEM)

在光学显微镜下无法看清小于 0.2μm 的细微结构,这些结构称为亚显微结构或超 微结构。要想看清超微结构结构,就需要选择波长更短的光源,以便提高显微镜的分 辨率。1932 年 Ruska 发明了以电子束作为光源的透射电子显微镜(transmission electron microscope, TEM),电子束的波长比可见光和紫外光的波长都短得多,并且电子束的 波长与发射电子束的电压平方根成反比,所以电压越高波长越短。目前 TEM 的分辨 力可达 0.2nm。电子显微镜与光学显微镜的成像原理基本一样,所不同的是透射电镜 是用电子束作光源,用电磁场作透镜。电子显微镜的放大倍数最高可达近百万倍、由 电子照明系统、电磁透镜成像系统、真空系统、记录系统、电源系统等 5 部分构成。



图 2-10 透射电子显微镜 (a) 实物照片 (b) 结构原理图 Fig.2-10 Transmission Electron Microscope. 相位衬度是指在假设试样晶体的厚度比较薄,电子波振幅变化可以忽略不计时, 由电子波相位的不同所引起的衬度称为相位衬度。在相位衬度的成像模式下,可以获 得较高分辨率的晶格结构像和晶格点阵像,显示材料物质在原子尺度上的精细结构, 这种像也称为高分辨像。高分辨透射电子显微技术是让透射波和各级散射波共同在像 平面上干涉成像。高分辨显微像的衬度与样品的对应关系依赖于图像的解释。图像解 释要结合电镜实验操作的具体条件和成像原理来分析,或用计算机模拟图像比较来分 析判断。高分辨电镜图像主要包括:晶格像和结构像。

高分辨透射电镜的晶格像分为一维条纹像和二维晶格像。一维条纹像是以透射波 和一束衍射波成像,在一维方向上强度呈周期变化的条纹花样。一维条纹像拍照时不 需要电子束准确和晶格平面平行,试样可以是各种厚度,不用特别设定衍射条件,所 以拍摄比较容易。衍射花样计算的晶面间距与图像中测量的晶面间距是相同的,由于 是两个波的干涉,二维晶格像是以同晶带的衍射波和透射波干涉生成的二维晶格条 纹。二维晶格像广泛用在晶格缺陷、相变、界面和表面等领域的研究上,期刊杂志上 发表的大多数高分辨电镜图像是二维晶格像。 第三章 磷掺杂 CdS 纳米带的合成及其底栅场效应管的制备与表征

为探索尺寸依赖的物理与化学性质,各种 II-VI 族纳米材料与纳米结构的合成与 组装研究一直是材料、化学、物理领域的研究热点。纳米材料合成技术及纳米器件组 装技术的进步为 II-VI 族半导体材料的应用带来新的机遇^[56-59]。

作为宽的直接禁带的半导体材料,II-VI 族化合物具有高荧光发光效率和大的激 子结合能等,展示了其广阔的应用前景。如广泛应用于各种发光装置,激光与红外探 测器件,光化学催化剂,光敏传感器,太阳能电池等领域。但基于这类材料的光电等 器件至今并未得到很好开发。原因之一在于传统的晶体生长和制备方法很难得到这类 材料的高质量纳米结构。而发展和制备这类材料的高质量的纳米结构是解决其在光电 器件应用中障碍的重要途径。

硫化镉(CdS)是一种宽的直接禁带(2.4eV)半导体化合物,由于其其发光波长位于可见光范围,具有良好的光电导特性,可调的禁带宽度(1.7-3.68eV)等独特的性质,引起了科研工作者的广泛兴趣,它在发光二极管^[59]、光电传感器^[61]和场效应管及逻辑电路^[33]等方面都得到了开发和应用。

3.2 磷掺杂 CdS 纳米带的合成及表征

3.2.1 磷掺杂 CdS 纳米带的合成

掺杂是控制半导体材料电学性质有效的方式,通常是半导体器件制备过程中必不可少的步骤。通过引入适当的掺杂元素,控制掺杂剂量,可以灵活调制半导体材料的导电类型、载流子浓度、迁移率及禁带宽度等电学特性^[61, 62],并在此基础上,获得 *p-n*结^[63]、异质结^[64]、超晶格^[65]等基本器件结构。通过这些基本器件结构的组装和集成,最终得到各类实用的电子、光电和存储器件。可以认为,掺杂技术的提出和发展 完善,是半导体工业取得如此成功的技术关键之一。

通过在管式炉中共热蒸发的方法制备磷掺杂的 CdS 纳米带^[66, 67]。CdS 粉末和磷粉 (纯度>99.99%)分别作为源材料和掺杂材料放在氧化铝烧舟中,然后分别放入石英 管的中游和上游,相隔 10 厘米。镀有 5nm 厚金层的硅片放置在石英管的下游沉积区 域,作为纳米结构生长衬底。然后将石英管内气压抽真空至 10⁴ Torr,再向石英管内 以 60 sccm 的流速通入高纯的氩气 (95%)和氢气 (5%)的混合气体作为载气和保护 气体,同时开始以 20 °C/min 的升温速率升至 910 °C,并保温两个小时。通过温度梯 度计算,可以得知磷源和硅衬底的温度大约为 470°C 和 530°C,在升温和保温过程中, 气压一直维持在 150 Torr。待管内温度降至室温时,取出样品,硅片表面有一层黄色 毛茸茸状沉积物。

23



图 3-1 CdS 纳米结构热蒸发合成原理示意图

Fig.3-1 Schematic illustration of synthesizing CdS nanostructure.

3.2.2 磷掺杂 CdS 纳米带的表征

为了确定已合成出的样品的形貌和成分,对样品进行了 SEM, TME, HRTEM, XRD, EDS 等分析。

3.2.2.1 磷掺杂 CdS 纳米带的形貌表征



图 3-2 磷掺杂 CdS 纳米带的扫描电镜照片 (a) 放大倍数为 2500 (b)放大倍数为 5000 Fig.3-2 FESEM image of the as-synthesized CdS:P nanoribbons. (a) 2500 magnification (b) 5000 magnification

图 3-2 所示为合成的磷掺杂 CdS 纳米带的形貌,经过两个小时的生长,我们获得 了密度很高的、毛茸茸状的纳米带样品。合成的 CdS 纳米带样品形貌比较均匀一致, 宽度在 0.5-1 微米之间、厚度大约为 30 纳米、长度在 30-60 微米之间。通过适当的改变合成时的温度、气压和生长时间,我们可以控制 CdS 纳米带的长度及宽度。



图 3-3 磷掺杂 CdS 纳米带的(a)透射电镜照片和(b)高分辨电镜照片 Fig.3-3 (a)The TEM image and (b)HRTEM image of CdS:P nanoribbon.

图 3-3(a)是 CdS 纳米带的透射电子显微镜照片(TEM),从图中可以看出合成的磷 掺杂 CdS 纳米带的宽度尺寸大概在 1.4 微米左右。从 TEM 图中可以看出,在 CdS 纳 米带中出现了各种花纹,这可能是透射电子束作用的结果^[68]。图 3-3(b)是磷掺杂 CdS 纳米带的高分辨透射电子显微镜照片(HRTEM)和对应的电子衍射花样图(SEAD)。从 图中分析可以得出,合成的 CdS 为单一的六方晶系,沿着[001]方向生长。

3.2.2.2 磷掺杂 CdS 纳米带的成分分析

图 3-4 显示了所合成的磷掺杂 CdS 纳米带的 X 射线衍射图谱,其中下方为标准 CdS 的标准 XRD 图谱,上方为磷掺杂 CdS 纳米带的 XRD 图谱。从图中我们可以看 出,合成的磷掺杂 CdS 纳米带为单晶的纤锌矿结构。其 X 射线衍射图谱与硫化镉标 准 X 射线衍射图谱(a=4.140Å and c=6.719Å, JCPDS Card No.02-0549)相符。经过进一 步对比分析发现,合成的 CdS:P 纳米带的 XRD 图谱与硫化镉标准 XRD 图谱有所偏移, 由于 P 原子的半径较大,进入 CdS 晶体结构间隙位置比较困难,P 掺杂后将取 代 S 的晶格位置,而 P 的原子半径 (1.23Å)大于 S 的原子半径 (1.09Å)。因此, 当 P 取代晶格中 S 的位置后,相邻晶面间距将增大。根据衍射峰位置偏移量可 以计算出晶格常数的变化值:晶格常数 a 从 4.126Å 增加到 4.132Å,晶格常数 c 从 6.692Å 增加到 6.717Å。P 掺杂对 CdS 晶体结构产生影响,使相邻晶面间距增 大,使 CdS 晶体结构常数发生改变,与理论分析情形相符合。

25



Fig.3-4 Phosphorus doped CdS nanoribbon XRD pattern.

3.3 磷掺杂 CdS 纳米带底栅场效应管的制备与表征

3.3.1 磷掺杂 CdS 纳米带的底栅场效应管的制备

本实验分别采用 MASK 模板法和光刻法制备磷掺杂 CdS 纳米带底栅场效应管, 两种方法各有特点,其中模板法实现比较方便、工艺简单,但只能制备简单的两电极 结构;光刻法工艺比模板法稍复杂,但其能实现多电极结构。本实验中采用的两种方 法都使用带有 300nm 厚的 SiO₂ 的重掺杂的 Si 片作为基体,其中 Si 和 SiO₂ 分别作为 场效应管的栅极和栅极绝缘层;磷掺杂的 CdS 纳米带作为场效应管的沟道;使用铟来 制备场效应管的源极和漏极构建磷掺杂的 CdS 纳米带场效应晶体管。图 3-5 为 CdS 纳米带底栅场效应管的结构示意图。



图 3-5 磷掺杂 CdS 纳米带底栅场效应管示意图 Fig.3-5 Schematic of CdS:P NR FET

3.3.1.1 MASK 模板法制备磷掺杂 CdS 纳米带底栅场效应管

将合成的 CdS 纳米带分散到表面清洁的带有 300nm 后的 SiO₂ 的 Si 片上。分散后 如图:



图 3-6 CdS 纳米带分散照片 Fig.3-6 The image of CdS NRs dispersion.

将分散有 CdS 纳米带样品的 Si 片装入模板中,放入热蒸发系统中,同时称取 0.15g 铟粒放入蒸发系统中的加热钨舟中,作为蒸发源。因为铟为低功函数金属(其功函数 为 4.09Φ/eV),磷掺杂 CdS 纳米带为 n 型半导体纳米材料,铟能与其形成很好的欧姆 接触,有效降低接触势垒。所以本实验中选取铟来作为场效应管的电极材料。待热蒸 发系统的系统真空抽至 10⁻⁴Pa 时,打开加热系统电源,缓慢增加电流,同时观察真空 计的示数和膜厚仪的示数。当膜厚仪示数显示为 0.5 纳米/秒时,停止增加加热电流, 并保持此速率至蒸发完毕。待蒸发完毕后,从热蒸发系统中取出样品,卸下模板,取 下样品即完成了底栅场效应晶体管的制备。



图 3-7 模板法制备的场效应管器件照片 (a)器件照片 (b)单个沟道照片 Fig.3-7 The image of FET device fabricated by MASK. (a) The image of device (b) The image of single channel 3.3.1.2 光刻法制备磷掺杂 CdS 纳米带底栅场效应管

虽然 MASK 模板法可以方便快捷的制备底栅场效应管,但这种方法精度不高, 无法制备更复杂结构的场效应器件,并且对样品的长度有较高的要求。所以本实验同 时也采用光刻法制备 CdS 纳米带场效应管。

首先将磷掺杂 CdS 纳米带分散到 SiO₂(300nm)/Si 片上, 然后旋涂正性光刻胶(苏 州瑞红, RZJ-304),以低速 600 转/分钟的转速旋涂 9 秒,再以高速 3500 转/分钟的转 速旋涂 30 秒使光刻胶均匀的覆盖在样品表面。再使用烘胶台在 90℃条件下烘烤 90 秒,使光刻胶内溶剂充分地挥发,达到干燥胶膜,增加胶膜与硅片氧化层片之间的粘 附性并提高光刻胶膜的耐磨性,不污染光刻掩模板。然后使用紫外光刻曝光机(CETC 45inst BG-401A)以 1.0 J/cm² 的光强进行曝光 20 秒,使用显影液(苏州瑞红 RZX-3038)显影 30 秒,将未感光部分的光刻胶溶解,以获得所需要的图形。最后在 显微镜下检查图形质量,确保电极图案清晰,并且没有残留的光刻胶。



图 3-8 CdS 纳米带底栅场效应管光刻图案 (a)、(b)四电极图案;(c)、(d)三电极图案;(e)、(f)两电极图案 Fig.3-8 The photolithography pattern of CdS NR FET.

曝光完成后使用等离子体清洗仪对样品表面进行处理,用等离子体轰击样品表面 去除样品表面残留的极薄的一层光刻胶,使制备电极时 CdS 纳米带能与铟电极紧密接 触,同时是金属铟能与 SiO₂ 表面结合牢固,在最后去胶时,金属电极不会脱落。随后 使用和 MASK 模板法一样的电极制备工艺一热蒸发法,制备源极和漏极,最后用丙 酮完成去胶步骤,形成电极,如图 3-9 所示。



图 3-9 磷掺杂 CdS 纳米带底栅场效应管 Fig.3-9 CdS:P NR back-gate FET.

3.3.2 磷掺杂 CdS 纳米带底栅场效应管的光电性能



图 3-10 单根磷掺杂 CdS 纳米底栅带场效应管 Fig.3-10 The single CdS:P NR back-gate FET.



图 3-11 CdS 纳米带底栅场效应实物照片 Fig.3-11 Photo of CdS nanodribbon back-gate FETs.

本实验使用美国吉时利公司的 4200 型半导体测试仪(Keithley 4200)和探针台, 在室温下对 CdS 纳米带底栅场效应晶体管进行电学性质的表征。考虑到 CdS 纳米带 对可见光比较敏感,除了光电导之外的所有电学测试均在暗场下进行的。





图 3-10 为单个磷掺杂 CdS 纳米带底栅场效应管的光学显微镜照片,可以观察到 单根 CdS 纳米带横跨在源漏电极之间,源漏电极的间距为 8 微米。



图 3-13 本征 CdS 纳米带底栅场效应管的输出特性曲线 Fig.3-13 The output characteristic curve of intrinsic CdS NR back-gate FET.

图 3-12 为 CdS 纳米带底栅场效应管栅压从-25V 增加到 5V 时的典型输出特性曲 线, 间隔为 5V。从图中可以看出,曲线较为线性,表明金属电极和 CdS 纳米带之间 有着良好的欧姆接触。当栅压增加(或减小)时,CdS 纳米带的电导也随之增加(或 减小),这说明此器件为 n 沟道场效应管。磷掺杂 CdS 表现为 n 型,这主要是因为 S 空位和空隙 Cd 原子导致的自补偿效应。如图 3-13 所示,实验结果表明基于本征 CdS 纳米带的场效应管电流小于 10⁻¹²A,并且对栅压几乎没有响应。这表明对于低电导的 半导体纳米材料,掺杂是提高其器件的有效手段。与本征的 CdS 纳米带场效应管相比, 磷掺杂的 CdS 纳米带场效应管具有很高的电导。

图 3-14 为磷掺杂 CdS 纳米带底栅场效应管在 V_{DS}=1V 时的转移特性曲线,从图 中可以得出此器件的开启电压为-14.3V; 电流的开关比为~10; 从图 3-14 中转移特性 曲线的线性部分可以计算出跨导:

$$g_m = dI_{DS} / dV_G = 7.3nS \quad (V_{DS} = 1 V)$$

再从公式

$$g_m = dI_{DS} / dV_G = (Z / L) \mu_n C_0 V_{DS}$$

可以得出:

$$\mu_n = \frac{g_m}{(Z/L)C_0 V_{DS}}$$

其中 Z/L 为器件沟道的宽度与长度之比,此器件中 Z 即为纳米带的宽度,L 即为两电 极之间的距离($8\mu m$); C₀为单位面积的电容 C₀= $\epsilon\epsilon_0/h$, ϵ 为 SiO₂的介电常数(3.9), h 为 SiO₂绝缘层的厚度。所以对于 SiO₂ 而言 C₀=11.5nF/cm²。



图 3-14 磷掺杂 CdS 纳米带底栅场效应管的转移特性曲线 Fig.3-14 The transfer characteristic curve of CdS:P NR back-gate FET.

迁移率是指载流子(电子和空穴)在单位电场作用下的平均漂移速度,即载流子 在电场作用下运动速度的快慢的量度,运动得越快,迁移率越大;运动得慢,迁移率 越小。同一种半导体材料中,载流子类型不同,迁移率不同,一般是电子的迁移率高 于空穴。

迁移率主要影响到晶体管的两个性能:

一是影响半导体材料电导率的大小。迁移率越大,电阻率越小,通过相同电流时,功耗越小,电流承载能力越大。由于电子的迁移率一般高于空穴的迁移率,因此,功 率型 MOSFET 通常总是采用电子作为载流子的 n 沟道结构,而不采用空穴作为载流 子的 p 沟道结构。

二是影响器件的工作频率。双极晶体管频率响应特性最主要的限制是少数载流子 渡越基区的时间。迁移率越大,需要的渡越时间越短,晶体管的截止频率与基区材料 的载流子迁移率成正比,因此提高载流子迁移率,可以提高晶体管的开关响应速度。

根据上式,我们可以计算得出磷掺杂 CdS 纳米带场效应管的电子迁移率 $\mu_n=14.8\ cm^2/Vs$ 。

亚阈值摆幅,又称为 S 因子,是 MOSFET 在亚阈状态工作时、作为逻辑开关时 的一个重要参数,它定义为:

$$S = \ln(10) \left[\frac{dV_G}{d \ln I_{DS}} \right]$$

单位是[mV/decade]。S 在数值上就等于为使漏极电流 I_D变化一个数量级时所需要的栅极电压增量 ΔV_{GS} ,表示着 I_D~ V_{GS} 关系曲线的上升率。

S 值与器件结构和温度等有关: 衬底反向偏压将使表面耗尽层电容减小,则S 值减小: 界面陷阱的存在将增加一个与电容并联的陷阱容,使S 值增大; 温度升高时, S 值也将增大。为了提高 MOSFET 的亚阈区工作速度,就要求S 值越小越好,为此应 当对 MOSFET 加上一定的衬偏电压和减小界面陷阱。从上述公式可以算得 S≈ 25V/dec。



图 3-15 光电测试示意图及器件照片 Fig.3-15 The schematic of photocurrent measurement and photo of the device

CdS 的禁带宽度为 2.4eV,对可见光非常敏感,是一种非常良好的光电材料,也 是作为可见光探测器的主要材料。本实验中,我们研究了底栅场效应管的光电导性 能,其测试结构示意图如图 3-15 所示。

图 3-16 显示了在有光照和无光照情况下, CdS 纳米带场效应管的 I-V 特性曲线的 对比。测试时采用 LED 光源作为入射光源。当有光照时,在源漏极为 5V 的情况下, 场效应管的电流能达到~1.6×10⁶A。相比下,在无光照时场效应管在源漏极为 5V 时 的电流为 1.8×10⁻⁷A。明暗电流比达到 10,显示了 CdS 纳米带对可见光的敏感性。电 流的增加主要是因为在光照下载流子的浓度的增加。



图 3-16 CdS 纳米带底栅场效应管光电流与暗电流信号对比 Fig.3-16 The comparison of signal measured in dark and in light

图 3-17 为源漏极电压为 5V 时明暗电流的时间响应关系,从图中可以明显的得出 明暗电流的对比。在探针台照明光源打开或关闭时,电源迅速增加或下降。值得注意 的是在打开光源时,电流开始急剧增加,随后有个缓慢增加的阶段;同样,当光源关 闭时,电流开始急剧下降增加,随后有个缓慢减小的过程。这主要是由于光源稳定性 的原因,当打开光源时,光源的光强有个逐渐增加并稳定的过程,所以这就导致了电 流信号的缓慢增加或减小的现象。



图 3-17 CdS 纳米带底栅场效应管电流随时间响应 Fig.3-17 Time response of CdS NR FET



图 3-18 磷掺杂 CdS 纳米带底栅场效应管的光谱响应 Fig.3-18 Spectral responses of CdS:P NR back-gate FET.

图 3-18 为磷掺杂 CdS 纳米带场效应管对入射光波长的光谱响应图。CdS 的禁带

宽度为 2.4eV, 所以根据光电效应公式:

$$\lambda = \frac{hc}{E_g} = 517 nm$$

也就是说当入射光的能量大于 CdS 的禁带跨度,即入射光的波长小于 517nm 时, 才能激发光生载流子,从而提高 CdS 纳米带的电导率。从图 3-16 中可以看出,当入 射光波长大于 517nm 时,磷掺杂 CdS 纳米带的电导率比较低;当入射光波长小于 517nm 时,其电导率明显上升,并且在 510nm 附近达到最大值,很好的说明了 CdS 纳米带的光电效应。

上述实验表明, CdS 纳米带是性能非常良好的光电材料, 对可见光的敏感度很高, 作为光电器件中有很大的应用前景。

3.4 退火对磷掺杂 CdS 纳米带底栅场效应管器件性能的改善

对半导体纳米材料进行及其器件进行退火处理有助于提高器件性能,已经应用在 很多材料及器件上^[69,70]。我们对 CdS 纳米带底栅场效应器件在 300℃下进行十分钟的 退火处理,在此退火温度下,晶体结构稳定^[71,72],并且不会破坏金属电极。图 3-18 为退火处理后的电学信号。



图 3-19 退火后 CdS 纳米带场效应管输出特性曲线 Fig.3-19 The output characteristic curve of CdS:P NR back-gate FET after annealing at 300℃.



图 3-20 退火后 CdS 纳米带场效应管转移特性曲线 Fig.3-20 The transfer characteristic curve of CdS:P NR back-gate FET after annealing at 300℃.

从图中可以看出,经过 300℃退火十分钟后,器件的性能明显改善了,其曲线更为线性,说明金属电极与 CdS 纳米带的接触为良好的欧姆接触,其接触势垒被进一步减小,和退火前相比,电流提高了近一个数量级。其跨导 g_m=70nS,载流子迁移率μ_n=140 cm²/Vs 提高了近 10 倍。

退火对器件性能的提高主要有两方面的原因,一是消除了纳米带和金属电极的接触势垒,从而改善了电接触;二是由于在合成 CdS 纳米带时通入了氢气,所以在 CdS 纳米带中会有 H 的存在^[73]。这样,由于 P 原子和 H 原子有很强的化学键作用,在 CdS 晶体中就会形成中性的 P-H 连接,因此最终补偿了 P 的受主^[74]。当 CdS:P 纳米带在合适的温度进行退火时,P-H 连接就会断裂、解离,H 就会脱离 CdS 纳米带,激活了 P 的受主。在这两种因素的共同作用下,器件性能得以提高。

3.5 本章小结

通过热蒸发法制备了磷掺杂的 CdS 纳米带,分别通过光刻法和模板法两种方法制备了基于单根磷掺杂 CdS 纳米带底栅场效应晶体管。对其进行了电学和光电学性测试,并对实验结果进行了分析。同时,采用退火处理改善器件性能。

- 使用高真空管式烧结炉合成形貌均一的磷掺杂的 CdS 纳米带,宽度在 0.5-1 微米之间、厚度大约为 30 纳米、长度在 30-60 微米之间。
- 2、采用光刻法和模板法两种方法制备基于单根CdS:P纳米带底栅场效应晶体管, 电学性能测试结果表明,所合成的CdS:P纳米带具有n型电导性,其跨导、

载流子迁移率、阈值电压和亚阈值摆幅分别为 7.2nS、14.8 cm²/Vs、-14.3V 和 25V/dec。

- 3、将 CdS:P 纳米带制备成光电器件,并进行测试,结果显示其对可见光比较敏感,在光照下的电流为暗电流的 10 倍。经过光谱响应分析发现,波长小于517nm 的光对其沟道电流有显著提高。
- 4、通过对器件进行快速退火,显著提高器件性能,测试结果显示载流子迁移率 提高了近 10 倍,并从两个方面进行了分析,一是退火降低了电极和 CdS 纳米 带的接触势垒,二是退火可以激活 P 的受主。

第四章 磷掺杂 CdS 纳米带顶栅场效应管的制备与表征

4.1 高介电常数绝缘层及顶栅结构在电子器件中的应用

早前间的英特尔处理器研发过程基本顺畅:按部就班的提升工艺,晶体管数目也 几何级数的迅速攀升,一直到 65nm 工艺时期截止。2006 年的 65nm 工艺技术突破遭 遇的困难非常大,经过几次改进后漏电流和功耗的情况有所改善,但这也几乎挖掘了 CPU 最后的潜力,绝缘层已经只有 5 个硅原子的厚度,已经不可能再薄了,英特尔用 尽了所有的办法才使得 65nm 工艺基本达到了要求,硅材料制造 CPU 在 65nm 时走到 了尽头,亟待新的突破。然而在 45 纳米工艺时代,英特尔不得不谋求新的绝缘层材 料,使得摩尔定律得以延续。采用以 Hafnium(铪)为基础的 High-κ 材料,其对电子泄 漏的阻隔效果是二氧化硅的 10 倍,电子泄漏基本被阻断,可大幅减少漏电量。实现 了产品由 65 纳米向 45 纳米的顺利过渡,促成这巨大技术进步的基础是半导体领域材 料科学的发展。

在纳米器件中,经常观察到由于界面缺陷和功函数不匹配导致的接触电阻较大, 而较大的接触电阻会导致器件性能的下降,对于高性能的器件来说,是必须要消除的。 可以通过选择功函数合适的金属。同时掺杂也是有效的方法,掺杂的效果是显而易见 的^[75,76]。除了掺杂以外,进一步提高器件的性能就需要寻找新的栅极绝缘层材料和更 为有效地器件结构^[77-80]。

介电常数(κ)是用来衡量材料能储存电荷能力的一种系数,不同种类的材料其κ值 一般来说是不同的,二氧化硅其κ值为 3.9,而超过这个数值的材料我们就习惯称之 为 high-κ材料。通过使用 high-κ 栅介质材料,门电极就能够不依靠追求很薄的栅极绝 缘层来提高调制沟道电导,因此能够减少器件的工作和减小漏电流。另一方面,优化 器件的结构对提高器件性能也是至关重要的。近年来,顶栅结构(top-gate)就是人们 研究的热点之—^[81,82]。相比于传统的底栅结构,顶栅结构具有很多优势,包括较小的 工作电压,较高的开关速度和较高的整合密度等。

因此,对比普通二氧化硅栅极绝缘层材料制成的 CdS 纳米带底栅场效应管,又采 用高介电常数栅极绝缘层材料氧化铪和顶栅结构来进一步提升场效应管的性能。

4.2 磷掺杂 CdS 纳米带顶栅场效应管的制备

本实验采用"自下而上"、多步光刻、分层制备技术来制备 CdS 纳米带高- κ 顶栅 场效应管。图 4-1 为 CdS 纳米带高- κ 顶栅场效应管示意图,其结构可以分为三层, 第一层为源极和漏极;第二层为栅极绝缘层;第三层为顶栅电极。我们采用三次光刻 来分别制备这三层结构。

第一步:

1、将磷掺杂的 CdS 纳米带分散到表面带有 300 纳米厚 SiO2 的重掺杂的 Si 片上;

40

2、以低速 600 转/分钟, 高速 3500 转/分钟的转速旋涂光刻胶;

3、在90度的烘胶台上烘烤90秒;

4、在 BG-401A 型曝光机上以 1mJ/cm² 的能量曝光 20 秒;

5、使用显影液(苏州瑞红 RZX-3038)显影 30 秒,将未感光部分的光刻胶溶解, 以获得所需要的图形;

6、曝光完成后使用等离子体清洗仪对样品表面进行处理;

7、使用 DZS-500 型电子束-热蒸发镀膜系统在样品表面蒸镀金属电极;

8、使用丙酮溶液去胶。

以上步骤基本与底栅场效应管的光刻法制备过程相同。

第二步,在第一步制备好的源漏电极上再旋涂光刻胶,进行精确定位光刻曝光, 在源漏电极的表面刻出栅极绝缘层的图形,其步骤与第一步过程相同。随后采用磁控 溅射制备 30 纳米厚的氧化铪(HfO₂);

第三步,与第二步相同采用定点光刻和电子束镀膜系统制备顶栅电极 20 纳米金。 其工艺步骤如图 4-2 所示。



图 4-1 CdS 纳米带高- ĸ 顶栅场效应管示意图

Fig.4-1 The schematic of CdS NR high- K top-gate FET.



图 4-2 磷掺杂 CdS 纳米带高-к 顶栅场效应管的制备 Fig.4-2 The fabrication of CdS:P NR high-к top-gate FET.



图 4-3 磷掺杂 CdS 纳米带高-κ 顶栅场效应管(a)实物照片和(b)扫面电镜照片 Fig.4-3 The photo(a) and SEM(b) of CdS:P NR high-κ top-gate FET.

图 4-3 为 CdS 纳米带高- к 顶栅场效应管的实物照片及扫面电镜照片, 其中源漏

电极的间距为 8 微米。CdS 纳米带的宽度约为 430 纳米。氧化铪绝缘层的厚度为 30nm, 顶部栅极为 20nm 的金电极。



4.3 磷掺杂 CdS 纳米带顶栅场效应管的光电性能



图 4-4 为磷掺杂 CdS 纳米带高介电常数绝缘层顶栅场效应管的输出特性曲线 (*I_{DS}-V_{DS}*)。顶栅电压从-2V 增加到 8V, 间隔为 2V。从图中可以看出 I-V 曲线比较线 性。在 V_{DS}=5V, V_G=8V 时,电流接近 30μA,相比于底栅场效应管电流提高了近两 个数量级。图 4-4 中的曲线分隔较开,而且间隔为 2V,说明顶栅电极对沟道电流的控 制能力较强,对沟道电流有很强的调制作用。另外,从图中可以看出,从 0V 到 2V 为典型的放大区域,从 2V 到 5V 为场效应管的饱和区,与经典的场效应器件的特性 相符合。

图 4-5 为磷掺杂 CdS 纳米带顶栅场效应管的转移特性曲线 (I_{DS} - V_G)。从图中可以 明显看出,相比于底栅场效应管,采用高介电常数栅极绝缘层和顶栅结构的场效应管 的性能显著提高;其工作电压降至±5V,开启电压 (V_{th})减小至-1.45V,开关电流比 (I_{on}/I_{off})高达 10⁷,在 V_{DS} =1V 时跨导 (g_m)为 0.87 μ S,并且载流子的迁移率 (μ_n) 为 27.4cm²/Vs。在 V_G =10V, V_{DS} =1V 时的工作电流为 10 μ A,亚阈值摆幅 (S)显著 地减小至~200mV/dec,虽然比理论值 60 mV/dec 要大,但是比目前很多已报道的纳米 材料的场效应的 S 值要小^[83-85]。和底栅场效应管相比,工作电压减小了 5 倍,跨导提 高了 120 倍;开关电流比增加了 10⁶倍,载流子的迁移率提高了一倍,亚阈值摆幅减 小了 125 倍。另外从图 4-4 中可以明显地观察到线性区和饱和区,这个特征非常吻合 金属氧化物半导体场效应管的特性。在图 4-5 中,当栅极电压达到-2V 时,此时沟道 电流为 10⁻¹²量级,说明沟道电流已经完全耗尽,顶栅电极对沟道电流的控制能力明显 增强。





Fig.4-5 The transfer characteristic curve of CdS:P NR top-gate FET.

表 4-1 /	底栅和顶栅	场效应管	的性能对日	Ł
---------	--------------	------	-------	---

	底栅场效应管	顶栅场效应	提高的倍数
阈值电压	-14.3V	-1.45V	10
跨导	7.3nS	0.87µS	120
载流子迁移率	$14.8 \text{ cm}^2/\text{Vs}$	$27.4 \text{ cm}^2/\text{Vs}$	2
电流开关比	10	107	10 ⁶
亚阈值摆幅	~25V/dec	~200mV/dec	125

Table4-1 The comparison between back-gate and top-gate FET

从表 4-1 中,可以直观地比较底栅场效应管和高- к 顶栅场效应管的性能差异。众 所周知,人们一直在追求低电压的电子器件以降低功耗,高- к 栅极绝缘层在这方面的 优势是显然的,它能够提供更高的电容而不依靠超薄的电介质层,从而能够提供较大 的电流、高开关电流比、较小的工作电压和亚阈值摆幅。另一方面,对于顶栅结构, 沟道的电导能够完全被电介质层封装,并且顶栅电极具有更高的沟道覆盖面积,因此 对沟道的控制能力更强。采用高- к 栅极绝缘层和顶栅结构两种技术,实现了器件性能 的明显提升。



图 4-6 CdS 纳米带顶栅场效应管的光响应 Fig.4-6 The photoconductive characteristics of CdS NR top-gate FET

图 4-6 为 V_{DS}=0.3V 时分别在光照下(虚线)和黑暗中(实线)测量的底栅场效 应管的转移特性曲线。因为顶部的金电极非常薄(20nm),顶栅绝缘层氧化铪为透明 的,所以光线能够照射 CdS 纳米带表面产生光电效应。从图 4-6 中,可以观察到开启 电压 V_{th} 从-1.45V 移动到-11V,这主要是因为在光照下,纳米带中的载流子的增加所 导致的。

图 4-7 为光电流和暗电流的时间响应关系,图中下方为顶栅场效应管光电信号, 上方为底栅场效应管的光电信号。当把栅极电压固定在合适的数值时,这里我们选择 V_G=-3V,获得了一个很高的明暗电流比 I_{on}/I_{off}=10⁶,如图 4-7 所示。相比于没有栅压 存在时,提高了 10⁵倍,这主要是因为当关闭光源时,负栅压加速了载流子的耗尽。 另外,我们从图 4-7 中还可以观察到有栅压存在时,顶栅场效应管有较快的光响应速 度了,其下降时间小于 5 秒,而没有栅压存在时,其下降时间包括两部分,一个较快 的下降边沿(图 4-7 中标记为 A)和一个较长的尾巴区域(标记为 B),其总共的下降 时间为数十秒。虽然有栅压存在时的场效应管的响应有所提高,但和文献中已报道的 数据^[60]还是有差距的,这主要是因为两个方面,一是因为 CdS 纳米带中存在大量的缺



陷和杂质降低了其响应速度;二是光源较慢的开关速度也影响了其响应速度。

图 4-7 CdS 纳米带顶栅场效应管的光电时间响应

Fig.4-7 Time response of CdS:P NR FET

4.4 本章小结

通过多步光刻法成功制备了高性能的单根磷掺杂 CdS 纳米带的高介电常数绝缘 层顶栅场效应晶体管。使用半导体测试系统和光电测试系统系统研究了其电学及光电 学性能,实验结果表明,相比于底栅场效应管,采用高介电常数氧化铪绝缘层和顶栅 场结构能够有效提高 CdS 纳米带效应管的性能。

1、成功实现了在同一样品上进行三次精确对准光刻的工艺,从而实现了自下而 上,分层制备的技术,为成功制备复杂结构纳米器件奠定了基础。

2、采用磁控溅射精确制备厚度 30nm, 致密且均匀的氧化铪层, 为 CdS 纳米带顶 栅场效应管提供了高质量的栅极绝缘层。

3、通过三次光刻和蒸镀高- κ氧化铪绝缘层和金属电极等工艺,成功制备了具有顶栅场结构的磷掺杂 CdS 纳米带场效应管。系统分析和研究了其电学性能,跨导、载流子迁移率、电流开关比、阈值电压和亚阈值摆幅分别为 0.87μS、27.4 cm²/Vs、10⁷、-1.45V 和 200mV/dec,相比于底栅场效应管分别提高了 120、1、10⁶、10 和 125 倍。

4、系统研究 CdS 顶栅场效应管的光电学性能。在光照下,其开启电压从-1.45V 变化到-11V,光电流为暗电流的 10 倍,通过在栅极施加-3V 的电压获得一个很高的明 暗电流比 I_{on}/I_{off}=10⁶,相比于没有栅压存在时,提高了 10⁵倍。

46

5、研究并分析底栅和顶栅场效应管的光响应速度。经过计算分析,底栅场效应 管的下降响应时间高于 30 秒,顶栅场效应管具有较快的光响应速度,其响应速度小 于 5s,响应速度明显提高。此实验结果对光电器件的响应频率的提高具有一定的参考 意义。

第五章 全文总结

随着固体电子器件小型化和集成度持续不断的发展,传统的集成电路芯片上晶体 管的工作机理正在走向其物理极限,简单的等比例缩小或者对常规的体硅 CMOS 器件 结构进行改良,不能完全解决 CMOS 面临的种种挑战,研究纳米 CMOS 的新型器件 结构已成为迫切课题。因此,近年来纳米电子器件成为研究热点。各种材料纳米场效 应管的器件性能不断提高,特别是简单的纳米逻辑电路的实现极大地推动了纳米电子 电路的的研究和开发。这标志着纳米器件在微电子电路中的应用已经取得了初步成 果,但是其纳米材料的合成及器件的制备仍然停留在实验室阶段。而且作为纳米集成 电路的最基本的单元,纳米场效应管的性能仍有待提高,以便于将来的实际应用。

本文系统地研究了磷掺杂 CdS 纳米带场效应管的电学及光学的性能。一方面采用 热蒸发法合成了形貌比较均匀一致的磷掺杂硫化镉纳米带,通过优化工艺条件获得形 貌理想、有效掺杂的 CdS 纳米带。另一方面,分别制备了基于磷掺杂 CdS 纳米带的 普通结构场效应管和采用高介电常数的栅极介质和顶栅结构的高性能场效应管,并对 其性能进行了系统研究。重点阐述了提高纳米场效应管器件性能的方法,对各种纳米 场效应管的制备及器件性能提高具有参考意义,对纳米场效应管的实际应用具有一定 的推动作用。取得的主要研究成果如下:

1、采用热蒸发的方法,金作为催化剂,合成形貌均一的。经过优化工艺参数, 合理控制温度、气压、气流量及时间。结果显示,磷掺杂 CdS 纳米带为六方纤锌矿结 构,生长方向为[001],宽度 0.5-1 微米、厚度约为 30 纳米、长度 30-60 微米。实验结 果证明,此方法工艺简单,成本低廉,能够大量合成纳米材料且能实现有效掺杂。

2、分别采用光刻法和 MASK 模板法两种方法制备单根纳米带底栅场效应。采用 表面 300nm 厚 SiO₂ 层的重掺杂 Si 片作为基体;磷掺杂 CdS 纳米带作为沟道;使用金 属铟制备场效应管的源极和漏极,成功制备磷掺杂 CdS 纳米带底栅场效应晶体管。

3、系统研究磷掺杂 CdS 纳米带底栅场效应管的电学和光电学性能。测试表明所 制备的器件为 n 沟道场效应管,电导随栅压增加(或减小)而增加(或减小),其跨 导、载流子迁移率、阈值电压和亚阈值摆幅分别可以达到 7.2nS、14.8 cm²/Vs、-14.3V 和 25V/dec。光电测试结果显示,磷掺杂 CdS 纳米带对可见光比较敏感,光照下电流 为暗电流的 10 倍,且光谱响应分析显示波长小于 517nm 的光对 CdS 纳米带场效应管 的沟道电流有显著提高。

4、对器件进行退火处理以改善器件性能,退火温度 300℃、时间 10 分钟,效果 明显。经分析可知,退火消除了纳米带和金属电极的接触势垒,并激活了 P 的受主, 因此电流比退火前提高了近一个数量级,其跨导 g_m=70nS,载流子迁移率 μ_n=140 cm²/Vs 也提高了近 10 倍。

5、为了进一步提高器件性能,采用高介电常数氧化铪栅极介质和顶栅结构制备 磷掺杂 CdS 纳米带场效应管,其中使用 3 次精确定位光刻,氧化铪绝缘层厚度为 30nm。

48

电学性能测试结果: 跨导、载流子迁移率、电流开关比、阈值电压和亚阈值摆幅分别 为 0.87μS、27.4 cm²/Vs、10⁷、-1.45V 和 200mV/dec,相比于底栅场效应管分别提高了 120、1、10⁶、10 和 125 倍。另外,通过施加合适的栅极电压,可以获得高达 10⁶的明 暗电流比。

6、对比分析底栅和顶栅场效应管的光响应速度。经过计算,底栅场效应管的下降响应时间高于 30 秒,顶栅场效应管具有较快的光响应速度,其响应速度小于 5s,响应速度明显提高。此实验结果表明顶栅结构对光电器件的响应频率的提高具有显著效果。

综上所述,采用热蒸发法,优化工艺条件,合成磷掺杂的 CdS 纳米带。同时,制 备底栅场效应管,并利用改进工艺条件、使用高介电常数氧化铪绝缘层、构造先进的 顶栅器件结构,制备了高性能的 CdS 纳米带场效应管。本文的研究成果为基于准一维 纳米材料的器件研究及性能提升提供了很好的借鉴,有利于推动高性能的纳米器件的 实际应用。

参考文献

- [1] 杜磊,庄奕琪,纳米电子学.北京:电子工业出版社,2004
- [2] 朱长纯,贺永宁,纳米电子材料与器件.北京:国防工业出版社,2006
- [3] 张亚菲,"纳电子器件的纳米碳管构成技术进展", 《科学(上海)》, 2004 年04 期
- [4] S. Iijima, "Helical microtubules of graphitic carbon", Nature (London) 354, 56 (1991).
- [5] S. Tans, A. R. Vershueren, and C. Dekker, "Room-temperature transistor based on a single carbon nanotube", *Nature* (London) 393, 49 (1998).
- [6] A. Javey, H. Kim, M. Brink, Q. Wang, A. Ural, J. Guo, P. Mcintyre, P. Mceuen, M. Lundstron, and H. J. Dai, "High-k dielectrics for advanced carbon-nanotube transistors and logic gates", *Nature. Mater.* 1, 241 (2002).
- [7] P. Yang, Y. Wu, and R. Fan, "Inorganic semiconductor nanowires", *International Journal of Nanoscience*, 1, 1 (2002).
- [8] C. N. R. Rao, F. L. Deepak, G. Gundiah, and A. Govindaraj, "Inorganic nanowires", Prog. in Solid State Chem. 31, 5 (2003).
- [9] Cui, Y., Z. H. Zhong, D. L. Wang, W. U. Wang and C. M. Lieber (2003). "High performance silicon nanowire field effect transistors." Nano Letters 3(2): 149-152.
- [10]Sierra-Sastre, Y., S. A. Dayeh, S. T. Picraux and C. A. Batt "Epitaxy of Ge Nanowires Grown from Biotemplated Au Nanoparticle Catalysts." ACS Nano 4(2): 1209-1217.
- [11] Yuan, G. D., W. J. Zhang, J. S. Jie, X. Fan, J. A. Zapien, Y. H. Leung, L. B. Luo, P. F. Wang, C. S. Lee and S. T. Lee (2008). "p-type ZnO nanowire arrays." Nano Letters 8(8): 2591-2597.
- [12] Jiang, Y., X. M. Meng, J. Liu, Z. Y. Xie, C. S. Lee and S. T. Lee (2003).
 "Hydrogen-assisted thermal evaporation synthesis of ZnS nanoribbons on a large scale." Advanced Materials 15(4): 323-327.
- [13] Jiang, Y., X. M. Meng, W. C. Yiu, J. Liu, J. X. Ding, C. S. Lee and S. T. Lee (2004).
 "Zinc selenide nanoribbons and nanowires." Journal of Physical Chemistry B 108(9): 2784-2787.
- [14]Zhang, J., P. C. Chen, G. Z. Shen, J. B. He, A. Kumbhar, C. W. Zhou and J. Y. Fang (2008). "p-Type Field-Effect Transistors of Single-Crystal Zinc Telluride Nanobelts." Angewandte Chemie-International Edition 47(49): 9469-9471.
- [15]Kar, S., B. Satpati, P. V. Satyam and S. Chaudhuri (2005). "Synthesis and optical properties of CdS nanoribbons." Journal of Physical Chemistry B 109(41):

19134-19138.

- [16] Jiang, Y., W. J. Zhang, J. S. Jie, X. M. Meng, X. Fan and S. T. Lee (2007).
 "Photoresponse properties of CdSe single-nanoribbon photodetectors." Advanced Functional Materials 17(11): 1795-1800.
- [17] Liang, H. W., S. Liu, Q. S. Wu and S. H. Yu (2009). "An Efficient Templating Approach for Synthesis of Highly Uniform CdTe and PbTe Nanowires." Inorganic Chemistry 48(11): 4927-4933.
- [18]Zhang, W. F., J. S. Jie, L. B. Luo, G. D. Yuan, Z. B. He, Z. Q. Yao, Z. H. Chen, C. S. Lee, W. J. Zhang and S. T. Lee (2008). "Hysteresis in In2O3:Zn nanowire field-effect transistor and its application as a nonvolatile memory device." Applied Physics Letters 93(18).
- [19]He, X. L., G. W. Meng, X. G. Zhu and M. G. Kong (2009). "Synthesis of Vertically Oriented GaN Nanowires on a LiAlO2 Substrate via Chemical Vapor Deposition." Nano Research 2(4): 321-326.
- [20]Lim, T. H., S. Ravi, C. W. Bumby, P. G. Etchegoin and R. D. Tilley (2009). "Synthesis, characterization and photoconductivity of highly crystalline InP nanowires prepared from solid hydrogen phosphide." Journal of Materials Chemistry 19(27): 4852-4856.
- [21]Zhang, G. Q., K. Tateno, H. Sanada, T. Tawara, H. Gotoh and H. Nakano (2009). "Synthesis of GaAs nanowires with very small diameters and their optical properties with the radial quantum-confinement effect." Applied Physics Letters 95(12).
- [22]Song, C., T. Kwon, J.-H. Han, M. Shandell and M. S. Strano (2009). "Controllable synthesis of single-walled carbon nanotube framework membranes and capsules." <u>Nano Lett</u> 9(12): 4279-84.
- [23] Jiang, Y., X. M. Meng, W. C. Yiu, J. Liu, J. X. Ding, C. S. Lee and S. T. Lee (2004).
 "Zinc selenide nanoribbons and nanowires." Journal of Physical Chemistry B 108(9): 2784-2787.
- [24]Lv, B. L., Y. Xu, Q. Gao, D. Wu and Y. H. Sun "Controllable Synthesis and Magnetism of Iron Oxides Nanorings." Journal of Nanoscience and Nanotechnology 10(4): 2348-2359.
- [25]Gao, P. X., Y. Ding, W. J. Mai, W. L. Hughes, C. S. Lao and Z. L. Wang (2005).
 "Conversion of zinc oxide nanobelts into superlattice-structured nanobelices." Science 309(5741): 1700-1704.
- [26] Chao, H. Y., J. H. Cheng, J. Y. Lu, Y. H. Chang, C. L. Cheng and Y. F. Chen "Growth and characterization of type-II ZnO/ZnTe core-shell nanowire arrays for solar cell applications." Superlattices and Microstructures 47(1): 160-164.

- [27]A. M. Morales, and C. M. Lieber, "A Laser ablation method for the synthesis of crystalline semiconductor nanowires", *Science* 279, 208 (1998).
- [28]Z. W. Pan, Z. R. Dai, and Z. L. Wang, "Nanobelts of semiconducting oxides", Science 291, 1947 (2001).
- [29]R. Q. Zhang, Y. Lifshitz, and S. T. Lee, "Oxide-assisted growth of semiconducting nanowires", Advance. Material. 15, 635 (2003).
- [30]Colli, A., A. Fasoli, S. Hofmann, C. Ducati, J. Robertson and A. C. Ferrari (2006).
 "Deterministic shape-selective synthesis of nanowires nanoribbons and nanosaws by steady-state vapour-transport." Nanotechnology 17(4): 1046-1051.
- [31]Du, D., M. H. Wang, J. Cai, Y. H. Qin and A. D. Zhang "One-step synthesis of multiwalled carbon nanotubes-gold nanocomposites for fabricating amperometric acetylcholinesterase biosensor." Sensors and Actuators B-Chemical 143(2): 524-529.
- [32]Liu, H. Q., J. Kameoka, D. A. Czaplewski and H. G. Craighead (2004). "Polymeric nanowire chemical sensor." Nano Letters 4(4): 671-675.
- [33] Wu, P., Y. Ye, T. Sun, R. Peng, X. Wen, W. Xu, C. Liu and L. Dai (2009). "Ultrahigh-performance inverters based on CdS nanobelts." ACS Nano 3(10): 3138-42.
- [34] De Boor, J., N. Geyer, J. V. Wittemann, U. Gosele and V. Schmidt "Sub-100 nm silicon nanowires by laser interference lithography and metal-assisted etching." Nanotechnology 21(9).
- [35]Bao, J. M., M. A. Zimmler, F. Capasso, X. W. Wang and Z. F. Ren (2006)."Broadband ZnO single-nanowire light-emitting diode." Nano Letters 6(8): 1719-1722.
- [36]Kuang, D., J. Brillet, P. Chen, M. Takata, S. Uchida, H. Miura, K. Sumioka, S. M. Zakeeruddin and M. Gratzel (2008). "Application of highly ordered TiO2 nanotube arrays in flexible dye-sensitized solar cells." ACS Nano 2(6): 1113-1116.
- [37] Wang, Z. L. and J. H. Song (2006). "Piezoelectric nanogenerators based on zinc oxide nanowire arrays." Science 312(5771): 242-246.
- [38]康华光,陈大钦,电子技术基础.北京:高等教育出版社,1999
- [39] Tans, S. J., A. R. M. Verschueren and C. Dekker (1998). "Room-temperature transistor based on a single carbon nanotube." Nature 393(6680): 49-52.
- [40] Yeom, D., K. Keem, J. Kang, D. Y. Jeong, C. Yoon, D. Kim and S. Kim (2008). "NOT and NAND logic circuits composed of top-gate ZnO nanowire field-effect transistors with high-k Al2O3 gate layers." Nanotechnology 19(26).
- [41]Shu, L. and Z. Tong (2008). "Architecture design of resistor/FET-logic demultiplexer for hybrid CMOS/nanodevice circuit interconnect." Nanotechnology: 185202 (9 pp.).

- [42] Javey, A., H. Kim, M. Brink, Q. Wang, A. Ural, J. Guo, P. McIntyre, P. McEuen, M. Lundstrom and H. Dai (2002). "High-[kappa] dielectrics for advanced carbon-nanotube transistors and logic gates." Nat Mater 1(4): 241-246.
- [43]Fregonese, S., C. Maneux and T. Zimmer (2009). "Technological dispersion in CNTFET: impact of the presence of metallic carbon nanotubes in logic circuits." Solid-State Electronics: 1103-6.
- [44] Jo, G., W. K. Hong, J. Maeng, M. Choe, W. Park and T. Lee (2009). "Logic inverters composed of controlled depletion-mode and enhancement-mode ZnO nanowire transistors." Applied Physics Letters 94(17).
- [45] Chen, Z. H., J. Appenzeller, Y. M. Lin, J. Sippel-Oakley, A. G. Rinzler, J. Y. Tang, S. J. Wind, P. M. Solomon and P. Avouris (2006). "An integrated logic circuit assembled on a single carbon nanotube." Science 311(5768): 1735-1735.
- [46] Jie, J. S., W. J. Zhang, Y. Jiang and S. T. Lee (2006). "Transport properties of single-crystal CdS nanoribbons." Applied Physics Letters 89(22)
- [47] Jie, J. S., W. J. Zhang, Y. Jiang, X. M. Meng, Y. Q. Li and S. T. Lee (2006).
 "Photoconductive characteristics of single-crystal CdS nanoribbons." Nano Letters 6(9): 1887-1892.
- [48] Ma, R. M., L. Dai, H. B. Huo, W. J. Xu and G. G. Oin (2007). "High-performance logic circuits constructed on single CdS nanowires." Nano Letters 7(11): 3300-3304.
- [49] Ma, R. M., L. Dai, H. B. Huo, W. Q. Yang, G. G. Qin, P. H. Tan, C. H. Huang and J. Zheng (2006). "Synthesis of high quality n-type CdS nanobelts and their applications in nanodevices." Applied Physics Letters 89(20).
- [50] Ma, R. M., L. Dai, C. Liu, W. J. Xu and G. G. Qin (2008). "High-performance nanowire complementary metal-semiconductor inverters." Applied Physics Letters 93(5).
- [51]Ma, R. M., L. Dai and G. G. Qin (2007). "High-performance nano-Schottky diodes and Nano-MESFETs made on single CdS nanobelts." Nano Letters 7(4): 868-873.
- [52]Ma, R. M., L. Dai and G. G. Qin (2007). "Enhancement-mode metal-semiconductor field-effect transistors based on single n-CdS nanowires." Applied Physics Letters 90(9).
- [53]Ma, R. M., X. L. Wei, L. Dai, H. B. Huo and G. G. Qin (2007). "Synthesis of CdS nanowire networks and their optical and electrical properties." Nanotechnology 18(20).
- [54] Wu, P. C., R. M. Ma, C. Liu, T. Sun, Y. Ye and L. Dai (2009). "High-performance CdS nanobelt field-effect transistors with high-kappa HfO2 top-gate dielectrics." Journal of

Materials Chemistry 19(15): 2125-2130.

[55]黄新民,解挺,材料分析测试方法.北京:国防工业出版社,2008

- [56]Semaltianos, N. G., S. Logothetidis, W. Perrie, S. Romani, R. J. Potter, M. Sharp, P. French, G. Dearden and K. G. Watkins (2009). "II-VI semiconductor nanoparticles synthesized by laser ablation." Applied Physics a-Materials Science & Processing 94(3): 641-647.
- [57]Mingo, N. (2004). "Thermoelectric figure of merit of II-VI semiconductor nanowires." Applied Physics Letters 85(24): 5986-5988.
- [58] Husain, M. M. (2009). "Computation of structural and electronic properties of single-wall II-VI compound nanotubes." Physica E-Low-Dimensional Systems & Nanostructures 41(7): 1329-1337.
- [59] Yang, C. S. and K. L. Ku (2003). Synthesis and organization of II-VI low dimension nanomaterials in nonionic amphiphilic triblock copolymer systems. International Journal of Nanoscience, Vol 2, Nos 4 and 5. T. T. Tsong, C. S. Chang, K. H. Chen and S. Gwo. 2: 257-263.
- [60] Jie, J. S., W. J. Zhang, Y. Jiang, X. M. Meng, Y. Q. Li and S. T. Lee (2006).
 "Photoconductive characteristics of single-crystal CdS nanoribbons." Nano Letters 6(9): 1887-1892.
- [61]He, Z. B., J. S. Jie, W. J. Zhang, W. F. Zhang, L. B. Luo, X. Fan, G. D. Yuan, I. Bello and S. T. Lee (2009). "Tuning Electrical and Photoelectrical Properties of CdSe Nanowires via Indium Doping." Small 5(3): 345-350.
- [62] Jie, J. S., G. Z. Wang, X. H. Han, Q. X. Yu, Y. Liao, G. P. Li and J. G. Hou (2004)."Indium-doped zinc oxide nanobelts." Chemical Physics Letters 387(4-6): 466-470.
- [63]Park, Y. S., C. M. Park, J. W. Lee, H. Y. Cho, T. W. Kang, K. H. Yoo, M. S. Son and M. S. Han (2008). "Electrical transport properties of a nanorod GaN p-n homojunction grown by molecular-beam epitaxy." Journal of Applied Physics 103(6).
- [64]Kim, M. S., J. S. Kim, J. C. Cho, M. Shtein, L. J. Guo and J. Kim (2007). "Flexible conjugated polymer photovoltaic cells with controlled heterojunctions fabricated using nanoimprint lithography." Applied Physics Letters 90(12).
- [65]Li, D. P., G. Z. Wang, X. H. Han, J. S. Jie and S. T. Lee (2009). "Synthesis and Characterization of In-Doped ZnO Planar Superlattice Nanoribbons." Journal of Physical Chemistry C 113(14): 5417-5421.
- [66] Wang, Y., Y. Jiang, D. Wu, Y. P. Sheng, L. L. Chen, G. H. Li and J. S. Jie "Field Effect Properties of Phosphorus Doped CdS Single-Crystal Nanoribbon via

Co-Thermal-Evaporation." Journal of Nanoscience and Nanotechnology 10(1): 433-439.

- [67] Ma, R. M., L. Dai, H. B. Huo, W. Q. Yang, G. G. Qin, P. H. Tan, C. H. Huang and J. Zheng (2006). "Synthesis of high quality n-type CdS nanobelts and their applications in nanodevices." Applied Physics Letters 89(20).
- [68] A. Nag, S. Sapra, C. Nagamani, A. Sharma, N. Pradhan, S. V. Bhat, and D. D. Sarma, A study of Mn2+ doping in CdS nanocrystals[J].*Chem. Mater.* 2007,19:3252.
- [69]G. D. Yuan, W. J. Zhang, W. F. Zhang, X. Fan, I. Bello, C. S. Lee, S. T. Lee, "p-type conduction in nitrogen-doped ZnS nanoribbons" [J] Applied Physics Letters, 2008, 93.
- [70]K. Ogata, D. Kawaguchi, T. Kera, S. Fujita, "Effects of annealing atmosphere and temperature on acceptor activation in ZnSe:N grown by photoassisted MOVPE" [J] Journal of Crystal Growth, 1996, 159, 312.
- [71]O. Zelaya-Angel, R. Lozada-Morales, "Sphalerite-wurtzite phase transformation in CdS" [J] Physical Review B, 2000, 62, 13064.
- [72]O. Zelayaangel, A. E. Esparzagarcia, C. Falcony, R. Lozadamorales, R. Ramirezbon, "PHOTOLUMINESCENCE EFFECTS ASSOCIATED WITH THERMALLY-INDUCED CRYSTALLINE-STRUCTURE CHANGES IN CDS FILMS" [J] Solid State Communications, 1995, 94, 81.
- [73]J. A. Wolk, J. W. Ager, K. J. Duxstad, E. E. Haller, N. R. Taskar, D. R. Dorman, D. J. Olego, "LOCAL VIBRATIONAL-MODE SPECTROSCOPY OF NITROGEN-HYDROGEN COMPLEX IN ZNSE" [J] Applied Physics Letters, 1993, 63, 2756.
- [74]A. Kamata, H. Mitsuhashi, H. Fujita, "ORIGIN OF THE LOW DOPING EFFICIENCY OF NITROGEN ACCEPTORS IN ZNSE GROWN BY METALORGANIC CHEMICAL-VAPOR-DEPOSITION" [J] Applied Physics Letters, 1993, 63, 3353.
- [75]Kim, D. S., Y. J. Cho, J. Park, J. Yoon, Y. Jo and M. H. Jung (2007). "(Mn, Zn) Co-doped CdS nanowires." Journal of Physical Chemistry C 111(29): 10861-10868.
- [76] Wang, X. A., A. L. Pan, D. Liu, B. S. Zou and X. Zhu (2009). "Comparison of the Optical Waveguide Behaviors of Se-Doped and Undoped CdS Nanoribbons by Using Near-Field Optical Microscopy." Journal of Nanoscience and Nanotechnology 9(2): 978-981.
- [77] Lee, K. Y., W. C. Lee, M. L. Huang, C. H. Chang, Y. J. Lee, Y. K. Chiu, T. B. Wu, M. Hong and R. Kwo (2006). A novel approach of using a MBE template for ALD growth of high-kappa dielectrics. 14th International Conference on Molecular Beam Epitaxy

(MBE XIV), Tokyo, JAPAN.

- [78]Zhang, X. H., B. Domercq, X. D. Wang, S. Yoo, T. Kondo, Z. L. Wang and B. Kippelen (2007). "High-performance pentacene field-effect transistors using Al2O3 gate dielectrics prepared by atomic layer deposition (ALD)." Organic Electronics 8(6): 718-726.
- [79] Watling, J. R., A. R. Brown, G. Ferrari, J. R. Barker, G. Bersuker, P. Zeitzoff and A. Asenov (2008). "Impact of high-kappa gate stacks on transport and variability in nano-CMOS devices." Journal of Computational and Theoretical Nanoscience 5(6): 1072-1088.
- [80] Abe, M., K. Murata, T. Ataka and K. Matsumoto (2008). "Comparison of sensitivities of carbon nanotube field-effect transistor biosensors with and without top metal gate." Journal of Applied Physics 104(10): 4.
- [81]Park, Y. K., A. Umar, S. H. Kim, J. H. Kim, E. W. Lee, M. Vaseem and Y. B. Hahn (2008). "Comparison Between the Electrical Properties of ZnO Nanowires Based Field Effect Transistors Fabricated by Back- and Top-Gate Approaches." Journal of Nanoscience and Nanotechnology 8(11): 6010-6016.
- [82] Javey, A., H. Kim, M. Brink, Q. Wang, A. Ural, J. Guo, P. McIntyre, P. McEuen, M. Lundstrom and H. Dai (2002). "High-[kappa] dielectrics for advanced carbon-nanotube transistors and logic gates." Nat Mater 1(4): 241-246.
- [83]Zhang, Z. Y., S. Wang, L. Ding, X. L. Liang, H. L. Xu, J. Shen, Q. Chen, R. L. Cui, Y. Li and L. M. Peng (2008). "High-performance n-type carbon nanotube field-effect transistors with estimated sub-10-ps gate delay." Applied Physics Letters 92(13).
- [84]Cui, Y., Z. H. Zhong, D. L. Wang, W. U. Wang and C. M. Lieber (2003). "High performance silicon nanowire field effect transistors." Nano Letters 3(2): 149-152.
- [85] Chang, P. C., Z. Fan, C. J. Chien, D. Stichtenoth, C. Ronning and J. G. Lu (2006). "High-performance ZnO nanowire field effect transistors." Applied Physics Letters 89(13).

攻读硕士期间发表论文情况

1. Di Wu, Yang Jiang^{*}, Li Wang, Shanying Li, Bo Wu, Yongqiang Yu, Chunyan Wu, Zhuangbing Wang, Jiansheng Jie, High-performance CdS:P nanoribbon field-effect transistors constructed with high- κ dielectric and top-gate geometry, *Applied Physics Letters*, 96,123118, (2010)

2. Shanying Li, Yang Jiang*, Di Wu, Li Wang, Honghai Zhong, Bo Wu, Xinzheng Lan, Yongqiang Yu, Zhuangbing Wang, and Jiansheng Jie, Enhanced p-Type Conductivity of ZnTe Nanoribbons by Nitrogen Doping, *Journal of Physical Chemistry C*, (2010) 10.1021/jp911873j

3. Yi Wang, Yang Jiang*, **Di Wu**, Yangping Sheng, Lanlan Chen, Guohua Li and Jiansheng Jie, Field Effect Properties of Phosphorus Doped CdS Single-Crystal Nanoribbon via Co-Thermal-Evaporation, *Journal of Nanoscience and Nanotechnology*, 10, 433 (2010)

4. Bo Wu, Yang Jiang,* Di Wu, Shanying Li, Li Wang, Yongqing Yu, Zhuangbing Wang, Jiansheng Jie* "Nitrogen doped n-type CdS nanoribbons with tunable electrical and photoelectrical properties" submitted to *Journal of Nanoscience and Nanotechnology*. (2010)