

在数字信号处理领域中的特点，系统灵活、升级容易具有很强的通用性。

关键词：电能质量监测 FPGA DSP FFT 数字滤波 闪变

Online Power Quality Monitor Based on Parallel Processing

Major: Electric Power System and Its Automation

Graduate: Jiang Chuan

Advisor: Yang Honggeng

With rapid development of the national economy, power quality has become the most concerned issue of the world. For one thing, the increasing factor which affects the power quality, for example, the distorted wave of voltages and currents caused by the extensive application of power electronic apparatus and nonlinear equipment and the frequently turning on and off of the large electricity-consumption facilities, has worsened the power quality. For another, the exactitude and precision production process of some hi-tech corporation, such as chip manufacturing, auto-control facilities in the consecutive and experimental facilities. As the result, the modern industry demands more high quality power supply.

The traditional monitoring technology based on the virtual value theory cannot precisely describe the power quality problem due to the much-long time window, so a new monitoring technology is wanted to meet the high-level needs. The power quality monitor is the primary technique to discovering and analyzing varies power quality problems, and it provides important warrant to the diagnoses of the hitch in power system. The existing power quality monitor equipments mostly using the serial processing of sampling and analyzing when they analyze multi-index of power quality online. This has led to the sampling' s breaking off during the digit processing, and lost vast real-time data. At the same time, the analyzing of power quality, such as the harmonic analyzing and the flicker analyzing, needs some complicated arithmetic(FFT, WT and so

on). So the monitor equipment demand fast digital signal processing speed and high technique of parallel processing. This paper advances the structure of parallel processing based on FPGA and DSP to achieve non-gapped sampling and analyzing of power quality.

Based on the demand of the power quality' s harmonic monitor and the specialty of large scale programmable logic device, this paper advances a frame of a 24-bit float point FFT module in FPGA. This module, with the DSP based monitoring of the flicker described in the backmost of the paper, buildup the parallel processing hardware-structure. At the same time, FPGA produce the sampling control signal and the analyzing controlling signal simultaneously. This structure, utilizing advantages of both FPGA and DSP in the field the digital signal processing, has the merits of agility, easy upgrade and universal ability.

keyword: Power quality monitor; FPGA; DSP; Float Point FFT; Digit Filter; Flicker

1 绪论

1.1 选题背景和研究意义

电能是一种经济、实用、清洁且容易控制和转换的能源形态,是供电部门向电力用户提供出发、供、用三方共同保证质量的一种特殊产品。如今,电能作为走向市场的商品,与其他商品一样,无疑也应当讲求质量。

随着现代科学技术的发展,电能质量的问题已经引起全世界特别是发达国家的高度重视。一方面由于电力、电子技术的迅速发展,特别是电炉炼钢、多项可控硅整流以及洗衣机、空调等家电设备的广泛应用,使得电网中的电压、电流波形发生畸变,造成电能质量问题的严重恶化;另一方面由于工业自动化水平的提高,微处理器和 PLC 等智能器件大量应用于工业过程控制,而这些精细过程控制更容易受到电力系统扰动的影响。与此同时,电力市场逐步形成,受电能质量影响所造成经济和社会损失问题日趋突出,在许多国家已经引起电力部门和用户的广泛关注。进入 21 世纪以后,国内外电力企业都把提高电力系统的电能质量问题作为电力建设和发展的重要课题之一进行研究,提供高质量的电能已成为当前电力行业创建国际一流供电企业的一项主要内容和策略。

我国的电力市场已逐步开始实施,随着电力市场的不断完善,电力部门不仅要满足用户对电力数量不断增长的需求,还必须不断提高供电质量,为用户提供安全、可靠、而且清洁的电力能源成为电力部门获利经营的先决条件,也是实现良好的社会效益的唯一手段。因此,电能的质量问题成为近年来各个方面关注的焦点,电能质量监测是当前国际上的一个研究热点^[1-6]。对于象我国这样的发展中国家更具有不可忽视的现实意义和战略意义。

从普遍意义上讲,电能质量是指优质供电。电能质量问题是指电力系统扰动产生的电力系统电压或频率问题,它常用电压骤升、电压骤降、短时停电、电压不平衡和谐波五个指标来描述。电能质量问题从电力部门的观点可表示为频率和供电质量;从用户的观点可表示为电压质量^[7]。对于特定的电能质量扰动(power quality disturbance)需要确定扰动源,即判定扰动方向,从而明确责任和义务,是电力系统适应市场竞争和可持续发展所必须的。

为了提高电力系统的供电质量,确保系统安全、可靠运行,需要对系统中的谐波、电压波动和闪变以及三相不平衡度等污染进行监测,必须建立电能质

量监测分析系统。因为电力系统污染干扰具有一定的随机性，它与负荷特性及系统工作情况有关，往往引发事故的干扰出现的时间较短，发生条件特殊，所以需要采用实时在线监测系统对电力系统的各项电能质量指标进行长期监视，摸清污染情况，以便采取相应的措施进行控制。电力系统污染由于含量较小，变化较大，并且对于不同的用户和电网的不同运行方式呈现不同的变化特征，这些因素给电力系统电能质量指标测量带来一些复杂性。国家技术监督局发布了相关的国标 GB/T14549—1993（《电能质量 公用电网谐波》）、GB/T15543—1995（《电能质量 三相电压允许不平衡度》）、GB12326—2000（《电能质量 电压波动和闪变》）等，对电力系统中电网质量的测量方式、测量精度及测量数据的处理等问题作出了规定和说明。为了满足规定的要求，需要在电网质量各项电能质量指标测量方法上和在线监测系统的设计上采取一些特别措施。因此，研制符合国家测量标准的电能质量监测装置，对电网质量各项电能质量指标进行持续在线的监测具有很大的研究意义。

本文提出了基于 DSP 和 FPGA 并行结构的电能质量在线分析系统，它能够实现多通道的同步采样与数据处理同时进行，避免了数据采集与数据处理分时交替进行导致的部分数据丢失，真正实现了对电力系统电能质量的在线持续监测。同时，与 DSP 相比，FPGA 更容易实现模块间同步运行^[53]，所以本文提出了在 FPGA 上实现数字信号处理用于电能质量在线分析，与 DSP 构成双 CPU 并行结构的数字信号处理系统。这种并行结构不仅提高了系统的运算能力与灵活性，而且充分利用了 FPGA 作为可编程专用集成电路（Application Specific Integrated Circuit, ASIC）的可重构特点^[8]，使得在实际应用中对算法改变与系统升级更加容易。

1.2 国内外发展动态

通常采用电网各项电能质量指标的实测数据作为发现问题、研究问题和解决问题的最终手段。实测电网质量的状况，已成为保证电网安全、可靠经济运行、高质量供电必不可少的措施之一。为此，世界各国都相应研制和开发了一系列的电能质量分析装置和仪器。以谐波测量为例，其大致经历了三个阶段：第一阶段是从 19 世纪初至 20 世纪 40 年代，谐波成分的分析主要依靠实测波形的傅立叶计算，即利用信号波形的录波图，人工手动等间隔地量取数值，然后

采用手算的方法进行谐波分析计算, 计算过程十分费时费力, 精度很低, 分析谐波次数也不高。这一方法在我国一直沿用到 70 年代。第二阶段是 50 年代至 80 年代, 这一时期选频测量技术获得了广泛的应用和普及, 相应研制了一系列选频式谐波测量仪器仪表, 测量方式是利用失真度式的仪器测量谐波总畸变率, 外差选频式逐项测试各次谐波分量, 带通滤波式逐次选取各次谐波分量, 现在使用的有些谐波监测仪、报警仪、谐波电压表和电流表就是以此原理制成的。这类谐波分析仪器仪表虽然较早期的人工分析方法有了很大的提高, 但测试的结果只能给出谐波的幅值, 不能测出相位, 测试调节也较麻烦。第三阶段是 80 年代至今, 由于集成电路和微处理器及计算机的迅速发展, 已生产了一系列基于快速傅立叶变换的谐波分析仪和频谱分析仪, 被测信号经采样/保持、A/D 转换、计算机傅立叶计算输出结果, 测试操作简单方便, 计算结果快速准确, 可同时进行多路信号的测量。新一代多功能、数字化、自动化和智能化的谐波测量分析仪已成为发展的主要方向。

目前, 国内外已研制成功的各种可供谐波测量分析使用的分析仪和频谱仪, 从仪器性能和测试目的的不同大致可分为三类型: 一是用于谐波日常监测工作的监测仪或报警仪, 该类型仪器测试功能简单, 精度也不高。如文献[2]; 二是专门测试谐波用的高性能谐波分析仪和频谱分析仪。如文献[6, 9]; 三是用于谐波和其他电能质量综合测量的分析系统, 如文献[10~16]。

随着计算与分析电能质量参数的算法不断更新, 同时, 算法也变得更加复杂, 系统运算量加大, 精度要求增加。如谐波分析与闪变分析, 要利用复杂分析算法(傅立叶分析、小波分析等), 才能得到相关参数, 因此, 监测装置的对系统的运算速度以及并行处理技术具有很高的要求。文献[51,52,61]中设计的电能质量在线监测系统均采用了双 CPU 并行处理的结构。这些系统实现了采样控制与数据处理的并行结构, 但是由于仅采用 DSP 负责数字信号处理, 运算能力有限, 不能同时对多电能质量参数进行复杂的计算与分析。随着电子设计自动化(Electronic Design Automation, EDA)技术的崛起, 在电能质量监测装置的开发方面, 有少量的装置采用了 FPGA, 例如瑞士莱姆公司的 PQFIX, 但是它仍然没有实现多参数多通道的无缝采样。

近年来, 发达国家在研制和使用谐波分析仪方面发展较为迅速, 仪器的性能先进, 适用范围广, 且耐用可靠, 但价格较为昂贵, 在测量功能、测量通道

和数据齐全等方面存在不同程度的缺陷。相比之下国内测量仪器价格较低,但是制造工艺较差,可靠性和精度方面尚未严格考核过,主要适用于谐波测量方面,而在波形分析、采样窗口的选择、数据处理及结果输出方面差距较大。事实上,我国电力系统中使用的大多数测量装置的设计都是在基于“电压是正弦、负荷是线性,产生的电流业是正弦”的这一假设前提,所用电路往往采用模拟电路^[15],在用于电能质量监测时,精度和可靠性难以达到要求;国外著名的电能质量分析仪制造商如美国的 Fluke,它的产品功能繁多,价格昂贵,难以为国内绝大多数企业接受,况且产品的市场着眼于现场手持测试,而非挂网运行。因此,提高电能质量监测的新技术、新装置已成为近年来电力系统研究领域中新研究热点^[17]。

1.3 本文所做工作

本文针对硬件监测平台的特点与要求,详细论述了基于并行处理结构的在线多通道无缝采样分析技术原理及实现方法。最后,提出了电能质量监测的两种算法分别在 FPGA 和 DSP 上的实现。

1. 根据电能质量监测系统的特点、现场监测单元采样速率、精度以及监测系统同步采样的要求,为了实现多通道同步不间断采样,本文提出了提出基于“现场可编程门阵列器件 FPGA+数字信号处理器 DSP”的并行数据处理结构,并在此结构上实现在线电能质量无缝采样分析。

2. 采用在线多通道无缝采样分析技术原理,设计了多个控制功能模块(锁相倍频模块、系统初始化模块、采样数据读取控制模块、采样缓存控制模块以及 DMA 控制模块等),给出了每个模块的实现方法,通过仿真和运行,证明了它们的可行性。对于锁相倍频模块,加入了余数处理控制子模块使得采样控制信号输出更加稳定,通过实际运行测量满足 IEC61000-4-7 中频率跟踪相对误差的限值要求。

3. 采用 FPGA 设计实现了用于谐波分析的快速傅立叶变换 FFT。考虑到协调运行速度与 FPGA 内部资源的矛盾,提出了 24 位自定义浮点格式。基于并行计算的思想,设计了流水线结构的加法器和乘法器运用于 FFT 模块的蝶形运算单元。采用一个复数乘法器实现的蝶形运算单元实现设计了顺序结构的 FFT 处理器。

4. 针对电压波动及闪变的测量分析, 提出了 IEC 闪变测量原理的数字化实现方法。利用数字信号处理器 TMS320VC33 编程实现 IIR 数字滤波器, 用于对电压波动及闪变进行分析。

2 电能质量监测系统概述

现代社会中,电能是一种最为广泛使用的能源,电力部门不仅要满足用户对电力数量不断增长的要求,还必须满足较高电能质量的要求。电能质量方面的问题,不仅对电网的安全、稳定运行极为不利,而且还对用户用电设备的正常工作 and 工农业生产的持续高效产生十分不利的影响。电能质量监测是电力部门为其本身及其关键用户提供的重要服务,也是获得电能质量信息的直接途径。本章将重点介绍电能质量的概念及其监测方法。

2.1 电能质量概述

2.1.1 电能质量的概念

从普遍意义上讲,电能质量是指优质供电。但是,由于人们看问题的角度不同,至今为止对电能质量的技术含义还存在着不同的认识,还没有一个准确和统一的技术定义。如电力部门可能把电能质量简单地看成电压与频率的合格率,并且用统计数字来说明电力系统 99% 是符合质量要求的;电力用户则可能把电能质量笼统看成是否向负荷正常供电;而设备制造商则认为合格的电能质量就是指电源特性完全满足电气设备正常设计工况的需要,但实际上不同厂家和不同设备对电源特性的要求可能相差甚远。另一方面,对电能质量的认识也受电力系统发展水平的制约,特别是用电负荷的性能和结构。

IEEE 技术协调委员会正式采用“power quality”这一术语,并且给出的定义如下:合格的电能质量是指,给敏感设备提供的电力和设置的接地系统是均适合该设备正常工作的。这个定义的缺点是不够直接和简明。电能质量通常用电网的实际状况与理想系统的差距来衡量。

电力系统运行时,理想情况下它应以额定频率和额定电压向用户供电。但实际运行中,由于负荷不断变化,电力系统的频率和电压是不可能维持恒定不变的。因此,以往各国都以频率和电压维持与额定值的偏差不超过规定的允许范围作为衡量电能质量的标准。文献[7]采用的电能质量定义为:导致用户设备故障或不能正常工作的电压、电流或频率偏差。这个定义较简洁,也概括了电能质量问题的成因和后果。随着电力工业的发展,国民经济各部门的电气化水平日益提高,具有非线性或者时变特性的负荷也日益增多,从而在现代电力系统中,仅用频率和电压这两个指标来衡量电能质量就显得很不够了。除了频率

和电压以外,电压和电流的三相对称平衡状况、波形畸变的程度以及由于负荷急剧变化造成的电压闪变等技术问题都将影响电力系统的正常运行。所以这里的偏差应广义理解,甚至应包括供电可靠性。

除此之外,在这一研究领域的许多文献和报告中还采用了一些未得到公认的术语和补充定义。如:

1. 电压质量 (voltage quality), 即用实际电压与理想电压间的偏差 (应理解为广义偏差, 即包含幅值、波形、相位等), 以反映供电部门向用户供给的电力是否合格。

2. 电流质量 (current quality), 即对用户取用电流提出恒定频率、正弦波形要求, 并使电流波形与供电电压同相位, 以保证系统以高功率因数运行。这个定义有助于电网电能质量的改善, 并降低线损, 但不能概括大多数因电压原因造成的质量问题, 而后者往往并不总是由用电造成的。

3. 供电质量 (quality of supply), 它包括技术含义和非技术含义两部分。技术含义有电压质量和供电可靠性; 非技术含义是指服务质量 (quality of service), 它包括供电部门对用户投诉与抱怨的反映速度和电力价格 (合理性、透明度) 等。

4. 用电质量 (quality of consumption), 包括电流质量和非技术含义, 如用户是否按时、如数缴纳电费等。它反映供用电双方相互作用与影响中用电方的责任和义务。

实际上, 供电系统只能控制电压的高低, 不能控制某一负载汲取的电流的大小。因而大多数情况是在讨论电压质量问题。本文中的电能质量主要指电压质量。

2.1.2 电能质量的各项指标

衡量电能质量的主要指标有: 电压偏差、频率偏差、电压波动和闪变、三相电压不平衡、电网谐波以及过电压。

2.1.2.1 电压偏差

用电设备的运行指标和额定寿命是对其额定电压而言的。当其端子出现电压偏差时, 其运行参数和寿命将受到影响, 影响程度视偏差的大小、持续的时

间和设备状况而异, 电压偏差计算公式如下:

$$\text{电压偏差 (\%)} = \frac{\text{实际电压} - \text{额定电压}}{\text{额定电压}} \times 100\% \quad (2-1)$$

《电能质量供电电压允许偏差》(GB12325-90) 规定电力系统在正常运行条件下, 用户受电端供电电压的允许偏差为:

(1) 35KV 及以上供电和对电压质量有特殊要求的用户为额定电压的 +5%~ -5%;

(2) 10KV 及以下高压供电和低压电力用户为额定电压的 +7%~ -7%;

(3) 低压照明用户为额定电压的 +5%~ -10%。

为了保证用电设备的正常运行, 在综合考虑了设备制造和电网建设的经济合理性后, 对各类用户设备规定了如上的允许偏差值, 此值为工业、企业供电系统设计提供了依据。

2.1.2.2 电力系统频率偏差

电力系统正常运行工况下, 应在标称频率下运行, 但是电力系统负荷在不断的变动其大小, 电源出力及其调节系统追随负荷变化又有一定的惯性, 致使系统频率总是在一定的变化中, 这种电力系统的频率偏离其标称值的现象叫电源频率变化。频率变化的大小及持续时间依赖于负荷的特性以及发电控制系统对负荷的反应能力。运行频率偏差对电力系统及其设备的危害程度取决于偏差的大小和持续时间, 频率偏差超过 ±0.2HZ 可能危及系统的安全稳定及设备的安全, 甚至引起系统崩溃。

2.1.2.3 电压波动和闪变

供电电压在两个相邻的、持续时间在 1s 以上的电压有效值 U_1 和 U_2 之间的差值, 称为电压变动。电压波动是一系列电压变动或连续的电压偏差。电压波动值为电压有效值的两个极值 U_{\max} 和 U_{\min} 之差 ΔU , 常以其标称电压 U_N 的百分数表示其相对百分值, 即

$$d = \frac{U_{\max} - U_{\min}}{U_N} \times 100\% \quad (2-2)$$

单位时间内电压变动的次数称为电压波动的频度 γ ，一般以 min^{-1} 或 s^{-1} 作为频度的单位。

电压波动波形，在分析时可抽象地将工频电压 u (或 U) 看作载波，将波动电压 v 看作调幅波。波动电压可能是具有单一频率的正弦波，也可能是具有任意波形的调幅波。

电压波动常会引起许多电工设备不正常工作。如果电压波动引起白炽灯闪变，我们就称发生了电压闪变。闪变是人对照度波动的主观视感。

闪变的主要决定因数有：

1. 供电电压波动的幅值、频度和波形；
2. 照明装置，以白炽灯的照度波动影响最大，而且与白炽灯的瓦数和额定电压等有关；
3. 人对闪变的主观视感。由于人们视感的差异，需要对观察者的闪变作抽样调查。

供电系统的电压波动和闪变多由用户的波动性负荷所引起。波动性负荷可分为周期性的和非周期性的两大类，其中，周期性的或接近周期性的波动性负荷对闪变的影响更为严重。波动性负荷主要有：电弧炉、感应炉的变频电源、绞车、轧机、电动机起动（尤其是频繁起停的工况）、采矿的挖掘机、锯木机和粉碎机等。这些波动性负荷，影响和危害公共连接点（PCC）上的其它用户设备，必须引起重视。

2.1.2.4 三相电压不平衡度

在理想的三相交流电力系统中，三相电压应该具有相同的数值，且按 A、B、C 三相顺序互成 120° 角度，这样的系统叫做三相平衡（或对称）系统。然而由于存在种种不平衡因素，实际的电力系统并不是完全平衡的。不平衡度允许值指的是在电力系统正常运行的最小方式下负荷所引起的电压不平衡度为最大的生产（运行）周期中的实测值，例如炼钢电弧炉应在熔化期测量等。在确定三相电压允许不平衡指标时，国标 GB/T15543-1995 规定用 95% 概率值作为衡量值。即正常运行方式下不平衡度允许值，对于波动性较小的场合，应和实际测量的五次接近数值的算术平均值对比；对于波动性较大的场合，应和实际测量的 95% 概率值对比；来判断是否合格。其短时允许值是指任何时刻均不能超过

的限制值,以保证保护和自动装置的正确动作。

不平衡因素可归结为事故性的和正常性的两大类。事故性的不平衡是由于三相系统中一相(或两相)出现故障所致,这种不平衡工况是系统运行所不允许的,一般由继电保护、自动装置动作切除故障元件后在短期内使系统恢复正常。正常的不平衡则是负荷不平衡、系统三相阻抗不对称以及消弧线圈的不正确调谐所致。作为电能质量指标之一的电压不平衡是针对正常不平衡运行工况制定的。

三相电压不平衡会对电力系统和用户造成一系列的危害,其中主要有:

1. 引起旋转电机的附加发热和振荡,危及其安全运行和正常出力;
2. 引起以负序分量为起动元件的多种保护误动作;
3. 使半导体变流设备产生附加的谐波电流;
4. 使发电机的利用率下降;
5. 将引起电网损耗增加;
6. 会增大对通信的干扰,影响正常通信质量。

2.1.2.5 电网谐波

谐波是指具有电源系统指定运行频率(基频)整数倍频率的正弦电压或电流。谐波产生的根本原因是由于电力系统中某些设备和负荷的非线性特性,即所加的电压与产生的电流不成线性关系而造成的波形畸变^[28]。

一个非正弦的周期波(如电压、电流、磁通等),可以分解为一个同频率和很多整数倍频率的正弦波之和。其中频率与原非正弦波频率相同的正弦波称为基波,频率为基波整数倍的正弦波称为高次谐波或谐波。谐波是一个周期性电量的正弦分量,其频率为基波频率的整数倍。

利用傅立叶级数及傅立叶变换把周期性的非正弦波形(畸变波形)分解为基波及各次谐波的方法称为谐波分析方法。一般来讲,电力系统的畸变波形,都满足傅立叶变换的存在条件,都能分解到基波和无限个高次谐波之和。

一切非线性的设备和负荷都是谐波源。谐波源产生的谐波与其非线性特性有关。当前,电力系统的谐波源,其非线性特性主要有三大类:

1. 铁磁饱和型:各种铁芯设备,如变压器、电抗器等,其铁磁饱和特性是非线性。

2. 电子开关型：主要为各种交直流换流装置（整流器、逆变器）、双相晶闸管、可控开关设备等。在系统内部，则如直流输电中的整流阀和逆变阀等。其非线性呈现交流波形的开关切合和换相特性。

3. 电弧型：各种炼钢电弧炉在熔化期间以及交流电弧焊机在焊接期间，其电弧的点燃和剧烈变动形成的高度非线性，使电流不规则的波动。其非线性呈现电弧电压与电弧电流之间不规则的、随机变化的伏安特性。

谐波对电力网的污染日益严重，其产生的主要危害有：

1. 大大增加了电力网中发生谐振的可能，从而造成很高的过电流或过电压而引发事故的危险性；

2. 增加附加损耗，降低发电、输电及用电设备的效率和设备利用率；

3. 使电气设备（如旋转电机、电容器、变压器等）运行不正常，加速绝缘老化，从而缩短它们的使用寿命；

4. 使继电保护、自动装置、计算机系统，以及许多用电设备运转不正常或者不能正常动作或操作；

5. 使测量和计量仪器、仪表不能正确指示或计量；

6. 干扰通信系统，降低信号的传输质量，破坏信号的正常传递，甚至损坏通信设备。

2.1.2.6 过电压

以 U_m 表示三相系统最高电压，则峰值超过系统最高相对地电压峰值 ($\sqrt{2/3}U_m$) 或最高相间电压峰值 ($\sqrt{2}U_m$) 的任何波形的相对地或相间电压分别为相对地或相间过电压。注：系统最高电压是指当系统正常运行时，在任何时间、系统上任何一点所出现地电压最高值（不包括系统的暂态和异常电压）。

电力系统中过电压是经常发生的。作用于设备的过电压传统的分类是按其来源分为内过电压和外过电压。内过电压是由于操作（如切、合闸）、事故（如接地、断线）或其它原因，引起电力系统的状态突然从一种稳态转变为另一种稳态的过渡过程中出现的过电压。这种过电压是由于系统内部原因而造成并且能量又来自电网本身，所以叫内过电压。内过电压又可以分为工频过电压、操作过电压和谐振过电压等；外过电压又叫大气过电压或雷电过电压，它又分为直击雷过电压和感应雷过电压两种类型。下面根据国标 GB/T18481-2001（电能

质量 暂时过电压和瞬态过电压), 简单介绍五种类的过电压。

1. 暂时过电压 (temporary overvoltage), 在给定安装点上持续时间较长的不衰减或弱衰减的 (以工频或其一定的倍数、分数) 振荡的过电压。

2. 瞬态过电压 (transient overvoltage), 持续时间数毫秒或更短, 通常带有强阻尼的振荡或非振荡的一种过电压。它可以叠加于暂时过电压上。

3. 缓波前过电压 (slow-front overvoltage) 及操作过电压 (switching overvoltage), 一种瞬态过电压, 通常是单极性的并且峰值时间在 20 μ s 和 5000 μ s 之间, 半峰值时间小于 20ms。

4. 振荡过电压 (resonance overvoltage), 某些通断操作或故障通断后形成电感、电容元件参数的不利组合而产生谐振时出现的暂时过电压, 其持续时间较长, 且波形有周期性。

5. 快波前过电压 (fast-front overvoltage) 及雷电过电压 (lightning overvoltage), 一种瞬态过电压, 通常是单极性的, 其波前时间在 0.1 μ s 和 20 μ s 之间, 半峰值时间小于 300 μ s。

2.2 电能质量监测概述

2.2.1 电能质量监测的特点

现代电力系统中, 电能质量问题可以分为稳态和暂态电能质量两部分。稳态电能质量问题是波形畸变为特征, 主要包括谐波、间谐波以及噪声等; 暂态电能质量问题通常是以频谱和暂态持续时间为特征, 分为脉冲暂态和振荡暂态两大类^[18]。

电能质量各项指标中既包含了统计性指标, 如电压波动、谐波分析等; 又强调了对实时性的要求, 保证对暂态指标的精确分析。因此电能质量监测系统应当包括强大的数据采集、处理功能, 明白易懂的报告系统, 以及通用的信息共享技术, 而且应当采用分布式结构: 分布于各个变电站的现场采集分析单元通过通信网络连接成一个有机的整体, 共同完成整个区域的电能质量分析。

随着电力工业的快速发展, 稳态电能质量问题如电压波动、频率波动、谐波等, 已经引起了足够的重视。暂态电能质量问题越来越突出, 如电压跌落、骤升、短时断电等现象经常发生, 给用户带来了很大的损失。传统的基于有效值理论的监测技术由于时间窗口太长, 仅测有效值已不能精确描述实际的电能

质量问题,因此必需发展满足以下要求的新监测技术:

- (1)针对信号扰动的随机性,必须保证对电网信号进行全过程实时监测;
- (2)能捕捉快速瞬时(ms级 us级)扰动的暂态波形;
- (3)需要有足够高采样率,以便能测得相当高次谐波的信息;
- (4)实现不同监测点采集数据的同步性,以便于对随机扰动和故障信息进行离线分析;
- (5)建立有效的分析和自动辨识系统,使之能实现故障或扰动信号的自动识别;
- (6)实现网络数据传输功能,保证数据实时通讯和信息共享。

2.2.2 硬件监测平台的特点与要求

新的检测技术对电能质量监测系统的设计提出了新的要求,分布式电能质量监测系统主要由现场监测单元和后台主站组成,下面我们详细分析现场监测单元的特点和设计要求。

2.2.2.1 现场监测单元采样速率、精度的要求

电力系统中各种扰动持续时间短、随机性强,如雷击、系统故障、一些非线性负荷的投切等引起的电压跌落、骤升,电弧炉生产周期的变化引起的电压波动等等。为了精确测量电网中高次谐波值以及对暂态电能质量指标进行实时测量,必须保证较高的采样频率。在实际电网中,谐波分析一般取2~30次,实际测量系统中的采样频率至少为每周波64次,一般为128次以上。如果每周波采样128次,那么每个采样点之间的时间间隔仅有156us,传统的51、C196单片机的指令周期最多能够达到160ns,在多通道同步采样的情况下,很难满足实时测量的要求,因此传统的谐波分析仪仅仅能达到19次,对暂态指标则根本没法分析^[2,19]。

数字信号处理(DSP)技术的快速发展,为电能质量实时监测提供了理想的方案。高性能的数字信号处理器采用改进的哈佛结构,指令运行采用流水线结构,其指令周期可达到12~30ns,在此硬件平台基础上,可以保证足够高的采样率(最高可达每周波1024点),从而实现高精度的同步数据采集处理。

电力系统中高次谐波的含有量相对于基波分量而言是非常低的。根据实测

数据^[26], 如果采用 12 位分辨率的 AD 转换芯片, 仅仅因为 AD 转换精度不够, 对 15 次谐波而言至少会引起 1.67% 的误差, 而且在实际谐波测量中我们一般测到 30 次谐波, 这样产生的误差影响会更大, 高次谐波测量数据将没有可信性, 因此我们建议现场监测单元中 AD 转换器的分辨率至少应保证为 14 位以上。

2.2.2.2 监测系统同步采样的要求

电能质量监测的交流信号主要有: 4 种电压信号 U_a 、 U_b 、 U_c 、 U_o 和五种电流信号 I_a 、 I_b 、 I_c 、 $3I_o$ 、 I_n 。目前电力系统各种监测仪器中采用的采样方式一般为: “多路开关+采样保持+A/D 转换” 模式, 这种模式硬件设计简单、成本低。在同步性要求不高的系统中可以得到很好的结果。但是在谐波分析中如果采用这种方式, 即使在每周波采样 128 点的情况此下, 对于 19 次谐波, 其相位最少也会带来 6 度的误差, 这对于提取基波分量进行信号分析的系统而言, 误差可以忽略, 而对于高次谐波的测量, 将使测量数据没有可信度。在这里建议采用 “采样保持+多路开关+A/D 转换” 的转换模式, 这种模式对 A/D 转换器同步性的要求大大降低。

市场上可以找到 “多通道同时采样、依次转换” 的模数转换芯片, 如 MAX125/126、AD7874 等, 它们的分辨率 14 位, 在监测的路数比较多的情况下, 可满足我们的要求。

在电能质量监测数据离线分析中, 系统相角测量、谐波干扰源的辨识、暂态电压扰动信号分析等都需要对相邻监测点的监测数据进行分析。为了保证不同监测点的监测数据的同步性, 提高数据的横向可比性, 在现场监测单元中必须增加同步采样模块来保证采样时钟的同步性。

GPS (全球定位系统) 技术具有测量精度高、抗干扰能力强、可靠性高等特点, 利用 GPS 技术实现的同步采样, 其最大同步误差不超过 $\pm 1\mu\text{s}$, 可以满足电力系统测控中不同动态行为的时间精度要求。在电能质量现场监测单元中, 采用高精度恒温晶振 (误差小于 10^{-9}s) 产生信号脉冲作为同步采样模块的工作时钟, 它每隔 1s 被 GPS 的秒脉冲信号同步一次, 保证振荡器输出的脉冲信号的前沿于 GPS 时钟信号同步; 同时 GPS 接收机经标准串口将时间信息传送给 DSP, DSP 在数据传输过程中, 将对应的测量数据打上 “时间标签”, 这样在以后的处理中就可以方便的分析不同监测点的同步数据。

2.2.3 监测装置的发展现状与研究动态

近年来,随着电能质量技术监督管理的不断加强,电能质量监测管理也纳入了法治化轨道,从而带动了电能质量监测装置的发展。

2.2.3.1 监测装置硬件构架

1. SCADA 系统的当前应用

目前,SCADA 系统在电力系统中的应用最为广泛,技术发展也最为成熟。其主要特点之一在于数据库技术的应用,大量的实时数据被有章可循地进行管理,能够实现真正意义上的数据共享,以供各应用系统调用分析^[20]。电能质量监测没有出现在 SCADA 系统中是由该系统前端硬件设备(RTU)条件所决定的。第一,RTU 及其他保护单元设备一般主要对基波有效值进行分析计算,采样率较低,难以满足电能质量监测过程中的高采样速率及复杂的计算处理功能;第二,由于 RTU 及各类保护单元在 SCADA 系统中属于重要的前端设备,要求信道舒畅地强其采样信号传送到中央控制系统,因此,一般没有足够地存储空间对电能质量监测过程中的中间数据及结果进行保存;第三,RTU 及保护单元前端采样电路一般需要进行滤波,以免高次谐波对工作过程产生干扰,因此无法实现对谐波的检测分析。

2. 工业控制机型

这种类型电能质量监测装置实际上就是一台工业控制机,主要面向对电力系统谐波的测试,或者设定在一定时间内每隔一定时间间隔保存一组数据,或者手动按一次获取一组数据,数据一般以文本方式保存^[20]。其缺点:第一,没有实现无缝采样,即部分原始采样数据丢失;第二,采样通道一般为多通道,有的采用高速电子开关互相切换,三相之间并非同步采样;第三,监测电能质量参数少,主要针对谐波,而没有对其它的参数进行监测;第四,该类设备存在机械转动元件,如硬盘、风扇等,不能长期在线运行,这很难反映电网各种运行方式、或负荷各种运行工况、或负荷水平大小调整时电网的实际谐波水平;第五,测试数据多,主要是面对专业人员,不能根据国标在线或离线进行分析,或缺乏直观性数据结果。该类型监测装置的优点在于:由于它存在硬盘设备,所以能够进行大容量的存储,能够保存长期的数据文件。

3. A/D+DSP 型

电网信号中干扰的随机性以及电能质量监测的实时性,要求进行大量在线实时测量、计算,如果采用传统的 MCS51、MCS96 和普通 CPU 芯片实现这些运算,精度和实时性将都会变差,难以得到较好的结果,而 DSP 芯片强大的运算能力可以很好的弥补它们的不足^[3]。

电能质量监测的交流信号主要有:4 种电压信号 U_a 、 U_b 、 U_c 、 U_o 和五种电流信号 I_a 、 I_b 、 I_c 、 $3I_o$ 、 I_n ,这 8 个信号必须进行同步采样^[15]。因此,很多厂商选用带专门设计与 DSP 的接口、多通道同步采样 A/D 芯片与 DSP 芯片构架^[21]。在文献[3][6][13][15]中都介绍了基于 A/D+DSP 构架监测装置的研制,它们的优点在于能够对多通道进行同步采样,由 DSP 芯片控制 A/D 芯片对信号的采样,并对采样数据进行分析处理,实现了在线监测的功能。可它们也存在不足:第一,无法实现无缝采样,因为在两组采样数据之间必须插入一个数据处理过程,才能完成对数据的分析处理^[22]。这样就导致了原始数据部分丢失,无法对电能质量状况作出真实的反映。例如,瑞士莱姆公司的 PQPT1000,从它的数据文件可以看出,它就是属于上面提到的情况。第二,由于 DSP 在做采样控制和数据的存储控制的同时,它还要做数据的分析处理,因此,很难做电能质量的多参数采样分析。

4. 基于 DSP 与单片机的双 CPU 型

对于 AD+DSP 型的监测系统 DSP 同时负责控制与数据处理,负担过重,很难做到多参数的采样分析,所以现在比较多的系统采用了 DSP 与单片机。在文献[23], [24], [49], [50]中都介绍了基于 DSP 与单片机的双 CPU 构架监测装置的研制,他们的优点在于能够对多通道进行同步采样,由单片机对采样和数据的存储进行控制, DSP 专门负责做数据的分析处理,由此达到对多电能质量参数进行采样分析的目的。这种系统结构仍然无法解决 A/D+DSP 系统中的第一个缺点,即无法实现无缝的采样分析,而且因为 DSP 和单片机都属于内部硬件结构固定的通用芯片,系统外围电路复杂,结构固定,系统升级难。

5. 基于 FPGA 型

随着微电子技术的发展,设计与制造集成电路的任务已不完全由半导体厂商来独立承担,系统设计可以通过专用集成电路(Application Specific Integrated Circuit, ASIC)来完成,对于通用集成电路而言,ASIC 具有减小电子产品体积

和重量, 升级容易, 技术可以共享复用等优点。现场可编程门阵列 FPGA (Field Programmable Gates Array) 作为 ASIC 领域中的一种特殊的半定制电路具有更多的灵活性, 既适用于短研制周期、小批量产品开发, 也可用于大量产品的样品研制。它克服了原有可编程器件内部门电路数目有限的缺点, 为电子系统提供了一个数字系统实现的全硬件基础, 用户可以根据工程实际的需要自行设计电路系统、实现系统集成。

随着 FPGA 的应用和大规模专用集成电路 (ASIC) 的开发和研制, 各 ASIC 研制和生产厂家相继开发了用于各自目的的硬件描述语言。其中最具有代表性的是美国国防部开发的 VHDL (VHSIC Hardware Description Language)。VHDL 是电子 CAD (Computer Aided Design) 技术发展中的重要里程碑, 是硬件设计领域的一次变革^[25]。

在文献[25]中介绍了采用 FPGA 器件有几个优点: 第一, 速度的问题可以从并行性出发来解决, 在合理地利用硬件资源地条件下, 有效地挖掘出算法内在的并行性, 往往能够在较低地主频下获得很可观地执行速度; 第二, 在数字信号处理领域内, 很多地方都迫切需要更高地速度, 传统的串行计算处理, 不能达到应用的要求; 第三, VHDL 语言的应用使得 FPGA 的设计更贴近于软件方式, 完全体现了“软硬件设计”的全新概念。将 FPGA 和 VHDL 结合, 设计符合特定要求的专用集成电路具有美好的技术前景和巨大的实用价值。

在电能质量监测装置的开发方面, 有少量的装置采用了 FPGA, 例如瑞士莱姆公司的 PQFIX, 但是它没有实现多参数多通道的无缝采样。文献[53], [54]也介绍了基于 FPGA 的电能质量监测装置的开发, 同样, 它们都无法实现多参数的无缝采样。

2.2.3.2 锁相技术的应用

根据 FFT 算法的要求, 采样点应该均匀分布在一个信号采样窗口内, 即应当实现严格的同步采样, 否则会引起信号的频谱泄漏, 带来很大的测量误差^[35]。现在常用的同步采样方法主要分为硬件同步和软件同步两大类。

文献[42] [60]中介绍了硬件同步方法, 由集成电路的锁相环 CD4046 来实现, 这种方法采用锁相环来实时跟踪信号频率的变化, 从而实时调整采样频率, 实现同步采样, 但是它的硬件结构可靠性不高, 在测量较大的畸变波形时误差较

大。另外，硬件锁相环的频率跟踪时间的可控性差，所以很难实现由上一个采样窗口内的被测信号周期控制下一个采样窗口内的采样频率。文献[15]中采用了这种硬件锁相方法。

文献[3][37]中都介绍了软件同步方法，文献[3]中的方法是：采样数值经去噪处理后，通过一个 45Hz~55Hz 的窄带滤波器，保证采样数值过零点的唯一性，然后通过插值求波形过零点的时刻来求得信号的周期值；文献[37]中的方法是：选用被测信号通过同步过程所得信号作为闸门信号，将高频率的同步时钟信号作为填充脉冲，进行计数，然后经计算得到信号的周期值。这两种方法简化了硬件电路的复杂程度，其精度要高于硬件锁相方法，并且它们的频率跟踪时间的可控性强，但都需要进行实时的跟踪计算，目前软件同步法一般均由 DSP 来实现，这样将耗费 DSP 的大量时间。根据国标 IEC61000-4-7，谐波分析要求对采样窗口的数据进行 FFT 变换，但是这两种方法都是以被测信号的周期来同步的，并不适合这里的要求。另外，由 DSP 来实现软件同步算法，占有其运算容量，使得 DSP 对多参数的分析处理算法受到一定的制约，导致监测装置很难甚至无法实现多参数在线无缝采样分析。本文提出了由 FPGA 来实现数字锁相倍频，具有与 DSP 实现相同精度的同时，减轻了 DSP 的运算负担，为采样数据的处理分析留出了运算容量，使系统可以完成多通道多参数的无缝采样分析。同时，利用 VHDL 语言进行设计，大大提高了系统的灵活性。

3 并行结构的监测系统的设计与实现

针对上一章几种硬件构架的优缺点,本文提出了 DSP(数字信号处理器)+FPGA(现场可编程逻辑门阵列)的并行硬件构架来实现多参数多通道的电能质量监测。

3.1 并行结构的介绍

传统意义上的串行计算机是有经数据通道连接到处理器的内存组成的。所有这三个部件——处理器、内存以及数据通道——形成计算机系统总体处理速度的瓶颈。多年来,计算体系结构上的革新都是为了解决这些瓶颈。其中最重要的革新之一就是使用多处理器、多数据通道以及多内存单元。

以 2 个、4 个甚至是 8 个处理器连接在一起的桌面计算机、工程用工作站以及计算服务器正成为通用的设计平台^[59],文献[49], [50], [58]都是基于这种并行平台的应用。大规模科学与工程计算要依靠更多处理器的并行计算。无论从性能、价格还是应用程序的需求来看,并行计算平台将得到更广泛的应用。

在本文提出的 DSP+FPGA 构架中,有效地利用了 FPGA 在内部结构上的并行性,实现 FPGA 产生所有的控制时序:锁相倍频的输出,数据分析处理控制时序,A/D 转换结果的存储控制,整个系统的地址分配控制,采样通道数量控制,采样窗口长度控制。所有这些控制时序都是并行输出的。根据文献[56][57],FPGA 在速度和时序控制方面完全符合本文设计的要求。

对电能质量参数的分析,如谐波分析、闪变分析等,要利用复杂分析算法(傅立叶分析、小波分析等),才能得到相关参数,因此,监测装置的对系统的运算速度以及并行处理技术具有很高的要求^[23]。为了实现 FPGA 与 DSP 在硬件结构上的并行,本文充分利用了 FPGA 中配置十分灵活的嵌入式阵列(Embedded Array Block, EAB)设计了用于进行数据分配的双口 RAM。文章在最后一章介绍了在 FPGA 中实现快速傅立叶变换用于谐波分析的方法。DSP 作为协处理器,主要负责除 FFT 以外的分析算法,它是一个独立的数据分析处理系统。本文介绍的系统实现了控制时序与数据处理并行操作,即 FPGA 与 DSP 的并行运行,这是实现多通道多参数无缝采样的关键所在。

并行处理的另一个重要概念是基于流水线的计算结构,本文最后一章应用

了这种结构设计了 FFT 模块的蝶形运算单元。

3.2 系统硬件平台结构

本文提出了基于“FPGA (现场可编程门阵列器件) +DSP (数字信号处理器)”硬件结构的并行处理技术达到对电能质量参数在线无缝采样与分析的目的。

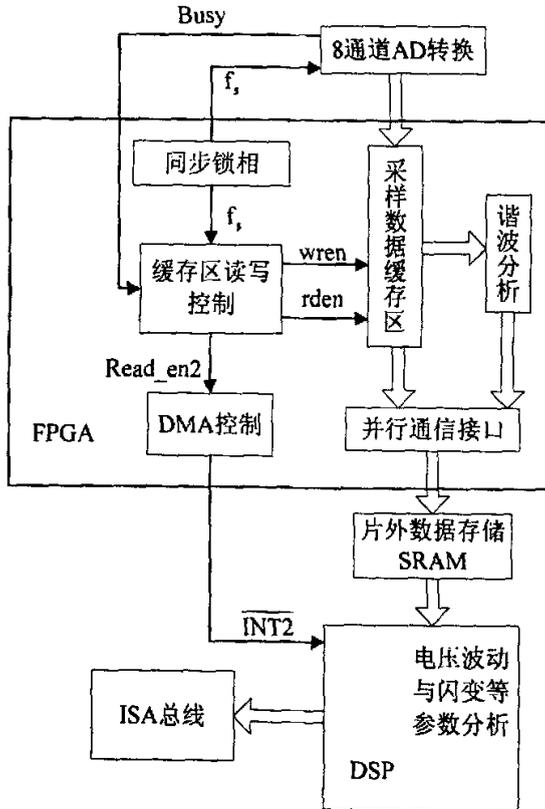


图 3.1 监测系统结构

由 DSP 和 FPGA 等构成的电能质量监测与分析系统要完成对基本的 8 路被监测信号的模数转换和各相电能质量指标的分析计算、存储和上传。其系统硬件结构如图 3.1 所示。系统主要包括数据采集 A/D 转换单元、FPGA 模块、DSP 模块以及用于与上位机通信的外部通信接口 (ISA 总线)。

3.2.1 A/D 转换单元

该部分的核心是 A/D 转换芯片。本设计采用 AD7865, 该芯片是 4 通道 14 位高速同步 A/D 转换芯片, 可减少量化误差的同时准确的反映电压和电流间的相位关系。而且 AD7865 可以同时 4 路通道或者 4 路通道中的任意 1 至 3 路的模拟输入进行模数转换^[26], 本设计通过对四个通道选择引脚置高电平而同时打开四路通道。模拟信号经传感器隔离变换后进入系统, 并经过滤波、放大环节交由 AD7865 进行 A/D 转换。两片 AD7865 由 FPGA 的同步锁相子模块发出的采样控制信号下对 8 路模拟信号进行采样。

3.2.2 FPGA 模块

随着 VLSI (超大规模集成电路) 技术的发展, 系统芯片和芯片集成系统的新时代已经来到, 超高速 DSP 芯片和百万门 PLD (可编程逻辑器件) 的问世, 为复杂信号处理系统的实现奠定了基础^[27]。

可编程逻辑器件不仅使系统设计趋于小型化、集成化和高可靠性, 而且器件所具有的用户编程特性, 将大大地缩短系统设计周期, 减少设计费用, 降低设计风险。不仅如此, 部分器件除了具有用户可编程能力, 还具有简单的在线可编程 (ISP) 能力, 这就为工程师进行电子系统设计和开发提供了可实现的最新手段。采用系统内可再编程技术, 使系统内硬件的功能可以像软件一样被编程配置, 从而可以实时地进行灵活和方便的更改和开发。这种“软硬件”的全新系统设计概念, 使新一代电子系统具有极强的灵活性和适应性, 它不仅使电子的适应能力, 为实现许多复杂的信号处理和信息处理提供新的思路和方法。可编程逻辑器件及其应用是 70 年代诞生的一门新兴技术。PLD 具有集成度高、可靠性强和可重复编程的优点, 已广泛用于计算机硬件、工业控制、智能仪表、数字电路系统、家用电器等各个领域 PLD 器件的应用不仅简化了电路设计、降低了成本、提高了系统的可靠性和保密性, 而且给数字系统的设计方法带来了革命性的变化 PLD 器件包括 PROM (可编程序的只读存储器)、PLA (可编程逻辑阵列)、GAL (门阵列逻辑)、PLD、FPGA, 其中 FPGA 编程灵活, 一片 FPGA 可替代 100—200 片标准器件; 它的 I/O 引脚数多达几百多条, 一片 FPGA 就可以实现逻辑功能十分复杂的逻辑部件或者一个小型数字系统。

现场可编程逻辑门阵列 (Field Programmable Gate Array) 是 20 世纪 80 年

代中期出现的一种新型可编程逻辑器件。FPGA 采用类似于掩膜可编程门阵列的结构,并结合可编程逻辑器件的特性,使它既继承了门阵列逻辑器件密度高和通用性强的优点,又具备可编程逻辑器件的可编程特性。从1985年美国 Xilinx 公司首家推出后, FPGA 就倍受现代数字系统设计者的一致好评,并由此而得到迅速发展,现已广泛用于通信、计算机、图像处理等诸多领域,而且还在不断扩展^[28]。正是看到 FPGA 强大的生命力,各生产厂家纷纷加入此行列,使得 FPGA 性能不断优化,价格不断降低。优异的性能价格比更加促进 FPGA 的市场销售,使 FPGA 成为 20 世纪 90 年代半导体集成电路工业中的销售增长最快的产品。

本文中介绍的监测系统使用 Altera 的大容量高密度 Stratix FPGA 系列 Stratix 器件系列基于 1.5V 0.13 μ m 全铜工艺技术,具有多达 79,040 个逻辑单元 LE、7Mbit 嵌入存储器、优化的数字信号处理(DSP)块和高性能 I/O 能力。Stratix 器件是复杂高性能系统的理想方案。对于本设计充分利用了 Stratix FPGA 以下特性:

(1) TriMatrix 存储器:

三种大小的存储块适合各种功能
 多达 7Mbit 的嵌入存储器
 多种存储块大小: 512bit、4Kbit 和 512Kbit, 加奇偶校验比特
 多达 8Tbps 的总存储带宽
 奇偶校验比特进行差错检查
 混合宽度数据和混合宽度时钟模式
 嵌入式移位寄存器功能

(2) DSP 块:

大计算量应用所需的大数据吞吐量
 每个器件有多达 22 个高性能 DSP 块
 专用乘法器、流水线和累加电路
 可预测的 300MHz 性能,每个 DSP 块提供高达 2.4GMACS 的数据吞吐性能
 这里选择了 Stratix FPGA 系列中的 EP1S40, 该器件的基本信息见表 3.1^[33]

由于电能质量监测涉及多项指标,多个运算过程,其中谐波计算与电压闪变分析运算量最大,在线实时监测中若采用单一 DSP 做数据处理将会因 DSP 负

荷过重而引发时序冲突, 考虑 FPGA 与 DSP 各自在数字信号处理领域中的特点, 这里采用 FPGA 与 DSP 实现双 CPU 来协调工作。

表 3.1

特性 器件	逻辑单元	M512 RAM	M4K RAM	M-RAM (512Kbit)	RAM 总数	DSP 块	嵌入乘 法器
EP1S40	41, 250	384	183	4	3, 423, 744	14	112

在高速数字信号处理领域, DSP 硬件实现虽然灵活性强, 但系统造价较高, 系统结构固定不易扩展。FPGA (现场可编程门阵列) 以高性能、高灵活性、友好的开发环境、在线可编程等特点可以使基于 FPGA 的设计满足高速数字信号处理的要求。采用 FPGA 设计实现了用于分析谐波的主要方法快速傅立叶变换 FFT, 而 DSP 则负责电压波动与闪变、电压凹陷等指标的分析与计算。在 FPGA 中实现谐波检测算法可以嵌入 DSP 等 IP-Core, 虽然嵌入这些 IP-Core 可以方便实现检测算法, 但它占用 FPGA 中非常多的可用资源, 可能导致资源不足而设计失败, 而且会增加系统的成本。由于监测系统中的谐波监测算法固定, 可以设计一个专用 Core 来实现, 应用 VHDL 实现电网检测模块。考虑到 DSP 虽然在算法处理上功能强大, 但其控制功能非常弱, 然而 FPGA 的非常适用于时序和逻辑控制, 所以在 FPGA 中设计了系统控制信号生成模块。

3.2.3 DSP 模块

数字信号处理器 (DSP) 是一种特别适合于进行数字信号处理运算的微处理器, 其主要应用是实时快速地实现各种数字信号处理算法^[29]。根据数字信号处理的要求, DSP 芯片一般具有如下主要特点:

- (1) 在一个指令周期内可完成一次乘法和一次加法;
- (2) 程序和数据空间分开, 可以同时访问指令和数据;
- (3) 片内具有快速 RAM, 通常可通过独立的数据总线在两块中同时访问;
- (4) 具有低开销或无开销循环及跳转的硬件支持;
- (5) 快速的中断处理和硬件 I/O 支持;
- (6) 具有在单周期内操作的多个硬件地址产生器;

(7) 可以并行执行多个操作;

(8) 支持流水线操作, 使取指、译码和执行等操作可以重复执行。

当然, 与通用微处理器相比, DSP 芯片的其他通用功能相对较弱些。

随着近 20 年来 DSP 处理器的发展, 已有各种系列的 DSP 产品涌现到市场上。这些 DSP 芯片可以如下的三种方式分类:

(1) 定点与浮点 DSP 芯片

这是按照 DSP 处理器工作的数据格式来分类的。数据以定点格式工作的 DSP 芯片为定点 DSP 芯片。定点 DSP 芯片结构相比之下较简单、乘法-累加 (MAC) 运算速度快、但运算精度低, 动态范围小, 这是其字长有限造成的。。定点 DSP 芯片的产品主要有 TI 公司的 TMS320C1X / C2X / C5X 系列、Motorola 公司的 MC56000 系列、AD 公司的 ADSP21XX 系列、AT&T 公司的 DSP16 / 16A 等。其中 TMS320C25, DSP16A 和 DSP56001 较为广泛。目前 TI 公司又推出了功能更强大的定点 DSP, 如 TMS320C2XX, TMS320C5XX, TMS320C620X 等。数据以浮点格式工作的 DSP 芯片为浮点 DSP 芯片。浮点 DSP 处理器动态范围大, 运算精度高, 在对性能要求高的实时信号处理中有着广泛的应用。浮点 DSP 芯片的产品主要有 TI 公司的 TMS320C3X / C4X / C8X 系列、Motorola 公司的 MC96001、AD 公司的 ADSPZ1XX 系列、AT&T 公司的 DSP32 / 32C 等。

定点 DSP 芯片和浮点 DSP 芯片都有广泛的市场。定点 DSP 芯片虽有精度低的缺点, 却在市场中有其价格低的优势; 浮点 DSP 芯片在高性能实时处理系统中有着广泛的应用。

(2) 通用 DSP 芯片和专用 DSP 芯片

这是按照 DSP 处理器的用途进行分类的。通用型 DSP 芯片适用普通的数字信号处理。TI 公司的 TMS320 系列 DSP 处理器即为通用 DSP 芯片。专用 DSP 芯片是为某些 DSP 运算专门设计的, 特别适用于有某些特点的数字信号处理运算, 如 Motorola 公司的 DSP56200 即为专用 DSP 芯片。

(3) 静态 DSP 芯片和一致位 DSP 芯片

这是按照 DSP 处理器的工作时钟和指令类型来分类的。若有多种 DSP 处理器的指令系统和相应的机器代码及引脚结构相互兼容, 则为一致性 DSP 芯片, 如 TI 公司的 TMS320C1X 系列。若 DSP 处理器在某时钟频率范围内的任何时钟上, 除计算速度变化外, 没有性能的下降, 则为静态 DSP 芯片。

与 FPGA 实现并行运算的是 TI 公司的 32 位 DSP 浮点芯片 TMS320VC33, 其 150MFLOPS 32bit 的浮点数运算能力足够完成基于离散小波变换 DWT 的电压波动与闪变分析、电压凹陷计算等各项电能指标的分析计算。TMS320VC33 指令周期为 17ns, 是一款性价比较高的浮点 DSP 芯片。片内带 34k×32bit 双口 SRAM, 具有自动上电加载功能, 能从低速低成本的 FLASH 中将程序自动加载到片内的 SRAM 中高速运行。本文介绍的监测系统在片外扩展 SRAM 与片内 34K32bit 双口 SRAM 配合使用以用于诸如电压波动与闪变分析这样数据量较大的程序, 并保存运算结果。TMS320VC33 提供了独立的 DMA 总线, 具有直接存储器访问功能, 即 DMA 功能, 这样就可以在不影响 DSP 内部核心对数据进行处理的情况下把采样数据从 FPGA 读取到 SRAM 中。

TMS320VC33 有两种工作模式^[30], 一种是微处理器模式 (Microprocessor Mode), 另一种是微计算机模式 (Mirocomputer Mode)。采用 Mirocomputer Mode 模式是将运行程序放在外部的存储器中, 也可以通过 DSP 的串口引导运行程序进入 DSP 的内部 RAM 中高速运行。其引导模式由 VC33 的四个外部中断引脚在 DSP 复位时的电平控制。INT0 为低时从地址 0x00100 处读取程序; INT1 为低时从地址 0x400000 处读取; INT2 为低时从地址 0xFFFF00 处读取程序; INT3 为低时从串口读取。本文采用 INT1 为低 DSP 从 FLASH RAM 中读取引导程序。

由于 DSP 不直接与 A/D 接口, 所以 A/D 转换器件的升级或者替代都不会影响原来的系统。

3.3 电能质量的周期域分析方法

电能质量的监测和分析系统, 涉及电力系统、信号分析和处理、计算机、互连网络及数据库等众多学科。作为前瞻性的研究, 本文采用的周期域分析法^[31], 不仅可对我国现有电能质量标准方面的大部分参量进行处理和分析, 而且也非常适合处理短持续时间和长持续时间电能质量问题, 并能实现实时监测和定量分析。

信号的周期域分析, 是一种按周期的信号分析方法。首先可把一个多周期信号顺序取出第一个周期, 对该周期的信号进行前后无限延拓, 如此便构成了一个标准的周期信号。然后应用时域连续周期信号的分析方法, 对这一标准信号的分析结果便可作为此分析周期的结果。接着第二个周期、第三个周期、……,

依次类推，直至整个多个周期信号的结果^[37]。

对于一个有 M 个周期的电压、电流信号，若信号的每个周期都满足狄里赫利条件，则它们的每一个周期都可以用傅立叶级数表示出来：

$$u_m(t) = U_{0m} + \sum_{k=1}^{\infty} U_{pkm} \sin(k\omega_m t + \varphi_{ukm}) \quad m = 0, 1, \dots, M-1 \quad (3-1)$$

$$i_m(t) = I_{0m} + \sum_{k=1}^{\infty} I_{pkm} \sin(k\omega_m t + \varphi_{ikm}) \quad m = 0, 1, \dots, M-1 \quad (3-2)$$

上述二式中， U_{0m} 、 I_{0m} 表示第 m 个周期的电压、电流的直流分量； U_{pkm} 、 I_{pkm} 表示第 m 个周期中第 k 次谐波电压、电流的幅值； φ_{ukm} 、 φ_{ikm} 表示第 m 个周期中第 k 次谐波电压、电流的相角； ω_m 表示第 m 个周期电压、电流的基波角频率。

由信号真有效值的定义，可得到电压、电流 RMS 值的周期域表示分别为：

$$U_{RMS}(m) = \sqrt{U_{0m}^2 + U_{1m}^2 + U_{2m}^2 + \dots} \quad m = 0, 1, \dots, M-1 \quad (3-3)$$

$$I_{RMS}(m) = \sqrt{I_{0m}^2 + I_{1m}^2 + I_{2m}^2 + \dots} \quad m = 0, 1, \dots, M-1 \quad (3-4)$$

U_{km} 、 I_{km} 分别表示第 m 个周期的第 k 次谐波电压、电流有效值。

根据瞬时功率的定义 $p = u \cdot i$ ，第 m 个周期的瞬时功率：

$$\begin{aligned} p_m &= u_m(t) \cdot i_m(t) \\ &= \left[U_{0m} + \sum_{k=1}^{\infty} U_{pkm} \sin(k\omega_m t + \varphi_{ukm}) \right] \cdot \left[I_{0m} + \sum_{k=1}^{\infty} I_{pkm} \sin(k\omega_m t + \varphi_{ikm}) \right] \\ &= U_{0m} \cdot I_{0m} + U_{0m} \sum_{k=1}^{\infty} I_{pkm} \sin(k\omega_m t + \varphi_{ikm}) + I_{0m} \sum_{k=1}^{\infty} U_{pkm} \sin(k\omega_m t + \varphi_{ukm}) \\ &\quad + \sum_{k=1}^{\infty} \sum_{q=1}^{\infty} U_{pkm} \sin(k\omega_m t + \varphi_{ukm}) \cdot I_{pqm} \sin(k\omega_m t + \varphi_{iqm}) \\ &\quad + \sum_{k=1}^{\infty} U_{pkm} \cdot I_{pkm} \sin(k\omega_m t + \varphi_{ukm}) \cdot \sin(k\omega_m t + \varphi_{ikm}) \end{aligned} \quad (k \neq q) \quad (3-5)$$

第 m 个周期的平均功率就是对其瞬时功率在一个信号周期内求平均值。通过对 (3-5) 式在一个信号周期内的积分，并应用函数的正交等性质，可得到：

$$\begin{aligned}
 P_m &= \frac{1}{T} \int_{T_{mstart}}^{T_{mencd}} p_m dt = \frac{1}{T_m} \int_0^{T_m} p_m dt \\
 &= U_m I_{0m} + U_{1m} I_{1m} \cos \varphi_{1m} + U_{2m} I_{2m} \cos \varphi_{2m} + \wedge
 \end{aligned}
 \tag{3-6}$$

式中的 T_{mstart} 、 T_{mencd} 分别表示第 m 个信号周期的起始和末尾。若移动时间座标使 $T_{mstart} = 0$ ，则有 $T_{mencd} = T_m$ 。

因此，平均功率的周期域表示为：

$$P(m) = P_m \quad m = 0, 1, \wedge, M-1 \tag{3-7}$$

在实际的监测和分析中，并不一定首先需要通过 DFT 运算，获得信号各次谐波分量的幅值和相差后，再用 (3-3)、(3-4) 式计算信号的 RMS 值，用 (3-6) 式计算信号的平均功率。而是可以通过对信号每个周期的取样序列直接求取均方根值，或采用瞬时功率序列求取平均功率。但是由于取样有同步与非同步之分，非同步取样会使信号的时域参量产生截断误差，而使信号的频域参量出现频谱泄漏误差^[32]。因此，在电网信号的周期域分析中，实现同步取样，或者是非同步取样后的同步化，是实现这种分析方法的关键所在，需要高度重视。

3.4 小结

本设计采用大容量高密度 FPGA 器件 Stratix 与浮点 DSP 芯片共同构成电能质量监测系统的并行硬件平台，实现多通道的同步无缝采样，以及数据采集与分析处理的同步进行。该硬件平台具有并行数据处理，外围电路简单，系统升级容易的特点。在分析方法上，本文采用了周期域分析方法，它对现有电能质量的大部分项目和参数，都可以应用周期域分析方法进行分析和表示，尤其适合应用于实时、连续的监测系统中。这也是能够实现实时地处理采样数据的一个重要因素。

4 监测系统的控制模块设计

本论文介绍的监测系统的系统控制模块主要集中在 FPGA 中实现,其中包括六个子模块,它们是锁相倍频模块(checkfre)、系统初始化模块(sysini)、采样数据读取控制模块(ADread)、采样缓存控制模块(selram)、DSP 的 DMA 控制模块(DSPread)以及通讯模块。

4.1 锁相倍频模块

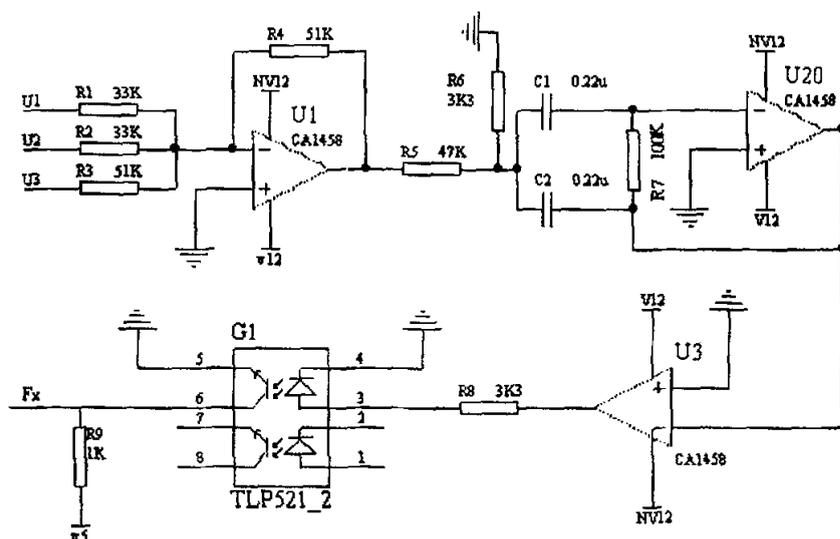
在交流电参量的测量中,交流采样主要有同步采样和准同步采样^[37]。准同步采样的采样周期不要求与信号周期同步,不需要同步环节,但它需要通过增加采样周期和每周期的采样点数,并采用迭代算法消除同步误差,其计算量远大于同步采样。目前,同步采样法仍是交流采样测量的首选方法。另外,电力系统中的谐波分析,通常都是通过快速傅立叶变换(FFT)实现的^[34-36],FFT 变换要求采样的数据必须刚好为周波的整数倍,然而,在数据采集时,即使采样频率满足了奈奎斯特定理,但是,由于电网频率漂移的影响,如果采用固定时间间隔的采样控制信号,必然会引起较大的误差^[32,38],FFT 变换后将带来泄漏效应以及栅栏效应^[39],使算出的信号参数即频率、幅值和相位等不准,尤其是相位误差很大,从而无法满足准确的谐波测量要求。而同步采样可以使得 FFT 变换结果更加精确^[40]。如何克服电网频率漂移的影响,在每个工频周期内实现准确的点数同步采样,成为该技术成功运行的一个重要环节。

目前用于电能质量监测的主要两种锁相倍频方法:利用可编程器件实现和传统硬件锁相倍频的方法。这两种方法中的带通滤波器电路和整形电路是相同的,不同的地方在于锁相倍频的方法。本文采用的是前一种方法,这样不仅可以充分利用 FPGA 的内部资源,简化系统的外围电路,而且这种数字式的锁相倍频模块结合 DSP 的控制可以根据监测要求灵活的改变采样的窗口长度和每周期的采样点数。

4.1.1 模块前置处理电路

考虑到三相四线制系统中,可能单相或两相断电,有缺相运行的可能性,如果频率测量和锁相倍频的输入只采用单相电压作为输入信号,而且恰好该相

断电，系统的同步采样触发信号就会丢失，导致整个系统不能工作，造成数据测量的极大错误。为了避免此情况发生，同时考虑到系统三相频率变化的一致性，将输入单相电压信号改为三相电压信号，每相配以不同的电阻后叠加，使得出现非全相断电时，也有采样控制信号输出。图 4.1 给出了进入 FPGA 锁相倍频环节的输入信号的前置处理电路。



4.1 锁相倍频前置处理电路

图中 U1、U2 和 U3 分别代表三个输入的模拟电压信号，经 R1、R2 和 R3 三个阻值不同的电阻匹配叠加后通过一个整形电路，使正弦信号转换成同频率的方波信号，再经过光电耦合后进入 FPGA 的锁相倍频模块中。

4.1.2 数字锁相倍频原理

频率测量法有两种：直接测频法和多周期同步测频法。直接测频法只需要一个周期锁定频率，而多周期同步测频法需要多个周期锁定频率^[42]。

根据 IEC61000-4-7 (等同采用为国家标准 GB/T17626.7-1998)，稳态谐波要求采样矩形窗口长度为 5~25 个工频周期，允许采样窗口之间有间隔；波动谐波要求采样矩形窗口长度 16 个周波，采样窗口之间没有间隔。根据 FFT 算法的要

求：采样窗口内采样频率一致，因此采用了多周期同步测频法，其原理：选用采样窗口信号通过同步过程所得信号作为闸门信号，将高频率的同步时钟信号作为填充脉冲，进行计数。设计数值为 N ，同步信号频率和周期分别为 f_0 、 t_0 ，被测信号频率的实际值和测量值分别为 f_x 、 f'_x ，采样窗口长度为 p 个工频周期，则

$$f'_x = \frac{pf_0}{N} \quad (4-1)$$

计数器的开闭与闸门信号是完全同步的，即在实际闸门中包含整数个被测信号周期，因而不存在对被测信号计数的 ± 1 个字误差，但是采样窗口信号与闸门信号之间可能存在 ± 1 个字误差，这是由被测信号的同步过程引入的，是不可避免的。被测信号频率测量的绝对误差为：

$$\Delta f_x = |f'_x - f_x| = \frac{pf_0}{N^2} \Delta N \quad (4-2)$$

由 $\Delta N = \pm 1$ ，则其相对误差为：

$$\eta_{fx} = \frac{\Delta f_x}{f_x} = \frac{f_x}{pf_0} \quad (4-3)$$

由(4-3)式可以看出测量分辨率跟被测信号频率与同步时钟频率都有关系，而电力系统频率 f_x 一般在 49.5Hz~50.5Hz 范围变化，因此则测量的分辨率主要取决于同步时钟频率，其越高分辨率越高。

以一个工频周期内采 128 个点为例，设采样频率为 f_s ，采样周期为 t_s ，设

$M = \frac{N}{128 \times p}$ ，则可得：

$$f_s = 128 \times \frac{pf_0}{N} = \frac{f_0}{M} \quad (4-4)$$

由(4-4)式可得采样周期为 M 个同步时钟周期，据此得到全数字倍频的原理，其结构如图 4.2 所示。其中模计算器由锁存器和除法器构成。模计数器由模

设置单元和模计数单元构成。除法器完成对模值 M 的计算，锁存器把除法器的计算结果 M 与模设置单元隔离，在闸门信号下降沿锁存器开通，模设置单元读取 M 值，并立即改变模计数器的模值。从而实现按照采样窗口刷新采样频率，达到一个工频周期内采 128 个点。

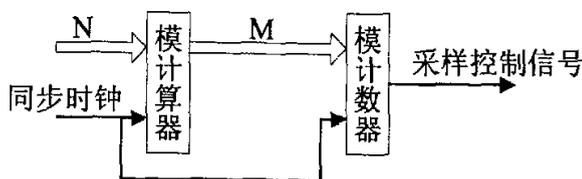


图 4.2 倍频原理框图

4.1.3 余数处理子模块

实际系统中，由于 M 必须为整数，然而 N 往往不会被 $128 \times p$ 整除，这样就带来了取舍余数的问题。这里有两个方法来对余数进行处理，其一是直接舍去每次除法计算所带来的余数，由此带来的误差设为 U，采样周期的绝对误差为：

$$\Delta t_s = \frac{U}{128} \times t_0 \quad (4-5)$$

由(4-5)可以看出，由于 U 是不可避免的，所以采样周期的误差取决于同步时钟周期，当同步时钟频率越高误差越小。由于该方法是由上一个采样窗口计算所得采样频率值来修正下一个采样窗口内采样频率值，因此该误差不会累加。但是在系统调试中发现，由于余数误差和 FPGA 内部信号连线延迟误差共同作用会使该锁相倍频模块的工作变得十分不稳定，如图 4.3。

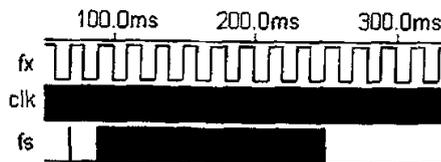


图 4.3 舍去余数后锁相倍频仿真

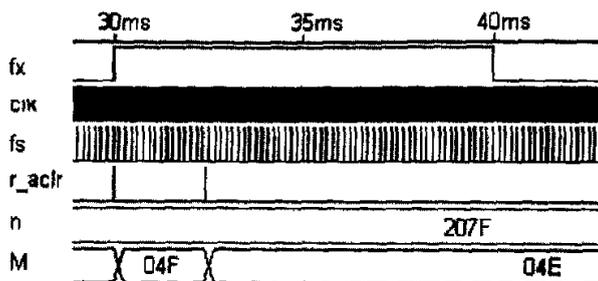


图 4.4 锁相倍频仿真

解决余数问题的第二种方法是从每个窗口的第一个采样点开始将M的余数按时钟周期均匀的分配给窗口的有限个采样点。计算M的除法采用的是二进制移位法，即将输入的二进制数值右移动7位得到M，设被移出的7位就是对余数的计数值 R_m 。 R_m 为一个小于128的整数，设计一个递减计数器，将 R_m 设置为它的初值，M计算程序对该计数器输出K进行判断，当K不等于零时 $M=M+1$ ，K等于零则表示余数已全部的分配给前 R_m 个采样周期，这时 $M=M$ ，如图4.4。其中 $f_x=50\text{Hz}$ ， $p=1$ ， $\text{clk}=500\text{KHz}$ （同步时钟）。由图4.4可知，采样窗口脉冲计数N为270Fh，再由式(4-4)得：

$$M = \frac{9999}{128 \times 1} = 78.1172 \quad (4-6)$$

余数在一个采样窗口中累积：

$$0.1172 \times 128 = 15.0016 \quad (4-7)$$

即一个采样窗口中余数将带来15个同步周期的误差。由图可知，将这15个同步时钟周期分别分配给了采样窗口的第2到第16个采样周期，因此，采样窗口的前15个采样点的M值为4Fh（十进制为79），其余的M值则为4Eh（十进制为78）。

余数处理模块如图4.5，其中r_aclr子模块产生一个采样窗口的清零信号。

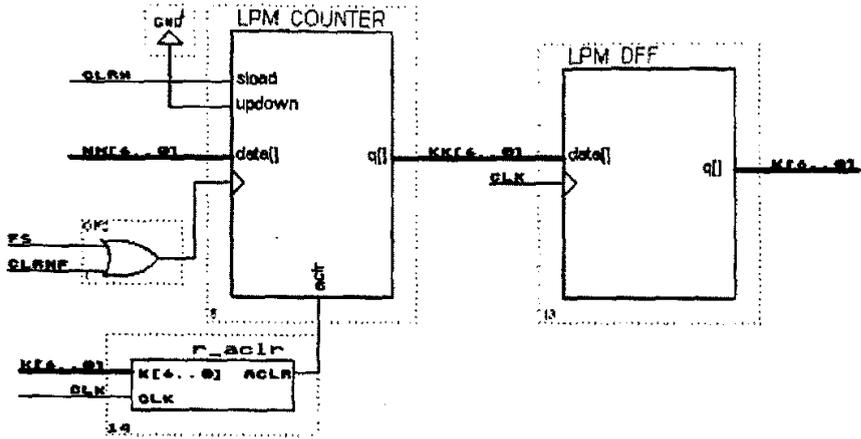


图 4.5 余数处理模块

4.1.4 实际运行

下面给出了 $f_0 = 12\text{MHz}$, $p = 8$ 的 f_s 的实际运行结果及根据式(3)、(7)所得的相对误差 η_{f_s}, η_f 如表 4.1 所示。

表 4.1 实际运行结果

f_x	f_s	η_f	η_{f_s}	η
(Hz)	(KHz)	(%)	(10^{-4})	(10^{-4})
48	6.14466	0.11%	1.1	3
50	6.40069	0.12%	1.0	3
52	6.65678	0.11%	1.2	3

表 4.1 中 η 为 IEC 61000-4-7 中频率跟踪相对误差的限值。根据 IEC 61000-4-7, 当采样窗口为矩形窗口时, 对于频域测量装置, $\eta_{f_s} \leq 3 \times 10^{-4}$, 采样频率 f_s 跟工频保持同步, 其值应为:

$$f_s = 2^i \times \frac{f_x}{p} \quad (i = 0, 1, 2, \dots) \quad (4-8)$$

式(4-8)中 2^i 为采样窗口内采样的点数, p 为采样窗口的长度。据式(4-1)、(4-4)及 $p = 8$ 可得:

$$f_s = 128 \times 8 \times \frac{f_x'}{8} = 2^{10} \times \frac{f_x'}{8} \quad (4-9)$$

根据表 4.2 和式(4-9)可得, 这种锁相倍频的方法满足标准 IEC 61000-4-7。

4.2 系统初始化模块

该模块主要负责 DSP 的系统上电复位以及采样窗口长度初始化。

4.2.1 DSP 系统上电复位

由于 DSP 系统的时钟频率较高, 在运行时极有可能发生干扰和被干扰的现象, 严重时系统可以出现死机现象。为了克服这种情况, 使用了具有监视 (Watchdog) 功能的自动复位电路, 如图 4.6 所示。

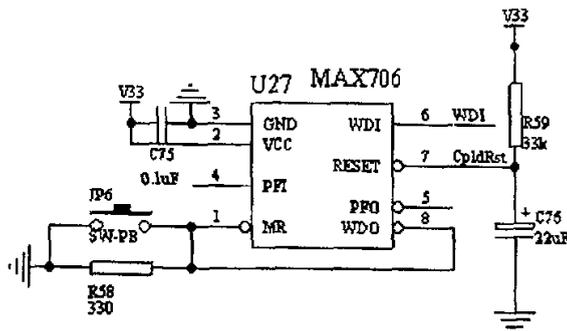


图 4.6 自动复位电路

图中的 JP1 为手动复位开关, MAX706 作为辅助的复位电路, 提供系统的上电复位和手动复位信号, 并监视系统的运行, 复位的初始化程序则由 FPGA

提供。通过 FPGA 的控制使得系统的各个功能模块顺序依次复位，进入运行状态，同时 FPGA 产生喂狗信号，表明系统正常稳定运行，在出现死机或程序进入死循环时产生复位信号让系统重新上电复位。系统初始化具体步骤如下：

1. 当系统上电复位时，MAX706 的复位输出脚 7 输出为低电平，屏蔽 FPGA 和 DSP 系统的一切操作，在 RST 上升沿使 FPGA 复位，FPGA 启动工作但系统的其他单元仍处于等待状态，由 FPGA 控制其他单元的复位。

2. FPGA 启动复位模块，禁止地址译码和 A/D 采样的功能，屏蔽 DSP 的 INT0、INT2 和这三个外部中断脚，产生 INT1 中断，给 DSP 的复位引脚产生一个上升沿信号，使 DSP 复位，从地址 0x400000 (Flash Memory) 处读取引导程序。

3. DSP 开始工作，FPGA 允许地址译码，置 INT1 为高电平。DSP 和 FPGA 开始正常运行。等待 DSP 发送采样控制信号和运算开始指令。

4. DSP 引导装载程序成功后，发送启动指令，FPGA 切换 INT0、INT2 和 INT3 到外部接口，允许外部中断。DSP 发送采样窗口长度控制信号和每工频周期采样点数控制信号。FPGA 启动锁相倍频模块，启动 A/D 转换单元。

5. DSP 进入计算运行状态，FPGA 控制系统的时序并产生 WDI 信号给 MAX706，系统上电复位完成。

6. 当系统要求改变采样参数时，DSP 就重新复位采样过程，先将采样的各参数传送给 FPGA，让 FPGA 引导 A/D 采样的复位，以新的采样参数进行采样，重新进入 DSP 的运行程序。

4.2.2 采样窗口长度控制

由于采样窗口长度是周波 (工频周期) 的偶数倍，因此这里采用 QUARTUS II 软件提供的分频器 freqdiv 和多路开关 81mux 来实现。其原理电路如图 4.7 所示。

图 4.7 中，fx 为整形电路输出方波，A、B 为采样窗口长度设置信息，其逻辑控制信息如表 4.2 所示。Wn 为按照设置信息输出的采样窗口信号。下面以 A=0, B=1 为例，仿真的波形如图 4.8 所示。

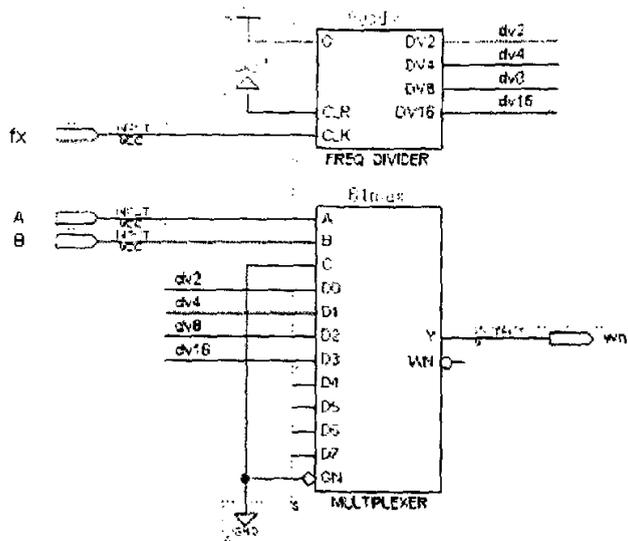


图 4.7 采样窗口长度控制模块

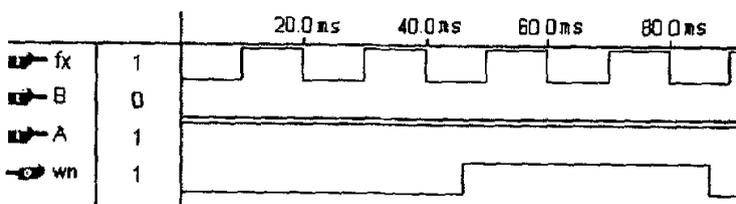


图 4.8 窗口长度控制仿真

表 4.2

B	A	窗口长度 (周波个数)
0	0	2
0	1	4
1	0	8
1	1	16

4.3 采样数据读取控制模块 (ADread)

在较高的采样频率下,数据的采集和处理都需要大量的时间。如果采用“采样—处理—采样”的串行方式,采样和数据处理就会冲突,必然在采样间隔进行数据计算,这样就丢掉一部分实时的信息。特别是对瞬时的波动,就不能完全反映系统的真实情况。为了实现采样和数据处理同时进行,我们把 A/D 转换后的数据在双口 RAM 中暂时存储,这个双口 RAM 利用 FPGA 内部的 RAM 资源设计实现。FPGA 对采样数据传输的控制主要包括控制双口 RAM 读取 AD 转换器输出的采样数据,控制 FFT 模块读取采样数据以及控制 DSP 的 DMA 中断达到 DSP 读取采样数据的目的。

当系统上电复位后,锁相倍频模块必须经过有限个工频周期才能运行稳定,从而产生准确的采样信号,所以 FPGA 需要在这有限个采样工频周期之后才能读取 AD 转换器输出的采样结果。本设计中系统复位以后由 Adread 模块对工频周期进行计数,计数到第 16 个工频周期开始产生 AD 转换器的 \overline{RD} 信号(rdAD),如图 4.9。

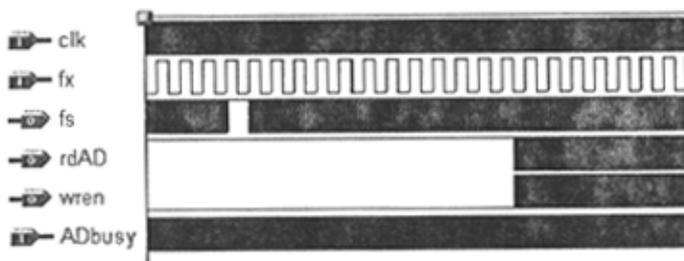


图 4.9 采样数据读取控制仿真

AD 转换器的数据输出信号 \overline{RD} (在 FPGA 中为信号 rdAD) 由其本身的 BUSY 信号控制,控制流程如图 4.10, BUSY 作为输出信号提示 ADread 模块一次 \overline{RD} 转换序列完成(每序列完成一至四个通道的全部 AD 转换),其下降沿触发 \overline{RD} 信号,考虑到 FPGA 读写时间, \overline{RD} 信号延迟三个系统时钟周期后恢复为高电平。

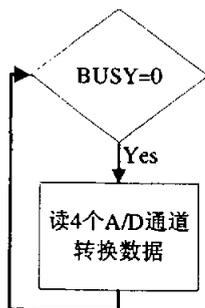


图 4.10 A/D 转换控制流程

下面给出了单片 AD7865 同时对 4 路模拟信号进行转换时的采样数据读取控制时序仿真，见图 4.11。图中紧接着 BUSY 的下降沿产生了四个 rdAD 信号 (RD) 及四个写双口 RAM 的 wren 信号，即依次从 AD7865 中读出 4 个通道的转换数据。

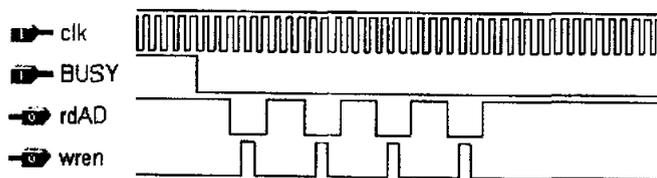


图 4.11 采样数据读取控制时序仿真

4.4 采样缓存控制模块

为保证采样与数据处理同时不间断进行，利用 FPGA 中的独立 RAM 块配置了用于采样缓存的双口 RAM，该缓存被分成容量相等的两个区，由信号 selram 控制交替存储当前采样的数据和当前待处理的窗口数据。

缓存区配置如图 4.12 所示，采样信号 f_s 经过一个系统时钟周期的延迟后作为数据读入时钟 inclock，数据输出时钟 outclock 接系统时钟信号 clk。

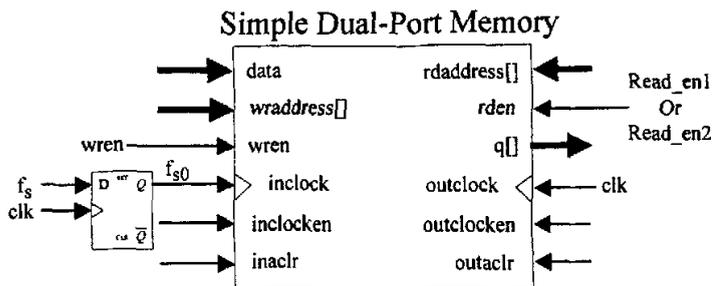


图 4.12 采样缓存配置

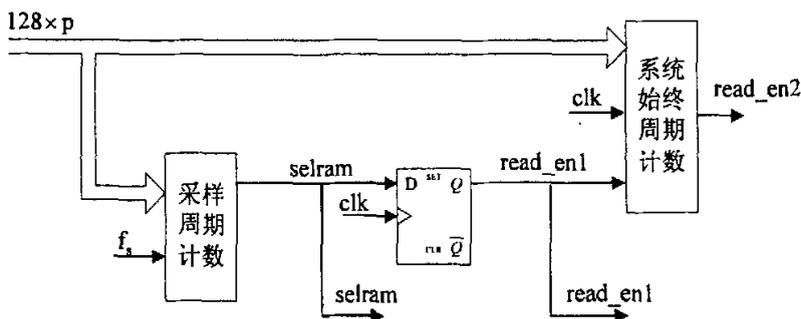


图 4.13 采样缓存读取控制模块原理图

同时为达到 FPGA 与 DSP 并行数据处理的目的，在 FPGA 中设计一个采样缓存读取控制模块。该模块主要对系统时钟信号 clk 进行计数以产生 FFT 模块与 DSP 对采样缓存区数据的读取控制信号以及数据区切换信号，其原理如图 4.13 所示。

采样窗口长度预设值为 p ，一个窗口将由 $128 \times p$ 个采样点组成。由采样周期计数器完成对采样信号 f_s 的模 $128 \times p$ 计数，以产生存储器切换信号 $selram$ ，该信号作为中间 D 触发器的数据端输入，这个触发器的目的是将 $selram$ 延迟一个时钟周期从而生成 FFT 模块数据读入信号 $Read_en1$ ，此信号还将控制 FFT 模块产生存储单元的地址和模块内部控制信号。每一个采样数据读入需一个系统时钟周期，这样 FFT 模块读取完采样窗口数据需要 $128 \times p$ 个系统时钟周期，同样由计数器完成对这部分时钟周期的计数，在 $128 \times p$ 个时钟周期后产生 DSP 读取采样数据的信号 $read_en2$ ，此信号作为 DMA 模块的使能信号。

因为 FPGA 内部各模块独立运行, 所以 DSP 读取数据的同时 FFT 模块进入计算阶段。图 4.14 给出了采样窗口长度为 8 个工频周期的控制信号仿真波形。

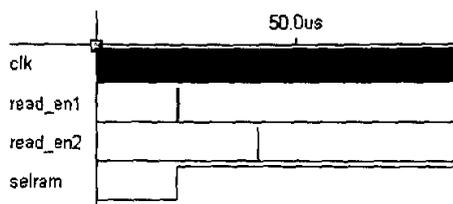


图 4.14 采样缓存读取控制模块仿真

4.5 DMA 外部中断控制信号的产生 (DMAcontrol)

FPGA 与 DSP 之间采用并行通信, 由 VC33 的高位地址线来产生 FPGA 片选信号。

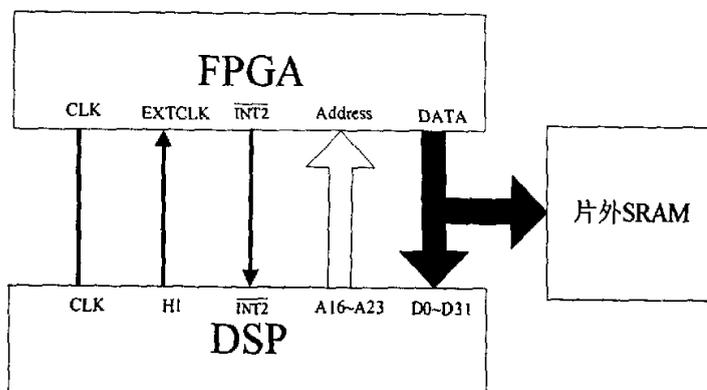


图 4.15 FPGA 与 DSP 连接图

DSP 从 FPGA 中读数采用直接存储器访问方式 (DMA), DMA 可以在不中断 DSP 的计算核心正常运算的情况下使用外部地址和数据线将 FPGA 中的数据传送到系统的内存中。这样就能使采样和数据处理同时进行, 互不冲突, 实现无缝同步采样分析。DMA 传输数据包括两个操作^[41]: 从一个储存位置读出和写入到一个存储位置。而 DMA 控制器能读出和写入到 DSP 存储器的任一位置, 包括所有的存储器映射的外围设备, 例如片外 SRAM。DMA 操作由四个存储器控制, 分别是总体控制寄存器、源地址寄存器, 目的地址寄存器和传输计数寄

寄存器。FPGA 与 DSP 的连接如图 4.15 所示。

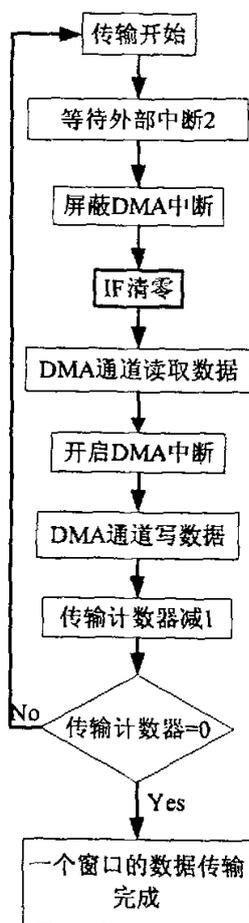


图 4.16 DMA 数据传输同步

图中译码和中断产生是由 FPGA 完成。本文中 FPGA 有两个地址总线，其一是用于在 FPGA 内部实现缓存与数字处理功能的内部地址，另一套地址是系统地址，即 FPGA 以外的芯片，如 DSP，对 FPGA 进行数据读取时用到的地址。因为 FPGA 内部的 RAM 对于 DSP 来说仅实现缓存功能，所以 FPGA 对于 DSP 仅占用了—个地址。FPGA 的系统地址为 0x540000，这个地址被写入 DMA 源地址寄存器中，对 FPGA 的译码用—个简单的比较器就可以完成，而且实际设

计中 FPGA 的地址被映射到 x540000 至 0x54FFFF 的地址段, 所以这里只需要对地址的高 8 位进行比较。该模块输出信号 rFIFO 控制 FPGA 对数据的输出。本设计考虑到简化 DSP 程序和控制, 将 DSP 的 DMA 设置为读取同步, 如图 4.16。

外部中断输入信号 $\overline{\text{INT2}}$ 就作为 DMA 的数据读取同步信号, 即 $\overline{\text{INT2}}$ 每产生一次中断, DMA 从 FPGA 中读取一个数据。采样窗口的数据个数, 也就是采样窗口长度在 DMA 程序初始化时写入传输计数寄存器, 每传输完一个数据 (将数据从临时寄存器中写如到目标地址) 传输计数器减 1, 当读取完窗口的最后一个数据, 即传输计数器为 0, DMA 向 DSP 的 CPU 发出中断, DSP 响应此中断将该窗口的采样数据读入片内 RAM 中对数据进行运算处理。DMA 设置程序如下:

```

LDP   DMA
LDI   @DMA,AR0
LDI   @DMA_RESET,R0    ; DMA 复位
STI   R0,*AR0
LDI   @DMA_SOURCE,R0   ; 初始化目标地址寄存器
STI   R0,*+AR0(4)
LDI   @DMA_DESTIN,R0   ; 将 FPGA 的系统地址载入源地址寄存器
STI   R0,*+AR0(6)
LDI   @DMA_COUNT,R0    ; 将数据窗口长度载入传输计数器
STI   R0,*+AR0(8)
OR    40402H,IE        ; 设置 nINT2 外部中断与 DMA 对 CPU 的中断
OR    2000H,ST         ; 设置 DMA 中断
LDI   @DMA_CONTROL,R0  ; 初始化 DMA 总体控制寄存器
STI   R0,*AR0          ;DMA 传输开始
BU    $

```

系统上电复位后 FPGA 中没有可读取的数据, nEF 信号输出为低电平, 所以控制模块必须等待 FPGA 的采样缓存模块产生 read_en2 信号, 才能产生 $\overline{\text{INT2}}$ 信号。

4.6 通讯模块

为了长期保存监测与分析的运算结果,采用通讯模块与上位机进行数据交换。双口 RAM、总线隔离器件和 ISA 总线构成的通讯电路由 CPLD 控制完成对 DSP 系统与上位机的数据交换。通过一个可跳线设置 ISA 总线对应于上位机的地址,上位机通过访问该地址达到传输数据和指令的功能。DSP 处理的数据结果存放在 DRAM 中,通过 ISA 总线传输的数据和指令也写入 DRAM, DSP 直接访问 DRAM 得到通讯命令和上位机的工作指令。

4.7 小结

本章充分利用了 FPGA 易于实现控制逻辑,从逻辑级实现并行操作的功能,设计了监测系统中的各种控制模块,使得各模块之间独立运行,保证了系统的稳定性,同时提高了并行效率。经设计、调试到多通道无缝采样分析技术的成功运行,实现了多通道的同步无缝采样,以及数据采集与分析处理的同步进行。

5 主要算法及实现

5.1 基于 FPGA 的谐波分析

在高速数字信号处理领域,采用通用 DSP 硬件实现虽然灵活性强,但系统造价较高,系统结构固定不易扩展。FPGA (现场可编程门阵列) 以高性能、高灵活性、友好的开发环境、在线可编程等特点使基于 FPGA 的设计可以满足高速数字信号处理的要求。下面介绍谐波分析在 FPGA 中的实现方法。

5.1.1 数字信号处理的 FPGA 实现

数字信号处理 (Digital Signal Processing, DSP) 已经发展成为一项成熟的技术,并且在许多应用领域逐步代替了传统的模拟信号处理系统。DSP 系统具有几项优势,例如:元器件对温度变化、老化以及对容许偏差的不敏感性。在过去,模拟芯片设计可以产生出越来越小的小片尺寸,可是发展到今天,随着现代亚微米设计所带来的噪声,使得数字设计在集成度方面可以比模拟设计做得更好,这些产品就是紧凑的、低功耗并且是低成本的数字设计。

通用可编程数字信号处理器 (Programmable Digital Signal Processor, PDSP) 在 20 世纪 70 年代后期的引入加速了数字信号处理技术的发展。这种 PDSP 能够在仅仅一个时钟周期能完成 (定点数)“乘-累加”的计算。现代的 PDSP 可以包含更为复杂的功能,例如:浮点数乘法器、筒状移位器、存储体以及 A/D 和 D/A 转换接口。

专用集成电路 ASIC 是另一个实现 DSP 算法的途径。这种器件有很好的可靠性,因为它们只完成设计时确定的专门任务。只要销售量大,ASIC 的性价比确实较好,因为对于一个应用,ASIC 可以实现所需的特定的功能和特点,无用的性能造成的成本可以降至最低。通常在超大规模集成电路 (Very Large Scale Integration, VLSI) 设计中,其详细程度的层次可以涉及从完全定制的 ASIC 几何布局到使用称为装置顶盒的系统设计,表 5.1 给出了相应的概述,本章主要介绍算法的实现。但是 ASIC 开发成本很高,只有批量应用即销售客户达到数十万以上时,生产才是可行的^[43]。

如今,现场可编程门阵列 (FPGA) 正处于革命性的数字信号处理技术的前沿。过去,前端的可编程数字信号处理算法,例如 FFT、FIR 和 IIR 滤波器,都是利用 ASIC 或者 PDSP 构建的,但现在大多为 FPGA 所代替^[46,62,63]。现代的

FPGA 系列都提供了支持以低系统开销、低成本实现高速乘-累加 (Multiply-accumulate, MAC) 超前进位链 (Xilinx XC4000, Altera FLEX) 的 DSP 算法。与 PDSP 相比, 典型的 FPGA 设计采用的都是并行操作, 例如: 实现多重乘-累加调用效率、消除零乘积项以及流水线操作, 也就是每个逻辑元件 (Logic Element, LE) 都有一个寄存器, 这样流水先操作就不再需要额外的资源了。

总结 FPGA 实现数字信号处理的优点如下:

- (1) 在尺寸、重量和功耗方面相对 PDSP 都有所降低
- (2) 更高的吞吐量
- (3) 更好的安全性能可以禁止未授权的复制
- (4) 相对于 ASIC 减少了元器件本身和开发的成本
- (5) 降低了线路板的测试成本
- (6) 快速的原形设计
- (7) 在线可重复编程的能力

表 5.1

对象	目标	示例
系统	性能规范说明	计算机、监测系统、雷达
芯片	算法	Mp、RAM、ROM、UART、并行端口
寄存器	数据流	寄存器、ALU、COUNTER、MUX
门电路	布尔方程	AND (与)、OR (或)、XOR (异或)、FF (触发器)
线路	微分方程	晶体管、电阻、电感、电容
布局图	(FPGA 无)	几何形状

本文采用 FPGA 实现了对监测系统的并行时序控制信号产生的同时, 实现了应用快速傅立叶变换 FFT 对电网谐波进行分析。

5.1.2 谐波测量的方法

5.1.2.1 谐波分析原理

设一个分析周期的采样点数为 N , 对于某一相被测量的电压 $u(t)$ 和电流 $i(t)$, A/D 转换系统产生离散电压序列:

$$u(n), i(n) \quad (0 \leq n \leq N-1) \quad (5-1)$$

分别求它们的离散频谱需要做两次 FFT。这里构造一个复序列

$$x(n) = u(n) + ji(n) \quad (0 \leq n \leq N-1) \quad (5-2)$$

对于复序列 $x(n)$ ，其离散傅里叶变换为

$$X(K) = \text{DFT}[x(n)] = \sum_{n=0}^{N-1} [x(n)e^{-j(2\pi/N)nk}] \quad (5-3)$$

由 (5-2) 式得：

$$\begin{cases} u(n) = \frac{1}{2}[x(n) + x^*(n)] \\ i(n) = \frac{1}{2j}[x(n) - x^*(n)] \end{cases} \quad (5-4)$$

对 (5-2) 式进行离散傅立叶变换，并考虑其复共轭性质，则可得到电压、电流的频谱为

$$\begin{cases} U'(K) = \frac{1}{2}[X(K) + X^*(N-K)] \\ I'(K) = \frac{1}{2j}[X(K) - X^*(N-K)] \end{cases} \quad (5-5)$$

式中 $X(K)$ 和 $X^*(N-K)$ 分别是 $x(n)$ 和 $x^*(n)$ 的离散傅立叶变换。

设 $\dot{U}(K)$ 为电压 $u(t)$ 第 K 次谐波的向量表示， $\dot{I}(K)$ 为电流 $i(t)$ 第 K 次谐波的向量表示，则电压、电流向量与频谱有如下关系

$$\begin{cases} \dot{U}(K) = \frac{2j}{N} U'(K) \\ \dot{I}(K) = \frac{2j}{N} I'(K) \end{cases} \quad (5-6)$$

电网谐波主要包含三个内容：三相电压、电流总谐波畸变率，三相电压、电流各次谐波含有率。

由 (5-6) 式可以直接得到电压、电流谐波幅频特性。而三相电压、电流的总谐波畸变率 (Total Harmonic Distortion, THD)，可以从 (5-7) 式得出。

X 相电压总谐波畸变率特性：

$$\text{THDU}_x = \frac{\sqrt{\sum_{k=2}^{64-1} U_x^2(K)}}{U_x(1)} \times 100\% \quad (5-7)$$

X 相电流总畸变率特性:

$$\text{THDI}_x = \frac{\sqrt{\sum_{k=2}^{64-1} I_x^2(K)}}{I_x(1)} \times 100\% \quad (5-8)$$

其中 $U_x(1)$, $I_x(1)$ 分别代表 X 相该采样窗口电压、电流的基波分量; , 分别表示该采样窗口电压、电流的第 k 次谐波分量。

电压谐波含有率特性:

$$\text{HRU}_x(k) = \frac{U_x(k)}{U_x(1)} \times 100\% \quad (2 \leq k \leq 64-1) \quad (5-9)$$

电流谐波含有率特性:

$$\text{HRI}_x(k) = \frac{I_x(k)}{I_x(1)} \times 100\% \quad (2 \leq k \leq 64-1) \quad (5-10)$$

从以上 4 式可以看出对于电压、电流总畸变率的计算用到了开平方运算, 这种运算会占用 FPGA 内部大量的资源, 所以本设计中 FPGA 对于谐波的分析只计算电流电压的频谱, 其结果通过 FPGA 片内的 FIFO 输出到 DSP, 对总畸变率的计算仍然由 DSP 来完成。

5.1.2.2 输入数据格式转换

AD7865 的转换结果为二进制补码形式 (Two's Complement, 2C), 虽然 2C 表示方便于加法和减法运算, 但却不利于乘法和除法运算。专用芯片内部具有计算功能的模块的运算量大都集中在乘法和除法上, 考虑到补码给乘除法运算带来的不便, 这里要预先将其结果转换为其他数据格式。

以往基于 FPGA 的 FFT 模块设计中, 往往使用定点数。因为使用定点数时, 系统结构相对简单、运算速度快, 但精度不高。在 FPGA 中使用浮点数时, 系统相对设计复杂, 但精度高。基于本系统对精度的苛刻要求, 故采用浮点数进行 FFT 的硬件算术实现。在标准的 IEEE 单精度浮点数格式中, 其数值用 32bit

表示, 用 FPGA 实现这种格式浪费 FPGA 内部资源严重, 为了克服这个缺点这里定制了浮点数据格式。

在系统设计中, A/D 芯片输出 14 位数据, 如果 FFT 采用 12 位分辨率对 15 次谐波而言至少会引起 1.67% 的误差, 所以定制的浮点格式用 24bit 表示, 格式如图 5.1。其中包括 7 位指数 e、1 位符号 s 和 16 位分数 f, 尾数位 m 共 17 位, 其值 c 表示为:

$$\begin{cases} c = (-1)^s \times 2^{e-63} \times (1.f) & (e \neq 0) \\ c = 0 & (e = 0) \end{cases} \quad (5-11)$$



图 5.1 24 位浮点格式

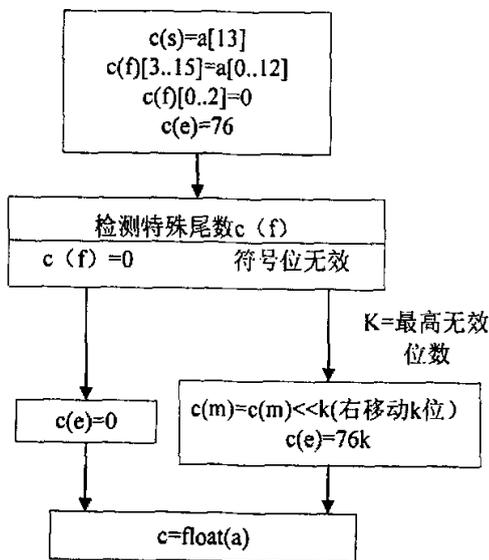


图 5.2 定点转换浮点数据程序流程

具体的二进制补码转换为 24 位浮点的程序流程如图 5.2 所示。图中 a 为转换为原码后的的 14 位采样数据, c 为 24 位浮点数据。

5.1.2.3 FFT 实现结构与方法的比较

目前 FFT 在 FPGA 中实现 (FFT 专用处理机) 主要有以下四种方式:

1. 顺序处理机

顺序处理机是 FFT 专用处理机的基本形式, 它有三个基本组成部分: 碟形运算单元、逻辑控制单元和数据存储单元 (包括存储相位旋转因子 W^p 的只读存储器和存放中间数据和计算结果的随机存取存储器)。其基本的工作原理图如图 5.3 所示。

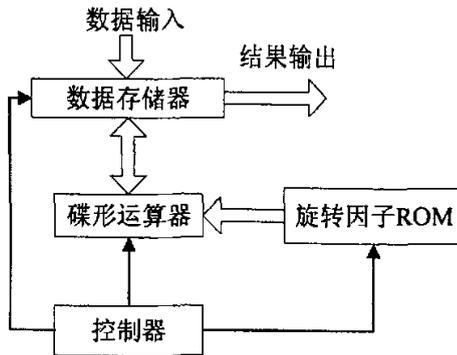


图 5.3 FFT 顺序处理机结构

在顺序处理机中, 碟形运算器在控制器的控制下, 根据标准的 FFT 信号流程, 依时间顺序逐次进行运算。即从第 0 级开始, 从上至下依次进行, 第 0 级计算完成后, 进行第 1 级运算。以此方法继续下去, 直至完成每一级为止。

顺序处理机的特点是:

- (1) 只用一个碟形运算单元;
- (2) 输入数据、中间数据和输出结果均使用同一个存储器;
- (3) 顺序执行 $\frac{N}{2} \log_2 N$ 次碟形运算 (N 为输入序列点数);
- (4) 如果一次碟形运算的时间为 T_B , 则总的运算时间为 $T_B \cdot \frac{N}{2} \log_2 N$ 。

2. 流水线处理机

对一个 N 点 FFT 变换, 每一级的 $N/2$ 次碟形运算安排一个独立的碟形运算器来顺序完成, 这样总共采用 $\log_2 N$ 个碟形运算器同时进行运算, 这种形式称为流水线处理机。

流水线处理机具有以下特点:

- (1) 使用 $M = \log_2 N$ 个碟形运算器;
- (2) M 个碟形运算器在各级间并行运算, 即级与级之间是并行工作的;
- (3) 每个碟形运算器在每一级中顺序执行 $N/2$ 次碟形运算, 即每一级运算的内部为串行工作;
- (4) 如果果一次碟形运算的时间为 T_B , 则每一级数据运算时间为

$$T_B \cdot \frac{N}{2}.$$

3. 并行迭代处理机

对于每一级中的 $N/2$ 次碟形运算, 采用 $N/2$ 个碟形运算器进行并行工作, 而级与级之间是顺序进行计算, 这种实现形式称为并行迭代处理机。

并行迭代处理机具有以下特点:

- (1) 使用 $N/2$ 个碟形运算器工作;
- (2) $N/2$ 个碟形运算器在每一级中并行工作;
- (3) 各级间顺序进行处理工作;
- (4) 如果一次碟形运算的时间为 T_B , 则总的运算时间为 $T_B \cdot \log_2 N$, 顺序处理机的 $N/2$ 倍;

4. 阵列处理机

把流水线处理机和并行迭代处理机结合起来, 采用 $\frac{N}{2} \log_2 N$ 个碟形运算器来实现全并行工作, 称为阵列处理机。

阵列处理机的特点有:

- (1) 使用 $\frac{N}{2} \log_2 N$ 个碟形运算器;
- (2) $\frac{N}{2} \log_2 N$ 个碟形运算器并行完成全部 $\frac{N}{2} \log_2 N$ 次碟形运算, 即级内

和级间均并行工作;

(3) 阵列处理机总的运算时间在理论上等于一次蝶形运算的时间,即 T_0 。

以上介绍了 FFT 处理机实现的 4 种方法,从空间复杂度和设备量上看,顺序处理机最优,流水线处理机次之,并行迭代处理机和阵列处理机则设备量最大,所以所占用 FPGA 的资源最多,成本昂贵。

5.1.2.4 FFT 处理机结构

由于 FPGA 器件内部资源有限,对于后 3 种占用资源过大、成本较高的实现形式并不合适。因此,基于电力系统谐波分析的实际要求,选择了顺序处理机作为 FFT 模块内核的实现形式。

提高 FFT 处理机速度的主要途径除了改变处理结构以外还有提高基数的方法。基 2 算法是由 1 个复数乘法和 2 个复数加法组成,而一个基 4 算法由 3 个复数乘法和 8 个复数加法组成。虽然基 4 算法的运算速度是基 2 算法的 2 倍,但是基 4 蝶形硬件实现的资源占用是实现基 2 蝶形的 2 倍。另外,基 4 算法要求 FFT 的处理长度 $N = 4^m$ (m 为自然数),在工程实际中有时不能满足条件(如 $N=2048$)。综合考虑算法的处理速度,算法的运算量以及硬件实现算法的资源占用等因素这里选择基 2 蝶形算法。

在 FPGA 上实现顺序处理的 FFT 程序包括三个阶段:数据读入阶段、计算阶段和结果数据输出阶段。控制信号 R_{en} 启动读入数据操作。

在计算阶段,采取 FFT 原位算法,即每一级计算中,输入数据由该数据计算出的结果所覆盖。数据完成读入的操作后,经过一个蝶形运算单元的流水深度后出来第一个中间结果,该结果被写到 FFT 模块内的数据缓存区中,覆盖掉第一个输入数据,这样可以节约 FPGA 内部的 RAM 资源。

如果采样窗口包括 8 个工频周波,每个周期有 128 个采样数据点,即完成 2046 点的 FFT 计算,由于 FFT 采用基-2 的算法,需要 20 级才能完成 FFT 运算,所以 FFT 计算阶段需要消耗时间是数据读入时间的 20 倍,FFT 计算完成时控制单元产生数据结果输出信号 out_{en} 。FFT 运算完成的结果数据通过并行通信接口输出。FFT 运算处理模块结构如图 5.4。图中细实线代表控制信号,粗实线与空心线分别代表数据信号与地址信号。

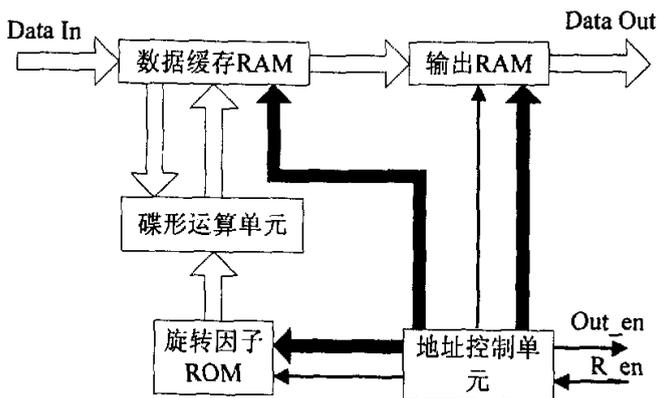


图 5.4 FFT 模块结构

采用 FPGA 实现 FFT 运算主要考虑两个问题，即 FFT 的运算速度和 FPGA 硬件资源利用问题。考虑到提高运算速度实现以多通道的无缝采样分析，必须在一个采样窗口周期内完成对上一采样窗口数据的 FFT 计算。虽然 FFT 处理机采用了顺序处理的结构，但是设计加法器及乘法器这里采用了 3 级流水线结构，把规模较大、层次较多的组合逻辑电路分为三个级，在每一级插入寄存器组并暂存中间数据^[28]。

为了进一步减小系统硬件资源的消耗，根据该方程的特征对复乘单元进行改进。按时间抽取 (DIT) 的基-2 蝶形运算算法的方程：

$$\begin{cases} x_m(i) = x_{m-1}(i) + x_{m-1}(j)W_N^k \\ x_m(j) = x_{m-1}(i) - x_{m-1}(j)W_N^k \end{cases} \quad (5-12)$$

为了实现在 2 个时钟周期完成一次复数乘法，由时钟信号 clk 控制旋转因子实部 W_{nr}^k 和虚部 W_{ni}^k 按先后顺序进入由两个寄存器组成的系数口，复数输入也由 clk 控制按 $x_{m-1}(j)$ 、 $x_{m-1}(i)$ 顺序进入蝶形单元。信号 Phi1 控制复数 $x_{m-1}(j)$ 通过两个实数乘法器与旋转因子进行复乘。由 (1) 式可知 $x_{m-1}(i)$ 不参与复乘运算，它由 Phi2 控制直接经过延迟单元后与 $x_{m-1}(j)W_N^k$ 进行加减法运算，延迟单元由四个寄存器构成，从而在保证处理速度的前提下减少乘法器数目。图 5.5 为蝶形运算单元控制信号时序。

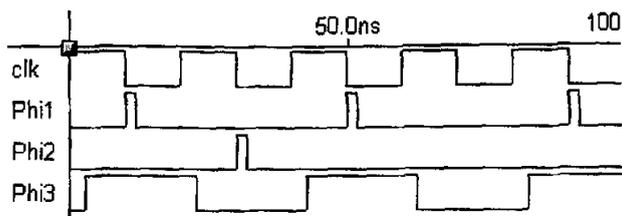


图 5.5 碟形运算单元控制信号仿真

图 5.6 所示的蝶形运算单元主要由两个实数乘法器、四个加法器、一个延时器以及若干寄存器组成,其中延时器由 4 个寄存器搭建而成,图中未标明时钟信号的寄存器的时钟为系统时钟 clk。该蝶形运算单元结构简单紧凑,流水与并行方式的应用避免了瓶颈出现,达到了高速处理的要求同时节省了硬件资源。

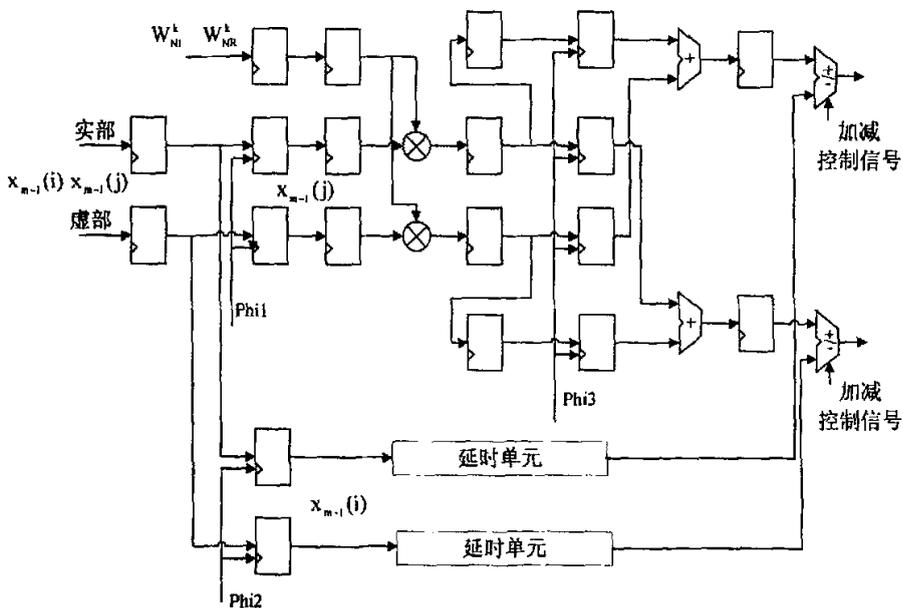


图 5.6 碟形运算单元结构

FFT 处理机模块碟形运算单元仿真如图 5.7。该仿真运算单元输入为

$x_{m-1}(j) = 0$, $x_{m-1}(i) = 1$, 与旋转因子 $W_n^k = 0.707107 + 0.707107i$ 进行运算。图中 Xrf、Xif 为输入浮点数据的尾数位, Xre、Xie 为指数位, Yrf、Yif 为输出浮点数据的尾数位, Yrs、Yis 为符号位。

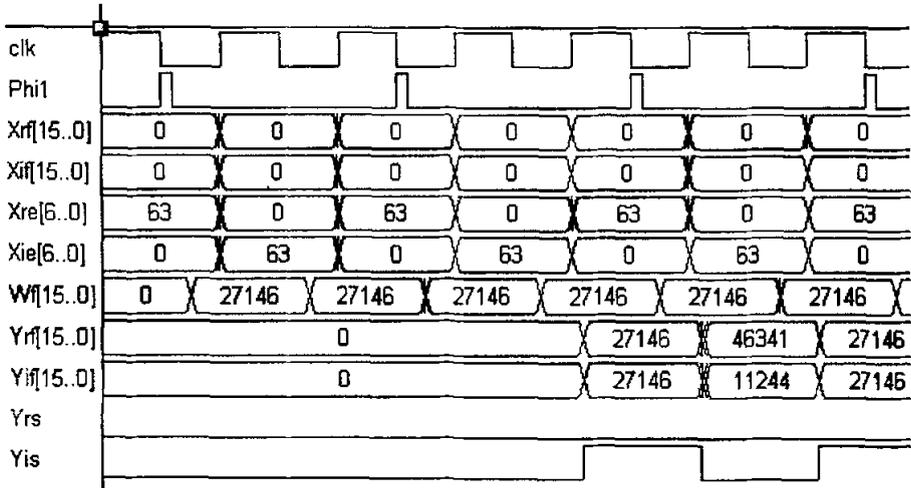


图 5.7 FFT 处理机模块计算仿真

5.1.2.5 浮点加减法设计

为了能够在每一个时钟周期运算做完一次运算, 在设计浮点加法器/减法器时, 采用了流水结构。这样虽然增加了硬件使用的面积, 但是可以使系统的速度大大提高。

三级流水结构如图 5.8, 符号 s_i 、 e_i 和 f_i 分别表示浮点数 v_i 的符号位、指数位和分数位, $reg(x)$ 表示 x 位寄存器。在各级分别需要完成的计算如下:

第一级

- (1) 如果 v_1 的绝对值小于 v_2 的绝对值, 那么交换 v_1 、 v_2 的位置。
- (2) 用 e_1 减去 e_2 , 计算出 f_2 需要右移的位数。

第二级

- (1) 将 1. f_2 右移 $(e_2 - e_1)$ 位;
- (2) 如果 s_1 等于 s_2 , 那么将 1. f_1 与 1. f_2 相加, 否则用 1. f_1 减去 1. f_2 ;

- (3) 将较大的数 v_1 的符号位和指数位作为最终结果的 v_3 符号位和指数位。

第三级

- (1) 将分数 f_3 左移直到最高位为 1，完成分数的规格化；
 (2) 调整结果的指数位 e_3 ：用 e_3 减去分数 f_3 左移的位数。

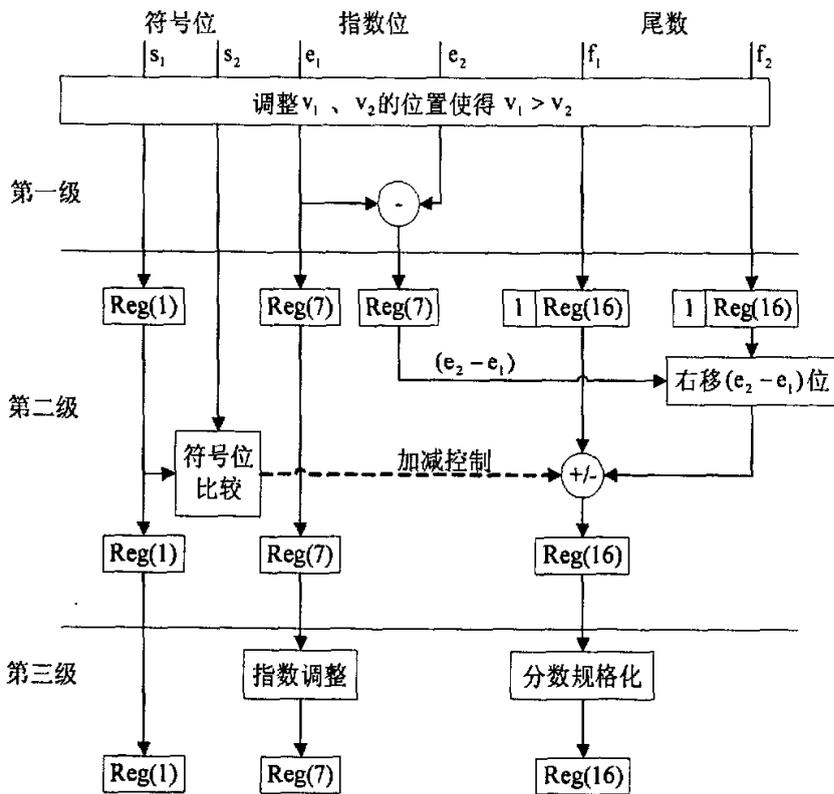


图 5.8 加法流水线结构

5.1.2.6 浮点乘法

浮点乘法和整数乘法相似^[44, 46]。由于浮点数是以符号-大小的形式存储，因而乘法器只需要处理无符号整数和规格化的操作。首先对规格化数进行如下预处理：

- (1) 求两个操作数的指数和：

$$e = (e_1 - 63) + (e_2 - 63) + 63 \quad (5-13)$$

(2) 求两操作数相乘后的符号:

$$s = s_1 \oplus s_2 \quad (5-14)$$

(3) 修改两操作数的尾数: f_1 与 f_2 从原来的 16 位变为 17 位, 即 $f_x = '1' \& f_x$ 。

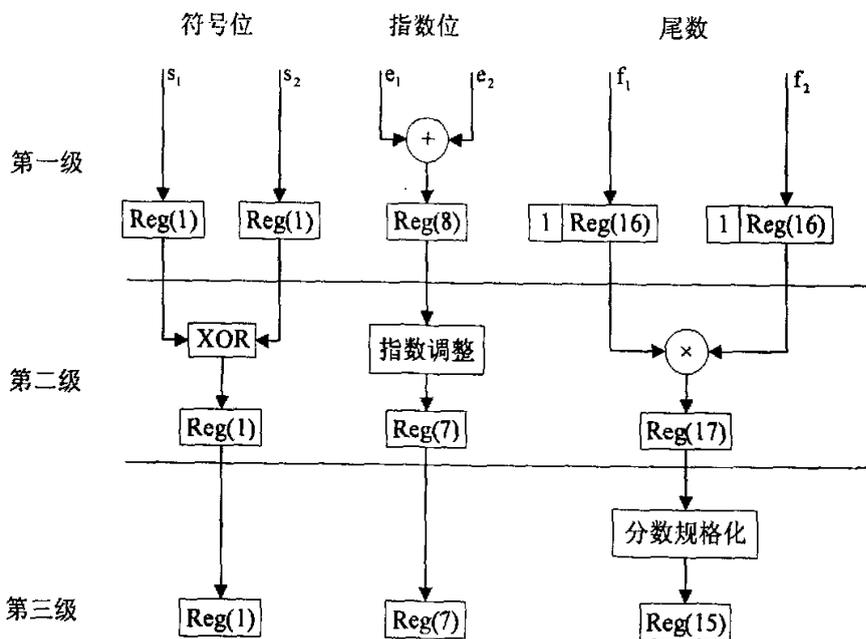


图 5.9 乘法流水线结构

预处理结束后进行 17 位尾数的乘法运算。最后将所得的尾数进行规格化和舍入。规格化：当尾数的最高位为 0，将尾数左移 1 位；当尾数的最高位为 1，则尾数不变，将前面所求的指数和加 1。舍入：当尾数的第 23 位为 0，舍去尾数中的 0 至 23 位；当尾数的第 23 位为 1，向第 24 位进 1 并舍去 0 至 23 位。

采用三级流水结构的 24 位乘法器结构如图 5.9。

5.2 基于 DSP 的数字滤波

在 DSP 系统中很多时候都要用到数字滤波器，虽然在硬件上有了模拟滤波器，但那只是为了滤掉由外部扰动或传感器带入的高频噪声干扰，而在闪变计

算中主要用到的是数字滤波^[44]。

数字滤波器与模拟滤波器比较有以下明显的优点：

- (1) 可以满足滤波器对幅度和相位特征的严格要求，精确度高；
- (2) 没有电压漂移、温度漂移和噪声等问题，基本不受环境影响，稳定性好；
- (3) 用 DSP 实现的数字滤波器具有高度的可编程性，灵活性非常好。

常用的数字滤波器包括两种：一种是有限冲击响应 FIR (Finite Impulse Response) 滤波器，另一种是无限冲击响应 IIR (Infinite Impulse Response) 滤波器。相比较而言，IIR 滤波器具有可以用完整的设计公式来设计各种选频滤波的优点，也就是说，一旦选定了已知的逼近方法（如巴特沃兹、切比雪夫或椭圆逼近），则可以直接把技术指标代入一组设计方程来计算满足条件的滤波器的阶次，并得出数字滤波的系数。而 FIR 滤波器可以有精确的线性相位，这正是零失真信号处理所需要的，但是对于 FIR 滤波器不存在完整的设计方程。

5.2.1 FIR 滤波器设计

数字滤波器具有如下差分方程：

$$y(n) = \sum_{k=0}^{N-1} a_k x(n-k) + \sum_{k=0}^{N-1} b_k y(n-k) \quad (5-15)$$

式中， $x(n)$ 为输入序列， $y(n)$ 为输出序列， a_k 和 b_k 为滤波器系数， N 是滤波器的阶数，若所有的 b_k 均为零，就是 FIR 滤波器的差分方程。不失一般性，用下式表示 FIR 滤波器的差分方程。

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (5-16)$$

对上式进行 Z 变换整理后可得到 FIR 滤波器的传递函数：

$$H(Z) = \frac{Y(Z)}{X(Z)} \sum_{k=0}^{N-1} h(k)z^{-k} \quad (5-17)$$

FIR 滤波器的一般结构如图 5.10 所示：

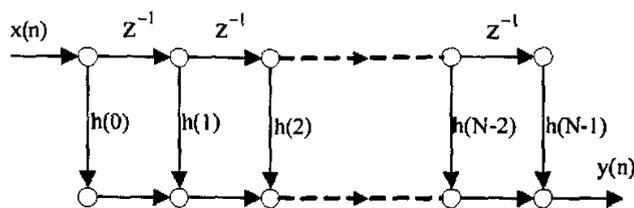


图 5.10 FIR 滤波器结构

FIR 滤波器的设计过程采用 MATLAB 工具箱, MATLAB 提供了两种 FIR 滤波器的设计方法。一种是窗函数设计法; 另一种是任意形状 FIR 滤波器设计法。在设计中只需要输入 FIR 滤波器的阶数和截止频率, MATLAB 就可以直接给出滤波器的系数。在 DSP 中只需要将滤波器系数代入进行计算就可以了。

使用 FIR 滤波器在进行滤波的过程中主要是乘积累加的过程, 在 TMS320VC33 中, 具有并行的乘/累加操作和循环寻址的功能, 并行的乘/累加操作使得一次乘法和一次加法在一个指令周期内完成, 而循环寻址使长度为 N 的缓冲区足以存储 N 阶滤波所需的输入样值。下图 5.11 所示使进行 FIR 滤波时一种有效的存储器组织, 其中 (a) 是滤波器系数的存储器组织, (b) 是滤波前输入样值的存放顺序, (c) 是滤波后输入样值的存放顺序。

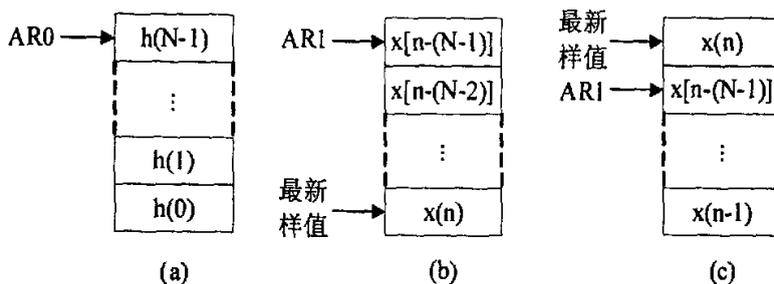


图 5.11 FIR 滤波器存储组织

FIR 滤波器在 DSP 中多用汇编程序实现, 由于汇编程序比 C 语言更有效, 运行速度更快, 其主要部分即乘积累加部分如下所示:

```
.global    FIR
FIR      LDF    0.0,R0          ; R0 初始化
```

```

LDF      0.0,R2      ; R2 初始化
RPTS    N-1        ; 重复 N 次
MPYF3   AR++(1), AR++(1),R0
                                ; R0=h(N-1-i)*x[n-(N-1-i)]
|| ADDF3   R0,R2,R2    ; 乘/累加
ADDF3   R0,R2,R0    ; 加最后一个乘积
RETS
.end
    
```

第一次调用上述程序时，首先要初始化 AR0, AR1, BK 三个寄存器。其中 AR0 指向 h(N-1), AR1 指向 x[n-(N-1)], BK=N, N 为滤波器阶数。第二次及以后调用上述程序进行滤波时，AR0 需要重新进行赋值，指向 h(N-1)。而 AR1 采用循环寻址，不重新初始化。滤波的结果存放在寄存器 R0 中，在进行完一次后要保存结果。

图 5.12 所示为一个 50 阶的 200Hz 低通滤波器在 DSP 中运行得到的结果。

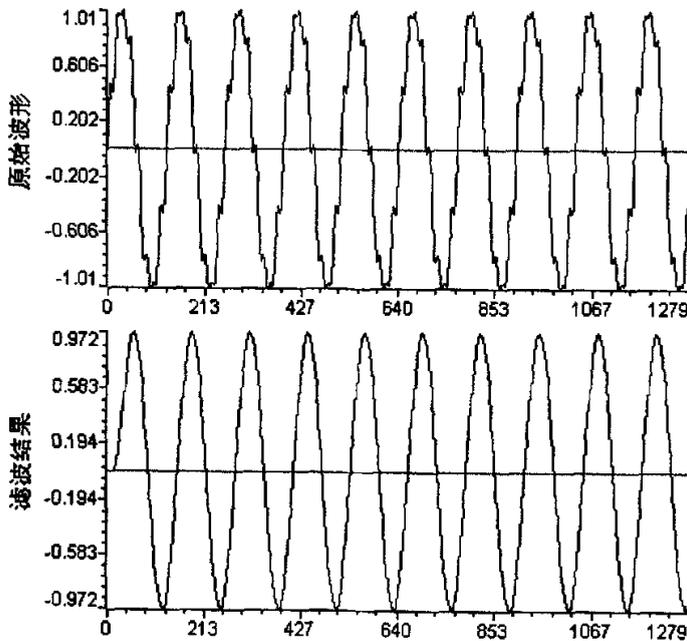


图 5.12 数字滤波器的 DSP 仿真

5.2.2 IIR 滤波器设计实现

IIR 滤波器差分方程的与式(5-15)相同，具有可以用完整的设计公式来设计各种选频滤波的优点。

IIR 滤波器结构主要有三种形式：(1)直接型；(2)级联型；(3)并联型。其中直接型结构又分为直接 I 型和直接 II 型。相对与直接 I 型，直接 II 型结构节省了一半的延迟单元，是最常用的 IIR 滤波器结构之一。

级联型由多个二阶基本节级联而成，这些基本节可以采用直接 II 型结构实现。这种结构便于准确实现滤波器的零极点，也便于性能调整。本文介绍的闪变分析数字滤波实现方法就是采用级联型的 IIR 滤波器实现。图 5.13 为二阶级联基本节的结构。

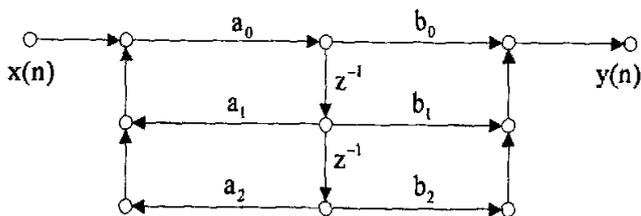


图 5.13 二阶基本节结构

在 DSP 处理器中编程实现 IIR 滤波器与 FIR 滤波器一样，并行指令和循环寻址方式可以简化程序并且提高运算速度。

5.2.3 基于数字滤波的闪变分析

闪变可以理解为人眼对白炽灯明暗变化的感觉，其实质是电网电压的波动。监测闪变是过滤波、统计的方法量化人类对电压波动经过灯-眼-脑环节的主观视觉，就是描述灯-眼-脑环节的频率特性。国际电工委员会（IEC）推荐的闪变测量原理如图 5.14 所示。它包括三个部分：平方检调器、带通加权滤波、平方低通滤波。它们分别对应了灯-眼-脑三个环节。三个环节的功能都可通过设计适当的数字滤波器实现^[10,44,47]。因为被测信号的动态范围大，模拟技术对电路要求高，数字方法则没有这种要求，并能保证足够的精度。

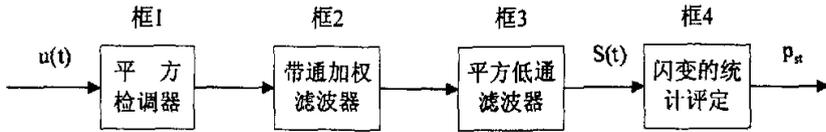


图 5.14 电压波动和闪变检测原理框图

图 5.14 中，框 1 功能是模拟灯的作用，用滤波的方法从工频电压波动中检出反映电压波动的调幅波。首先直接对电压信号进行平方运算，然后可通过选择采样频率为 400Hz、截止频率为 35Hz 6 阶巴特沃斯低通滤波器实现，其传递函数转化为 z 函数如下：

$$H(z) = \frac{\sum_{k=0}^6 b_k z^{-k}}{1 + \sum_{k=1}^6 a_k z^{-k}} \quad (5-18)$$

其中： $a_1 = -3.8807$ ， $a_2 = 6.5355$ ， $a_3 = -6.0495$ ， $a_4 = 3.2276$ ， $a_5 = -0.9374$ ， $a_6 = 0.1155$ ， $b_0 = 0.0002$ ， $b_1 = 0.001$ ， $b_2 = 0.0026$ ， $b_3 = 0.0034$ ， $b_4 = 0.0026$ ， $b_5 = 0.001$ ， $b_6 = 0.0002$ 。为了除去输入信号中的直流分量，设计一个一阶 0.05Hz 的高通滤波器，其传递函数为：

$$H(z) = \frac{0.9996(1 - z^{-1})}{1 - z^{-1}} \quad (5-19)$$

框 2 是模拟人眼对频率的选择特性，该功能可根据 IEC 推荐的传递函数式，如式 5-20，实现。

$$K(s) = \frac{k\omega_1 s}{s^2 + 2\lambda s + \omega_1^2} \cdot \frac{1 + s/\omega_2}{(1 + s/\omega_3)(1 + s/\omega_4)} \quad (5-20)$$

式中 $k=1.7480$ ，

$$\lambda = 2\pi \cdot 4.05981, \omega_1 = 2\pi \cdot 9.15494, \omega_2 = 2\pi \cdot 2.27979, \omega_3 = 2\pi \cdot 1.22535,$$

$\omega_4 = 2\pi \cdot 21.9$ 。将其转换成数字滤波器传递函数，则：

$$H(z) = \frac{\sum_{k=0}^4 b_k Z^{-k}}{1 + \sum_{k=0}^4 a_k Z^{-k}} \quad (5-21)$$

式中： $a_1 = -3.548754$, $a_2 = 4.714548$, $a_3 = -2.77601$, $a_4 = 0.610325$,
 $b_0 = -0.009351$, $b_1 = 0.000329$, $b_2 = -0.018373$, $b_3 = -0.000329$,
 $b_4 = 0.009022$ 。

框 3 是模拟人脑神经对视觉反映和记忆效应的功能，根据 IEC 规定可用一个时间常数 300ms 的 RC 滤波器实现，其传递函数为：

$$G(s) = \frac{K}{0.3s + 1} \quad K=63.7864 \quad (5-22)$$

转换为数字滤波器的传递函数为：

$$H(z) = \frac{0.26471 \times (1 + z^{-1})}{1 - 0.9917z^{-1}} \quad (5-23)$$

根据上述计算环节，可以得到电压闪变的瞬时闪变视感度 $S(t)$ ，由瞬时闪变视感度就很容易求出电压短时闪变值 P_{st} 。图 5.15 为电压波动波形，该波形中电压波动频率为 5Hz，波动幅度为 0.00398，经过带通滤波后得到调幅波形如图 5.16，其瞬时闪变视感度 $S(t)$ 如图 5.17 所示， $S(t)$ 在 3s 钟后达到稳定，其值接近 1p.u。

5.3 小结

本章在基于前一章的硬件平台上，充分利用 DSP 和 FPGA 各自在数字信号处理应用中的特点，分别设计了用于谐波分析的 FFT 模块和基于数字滤波的闪变分析模块。使用 Altera 公司的 FPGA 设计与仿真工具 QuartusII 对 FFT 模块的碟形运算单元做了时序仿真。最后，根据 IEC 推荐的闪变测量模型，提出了数字化测量电压闪变的方法，并在 DSP 中运用无限冲击响应滤波器 IIR 设计实现了电压闪变测量。

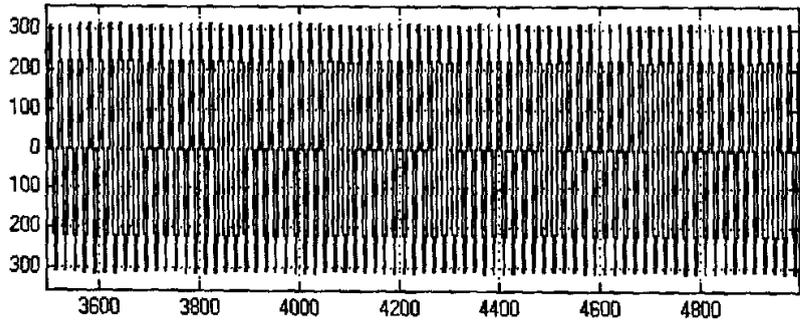
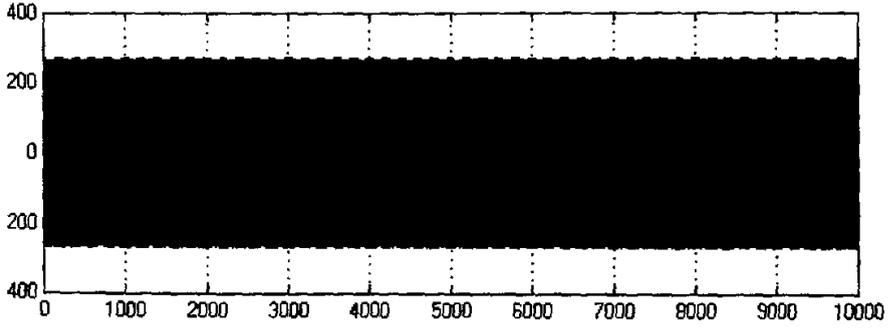


图 5.15 电压波动输入波形

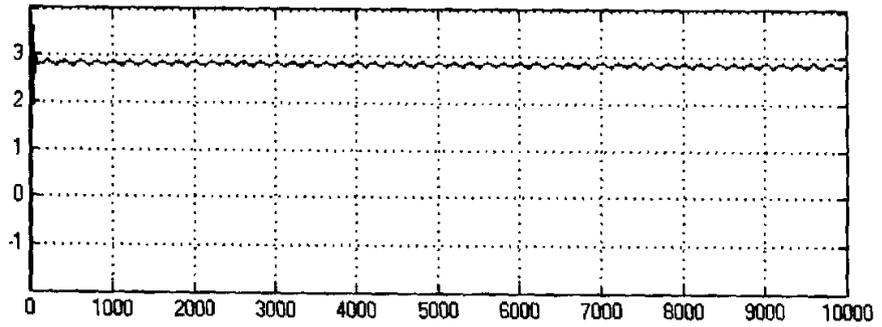


图 5.16 电压波动滤波后调幅波形

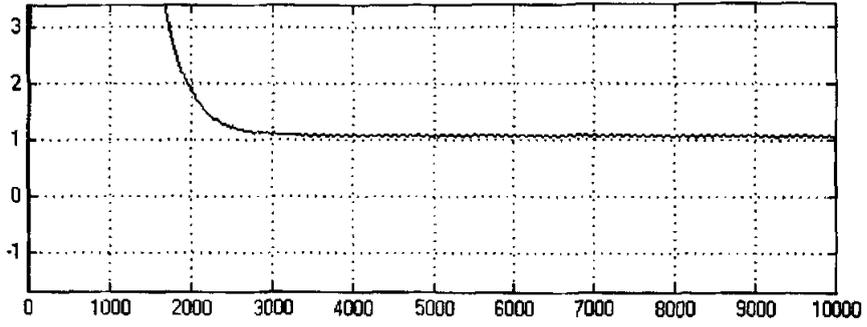


图 5.17 电压闪变的瞬时闪变视感度 $S(t)$ 输出波形

6 结论和展望

针对电能质量监测与分析系统的特点和要求,基于现场可编程门阵列器件 FPGA 和数字信号处理器 DSP 的双 CPU 硬件结构,实现数据采集与数据处理并行操作。通过仿真和运行,证明了它可以满足电力系统电能质量监测要求。

监测系统的控制信号由 FPGA 产生,是核心控制器,在其内部设计的各控制模块具有并行运行的特性,互不干扰,简化了系统外围电路,提高了系统运行稳定性。本设计中 FPGA 选择了 Altera 公司的高密度芯片 Stratix,该芯片优化的 DSP(数字信号处理)块和 7Mbit 嵌入存储器提供了足够的硬件资源用来设计 FFT 模块,这个模块与 DSP 芯片 TMS320VC33 实现并行处理共同完成监测系统的电能质量数据运算与分析。为了实现硬件上的并行结构,在 FPGA 中设计了作为采样缓存的双口 RAM,由 FPGA 的缓存控制模块产生读写与切换信号,控制 FFT 模块和 DSP 的 DMA 程序对采样数据进行读取。

谐波的监测由 FPGA 的 FFT 模块完成。该模块的设计是采用顺序处理机结构,这样可以减少该模块对 FPGA 内部有限硬件资源的占用,降低系统成本,同时,采用自定义 24 位浮点数据格式也是为了达到同样的目的。基于 3 级流水线结构的加法器与乘法器的设计,以及简化的碟形运算单元,可以充分提高 FFT 的运算速度。对于电压波动及闪变的检测与分析由浮点数字信号处理器 TMS320VC33 完成。该部分采用了数字滤波方法实现,这种方法由 IEC 推荐的闪变仪转换而来。

随着半导体技术的发展和数字信号处理技术的普及,采用上述算法、FPGA 和 DSP 的仪器,具有很强的通用性,系统灵活、升级容易。因此,这个方向的研究会得到更进一步的深入发展。同时,伴随着电能质量标准的制定和实施,电能质量监督法规体系的逐步建立,必将大大促进设备制造厂家提高其设备与电源系统的兼容性,在促进电力用户在提高产品生产率、使用高性能设备的同时,严格限制对电源系统和其它设备的电磁干扰,并且促使供电部门加强电能质量的技术监督与电网的运行管理,采用先进的技术措施,推动电能质量的监测与控制的研究和开发,保证提供合格的电能和优质的服务。

由于作者水平有限,文中如有不妥之处,恳请各位专家、教授和同学们指正。

致 谢

本文是在导师杨洪耕教授的悉心指导下完成的。导师严谨求实的治学态度、诲人不倦的敬业精神、正直坦荡的为人风范使学生受益匪浅。谨此向导师致以崇高的敬意和衷心的感谢!

在课题选题和研究过程中,还得到了肖先勇副教授等老师的热情指导和帮助。肖老师严谨的治学态度、渊博的学识和广阔的胸怀令学生终身难忘,特此表示诚挚的感谢和深深的敬意!

感谢所有关心、支持和帮助我的院系领导、老师和同学!尤其是与我朝夕相处的同窗好友和师弟师妹们,感谢你们对我的学习和生活的帮助!

感谢评审论文的各位专家、教授为本文提出的宝贵意见!

最后,祝大家工作顺利,生活幸福,身体健康!

谢谢!

江 川 谨识

2005年4月于四川大学

参考文献

- [1] 潘贞存, 陈青, 王慧, 等. 电能质量及其检测方法的研究. 山东电力技术, 1997(5): 55~58
- [2] 俞宁, 李泰光, 黄道基. 电力谐波在线测量方法与监测系统设计. 电测与仪表, 1999(9): 12~15
- [3] 王宾, 潘贞存, 赵建国, 等. 电能质量监测数据的同步处理与装置设计. 电力系统自动化, 2002, 26(11): 45~49
- [4] 郭茂, 彭白杨, 冯旭. 电力系统实时相角测量新方法. 电测与仪表, 2000, 37(11): 21~22
- [5] 肖永清, 郭白坤, 雷惠博. 电力系统无功功率实时测量方法评析. 电测与仪表, 2000, 37(11): 8~12
- [6] 朱晓华, 王建新, 史湘全. 基于 DSP 算法的谐波功率测量仪的研究. 电测与仪表, 2001, 38(10): 12~15
- [7] Dugan R C, McGranaghan M F, Beaty H W. Electrical Power Systems Quality. New York: McGraw-Hill, 1996
- [8] 张桂青, 冯涛, 王建华, 等. 可重构智能化电器硬件设计平台及其应用. 电力系统自动化设备, 2003, 23(9): 29~30
- [9] 李君凯, 丁化成. 一种新的电力系统谐波分析仪表采样计算方法. 电测与仪表, 2000, 37(10): 5~7
- [10] 施奕平, 吴国安. 基于 DSP 的电网质量监测仪. 电测与仪表, 2002(1), 17~19
- [11] 廖泽龙. 电能质量综合测试系统的设计. 电网技术, 2000, 24(2): 42~44
- [12] 李宗华, 徐欣, 卢启中, 周一宁. 信号处理中高速计算器的设计与 FPGA 实现. 电子技术应用, 1999(11): 67~68
- [13] 吴道虎, 李玉华, 康巍晶. 新型多功能电能质量监测仪的研制. 电测与仪表, 1997, 34(6): 27~29
- [14] 王小平, 杨维翰, 王绍兰. 便携式电能质量分析仪的研制. 电测与仪表, 2000, 37(3): 19~21
- [15] 王宝安, 蒋平, 等. 基于 DSP 技术的电能质量监测仪的研制. 国际电能质量研讨会: 244~247
- [16] Mancao R T. Power Quality Monitoring of a Distribution System. IEEE Trans on Power

- Delivery, 1994, 9(2): 1136~1140
- [17] 王宾, 潘贞存. 电能质量监测系统硬件平台的特点与设计. 国际电能质量研讨会电能, 2002: 36~39
- [18] 胡铭, 等. 电能质量及其分析方法综述. 电网技术, 2000, 24(3): 36~38
- [19] 段晓明. DZJ-1F 型电能质量监测仪的研制. 华北电力技术, 1998(4)
- [20] 赵晨, 吉安, 刘军成. 电能质量的 SCADA 系统及其应用. 电能质量国际研讨会, 2002: 27~30
- [21] 马小斌, 金连文, 尹俊勋. 利用 DSP 和 CPLD 增加数据采集的可扩展性. 电子技术应用, 2003(3): 78~80
- [22] N.Kagan, E.L.Ferrari, et al. A Methodology for Monitoring Harmonic Distortions in Electric Power Distribution Systems. 10th International Conference on Harmonics and Quality of Power, vol.1: 195~200
- [23] 段成刚, 宋政湘, 等. 嵌入式电能质量监测器的设计. 继电器, 2003, 31 (5): 49~52
- [24] 欧阳森, 宋政湘等. 新型电能质量监测系统的设计. 电工电能新技术, 2003, 22 (1): 43~47
- [25] 沙征东, 宋光爱. 一种数字信号处理算法的现场可编程门阵列实现. 武汉水利电力大学学报, 2000, 33(4): 104~107
- [26] Four-Channel, Simultaneous Sampling, Fast, 14-Bit ADC AD7865. Analog Devices Incorporated, 2000
- [27] 诸振勇, 翁木云. FPGA 设计及应用. 西安: 西安电子科技大学出版社, 2002
- [28] Uwe Meyer-Baese. 数字信号处理的 FPGA 实现. 北京: 清华大学出版社, 2002
- [29] 王念旭, 等. DSP 基础与应用系统设计. 北京: 北京航空航天大学出版社, 2001
- [30] TMS320VC33 Data sheet. Texas Instruments Incorporated, 2000
- [31] 陈隆道, 等. 电能质量监测中的周期域分析. 国际电能质量研讨会, 2002: 258~262
- [32] 徐震, 陈山林, 孙成明. 谐波分析仪中采样截断误差的分析及抑制. 电测与仪表, 1990(2)
- [33] Stratix Device Family Data Sheet. Altera Corporation, 2004
- [34] Heydt G T, Fjeld P S, Liu C C, et al. Application of the Windows FFT to Electric Power Quality Assessment. IEEE Trans on Power Delivery, 1999, 14(4): 1411~1416
- [35] H.C.Lin, C.S.Lee. Enhanced FFT-based parametric algorithm for simultaneous multiple

- harmonics analysis. IEE Proc., 2001, GTD-148(3): 209~214
- [36] 张伏生, 耿中行, 葛耀中. 电力系统谐波分析的高精度 FFT 算法. 中国电机工程学报, 1999, 19(3): 63~66
- [37] 柳义利, 刘海霞, 周涓. 高速连续频率测量. 电子测量技术, 1999(7):19~22
- [38] 李树森, 江帆. 电力系统在线谐波测量中的误差分析. 电测与仪表, 1991(4):9~14
- [39] A.V.奥本海姆(A.V.oppenheim), R.W.谢弗(R.W.Schafer). 数字信号处理. 北京: 科出版社, 1980
- [40] Ferrero A, Ottobomi R. High-accuracy Fourier Analysis Based on Synchronous Sampling Techniques. IEEE Trans on IM, 1992, 41(6): 380~386
- [41] TMS320C3x.User's Guide. Texas Instruments Incorporated, 2000
- [42] 卢涛. 交流瞬时采样的频率跟踪. 电测与仪表, 1997, 34(3): 25~27
- [43] Andrew Bateman, Iain Paterson-Stephens. The DSP Handbook Algorithms, Applications and Deign Techniques. CITIC Publishing House,2003
- [44] 吕律,易清明,刘光昌. 基于 FPGA 单精度浮点乘法器的设计实现与测试. 暨南大学学报, 2004,25(3):302~305
- [45] 马玉龙,刘连光,等. IEC 闪变测量原理的数字化实现方法. 中国电机工程学报, 2001(21):92~95
- [46] 王远模,赵宏钟,张军,付强. 用 FPGA 实现浮点 FFT 处理器的研究. 国防科技大学学报, 2004(26): 61~64
- [47] 刘亚洲,李威,纪延超,柳焯. IEC 闪变检测方法的数字化实现. 继电器, 2000(28)3: 18~21
- [48] Lassi Toivonen, Jorma Morsky. Digital Multirate Algorithms for Measurement of Voltage, Current, Power and Flicker. IEEE Transactions on Power Delivery, 1995,10(1): 116~126
- [49] 李凤阁, 韩明武, 等. 基于双 CPU 的电力监控的设计. 继电器, 2005,33(4): 53~56
- [50] 董超, 宋政湘等. 基于双 CPU 的高精度电能质量监测仪. 低压电器, 2004,3: 25~27
- [51] 段成刚, 欧阳森, 宋政湘等. 新型在线实时电能质量监测设备的设计. 电网技术, 2004,28(2): 60~63
- [52] 顾樱华, 顾春艳. 采用 DSP 技术的电能质量在线监测. 电测与仪表, 2004, 41: 14~16
- [53] Peter K.F Tsang, Abbas Bigdeli, et al. An Innovative Approach for RMS and THD Control by Field Programmable Gate Arrays. IEEE Power Electronics and Drive Systems, 2003. PEDS 2003. 2003: 830 - 832

- [54] Shyh-Jier Huang, Tsai-Ming Yang, Jiann-Tseng Huang. FPGA Realization of Wavelet Transform for Detection of Electric Power System Disturbances. *IEEE TRANSACTIONS ON POWER DELIVERY*, 2002, 17(2): 388-394
- [55] 刘卓夫, 彭侠夫, 等. FPGA 在高速多通道数据采集中的应用. *电测与仪表*, 2002, 39(10): 42~44
- [56] 蒋亚坚, 沈桂明. FPGA 在雷达信号处理器中的应用研究. *雷达与对抗*, 1999, 2: 57~63
- [57] 黄昕, 周建江. 基于TS101的多DSP行视频实时处理系统硬件设计. *电子工程师*, 2005, 31(2): 64~66
- [58] 用 TMS320LF2407 和 FPGA 实现电能质量监测. *单片机与嵌入式系统应用*, 2003, 6: 61~64
- [59] Ananth Grama. 并行计算导论. 北京: 机械工业出版社, 2005
- [60] 于海生, 潘松峰. 基于复序列 FFT 和锁相原理的电参数测量. *电网技术*, 2000(3): 59~60
- [61] Cristina Gherasim, Thomas Croes, et al. Development of a Flickermeter for Grid Connected Wind Turbines using a DSP based Prototyping System. *IEEE Instrumentation and measurement Technology Conference*, 2004, 18: 2015~2019
- [62] Peter K.F Tsang, Abbas Bigdeli, et al. An Innovative Approach for RMS and THD Control by Field Programmable Gate Arrays. *IEEE Power Electronics and Drive Systems*, 2003: 830~832
- [63] Feng Tao, Zhang Guiqing, et al. A FPGA-based Implementation of Data Acquisition and Processing for Digital Protective Relays. *IEEE Power Electronics and Drive Systems*, 2001: 518~521

作者在攻读硕士学位期间发表的论文

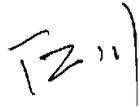
- [1] 江川, 杨洪耕. 基于并行数据处理结构的电能质量在线监测. 继电器, 2005, 33(5): 47~50
- [2] 江川, 杨洪耕. 基于并行数据处理结构的电能质量在线监测. 全国高等学校电力系统及其自动化专业学术年会, 2004, 10: 1456~1459

声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表和撰写过的研究成果，也不包含为获得四川大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在文中作了明确的说明并表示谢意。

本学位论文成果是本人在四川大学读书期间在导师指导下取得的，论文成果归四川大学所有，特此声明。

研究生：



指导教师：

