

电子科技大学

2006 年硕士学位研究生复试笔试试题

参考答案及评分标准

考试科目：微机原理与应用（机电学院）

（考试时间：120 分钟）

一、 名词解释（每小题 4 分，共 20 分）

1. 解：接口也称端口是 CPU 与外设交互通信的中间接点，一般由若干组存储单元组成，用于暂存数据实现 CPU 与外设之间的通信，并有缓冲的功能用来平衡 CPU 与外设的不匹配。
2. 解：不需要进行周期性刷新的既可读又可写的存储器。
3. 解：指在计算机的运行过程中，CPU 接到更紧迫的服务请求而暂停执行现行程序，转去执行中断服务程序，以处理相应的随机事态，并在处理完毕后自动恢复原程序的执行。
4. 解：各项操作都由统一的时序信号同步定时；即事先安排好各操作的时间段与时刻。
5. 解：是一个通用的可初始化编程的同步/异步串行输入/输出接口，用于将 CPU 与串行方式工作的外设相连。它可以将并行输入的 8 位数据变成串行信号逐位输出，也可以将串行输入变成并行输出。

二、 是非判断题（每小题 2 分，共 10 分）

1. ✓
2. ✓
3. ×，因为 CPU 对主存的访问可以采用同步控制方式，也可以采用异步控制方式。
4. ×，因为并行接口是指接口与 I/O 设备之间采用并行传送，系统总线与接口之间本身就是并行接送。
5. ×，DMA 方式是指：直接依靠硬件(或由 DMA 控制器硬件控制)实现外围设备与主存之间的数据直传。

三、 简答题（每小题 8 分，共 40 分）

1. 解：简化选择内存单元的译码电路，通过行选择线和列选择线来确定一个内存单元，因而用存储器组成内存时，总是采用矩阵形式。比如，要组成 1K 字节的内容，如果不用矩阵来组织这些单元，而是将它们一字排开，那么就要 1024 条译码线才能实现对这些单元的寻址。如果用 32*32 的矩阵来实现排列，那么，就只要 32 条行选择线和 32 条列选择线就可以了。
2. 解：8255A 中各端口有三种基本工作方式：
 - (1) 方式 0——基本输入/输出方式；
 - (2) 方式 1——选通输入/输出方式；
 - (3) 方式 2——双向传送方式。

其中，端口 A 可处于方式 0、方式 1、方式 2 三种；端口 B 可处于方式 0、

方式 1 两种；端口 C 常分成高 4 位和低 4 位两部分，可分别用来传送数据或控制信息。

3. 解：在 8088/8086 系统中，CPU 被启动后，处理器的标志寄存器、指令指针寄存器 IP、段寄存器 DS、SS、ES 和指令队列都被清零，但是代码段寄存器 CS 被设置为 FFFFH。因为 IP=0000，而 CS=FFFFH，所以，8088/8086 将从地址 FFFF0H 开始执行指令。通常，在安排内存区域时，将高地址区作为只读存储区，而且在 FFFF0H 单元开始的几个单元中入一条无条件转移指令，转到一个特定的程序中，这个程序往往实现系统初始化、引导监控程序或者引导操作系统等功能，这样的程序叫做引导和装配程序。
4. 解：在总线周期的 T1、T2、T3、T4 状态，CPU 分别执行的动作是：
- (1) 在 T1 状态，CPU 往多路复用总线上发出地址信息，以指出要寻址的存储单元或外设端口的地址；
 - (2) 在 T2 状态，CPU 从总线上撤消地址，而使总线的低 16 位浮置成高阻状态，为传输数据作准备。总线的最高 4 位 (A19-A16) 用来输出本总线周期状态信息，这些状态信息用来表示中断允许状态、当前正在使用的段寄存器名等；
 - (3) 在 T3 状态，多路总线的高位继续提供状态信息，而多路总线的低 16 位 (8088 则为低 8 位) 上出现由 CPU 的数据或者 CPU 从存储器或者 CPU 从存储器或端口读入或端口读入的数据；
 - (4) 在 T4 状态，总线结束。在有些情况下，外设或存储器速度较慢，不能及时地配合 CPU 传送数据。这时，外设或存储器会通过“Ready”信号在 T3 状态启动前向 CPU 发一个“数据未准备好”信号，于是 CPU 会在 T3 之后插入 1 个或多个附加的时钟周期 T_w 。
5. 解：BHE 信号的作用是高 8 位允许引脚。若 BHE 为 0 则表示对一个字进行操作，即高 8 位有效，若 BHE 为 1 则表示对一个字节进行操作，即高 8 位无效。当起始地址为奇地址时，一次读写一个字节时，BHE 为 1，A0 状态为 1；当起始地址为偶地址时，一次读写一个字节时，BHE 为 1，A0 状态为 0；当起始地址为奇地址时，一次读写一个字时，BHE 为 0，A0 状态为 1；当起始地址为偶地址时，一次读写一个字时，BHE 为 0，A0 状态为 0。

四、设计题（每小题 10 分，共 30 分）

1. 程序段为：

```
MOV SI, 0
MOV BL, 0
MOV CX, 10
LOP:  CMP DAA[SI], 5
      JGE BIG
      INC BL
BIG:  INC SI
      LOOP LOP
      MOV CONT, BL
```

2. 解：程序段为：

```
MOV AX, B
SHL AX, 1
SUB AX, C
```

```
ADD AX, 20
MOV DX, 0
MOV BX, 5
DIV BX
MOV A, AX
```

3. 解:

- (1) 在中断情况下, CPU 的优先级最低。各设备优先级次序是:
A-B-C-D-E-F-G-H-I-CPU
- (2) 执行设备 B 的中断服务程序时 $IM_0IM_1IM_2=111$; 执行设备 D 的中断服务程序时 $IM_0IM_1IM_2=011$ 。
- (3) 每一级的 IM 标志不能对某优先级的个别设备进行单独屏蔽。可将接口中的 BI (中断允许) 标志清“0”, 它禁止设备发出中断请求。
- (4) 要使 C 的中断请求及时得到响应, 可将 C 从第二级取出, 单独放在第三级上, 使第三级的优先级最高, 即令 $IM_3=0$ 即可。