

3. LCD 显示控制电路设计。采用 S3C44BOX 内置的 LCD 控制器，驱动 256 级色彩的彩色 LCD 显示屏，具有 320×240 点阵的分辨率。LCD 控制器使用专用的 LCDCDMA，把要显示的数据信息输入显存，在不用 CPU 参与的情况下，自动传输显存的视频数据到 LCD 控制器。

4. 串行通讯接口设计。采用 S3C44BOX 的 UART 接口，通过 MAX3232 串行异步收发器，实现与 PC 机的 RS232 接口通讯。

本系统是 ARM+FPGA 的系统架构，基于共享存储器的结构设计。一方面系统同时具有了 ARM 处理器的低功耗和 FPGA 的灵活性的特点，另一方面，基于共享存储器的结构，使我们从高速 A/D 转换器过来的数据直接存储到系统的内存中，使数据采集的效率大幅度的提高。本设计在开发低价的，性能指标相对较高的数字存储示波器产品方面，做了一个有益的尝试，为进一步的研究打下了基础。

关键词：数字存储示波器；数模转换；双端口 RAM；彩色 LCD

Design of Program-Controlled Digital Storage Oscilloscope

The specialty of power electronics and power drives

Master Song Jianting Tutor Yang Jingchang

With the development of the electronic measuring technology, measuring technology is geared to automated, intelligent and network directions. Digital storage oscilloscope as the important measuring apparatus is widely used in various fields. Now the technology of digital storage oscilloscope is more advanced overseas, and occupies the great majority of market. So it is indispensable to develop digital storage oscilloscope ourselves.

In this subject, we adopt ARM+FPGA structure. We will discuss these correlative problems based in this structure. The system includes two sub-systems: data acquiring system and data processing system. The data acquiring system is the key of the design of digital storage oscilloscope. it completed the conversion from analog signal to digital signal , that is analog signal enter in the A / D through conditioning channel and convert into digital signal, then these figures are deposited in buffer RAM. The digital processing unit based in the ARM processor acts the most important character in the data processing system. The main job of the data processing system is reading acquired data from buffer RAM, processing and calculation. The acquired data will show on the LCD as a wave.

The main attributions of the paper include:

1. The design of the data acquiring system. The data acquiring system is the key of the oscilloscope, which converts analog signal to digital signal. At first the primary grade level attenuation signal amplifier makes the signal in the conformable range. Then the signal will be transmitted to the ADC unit. The signal which finishes Analog-to-Digital conversion will be store in the dual-port RAM.

2. The design of ARM controller system. The ARM microprocessor system is the key of the data processing system, which connects the data-processing system and LCD module. It plays as an important role in the overall system. There are several tasks the ARM microprocessor system has to do: Recover the acquired data into waveform and display it on the LCD; Response to the Interruption of the keyboard; Analysis the key words and then change the menu on the LCD; Send control signals to the data acquiring system and control the data acquiring speed; It is also responsible to the serial communications.

3. The design of LCD control circuit. Based in the S3C44B0X embedded LCD controller, we drive a 256 level color LCD module. The screen' size is 320×240 dots. The LCD controller has dedicated LCDCDMA, which supports to fetch the image data from video buffer located in system memory.

4. The design of serial communication interface. Based in the S3C44B0X embedded UART, we can communicate with PC through the MAX3232 asynchronous serial transceiver.

The system is based on the structural design of shared memory with ARM + FPGA systems architecture. There are two features in the system: ARM processor's low cost and the FPGA' flexibility. Based on the shared memory structure, the data from the high-speed ADC can be stored in the system's memory directly. The efficiency of data acquisition is significantly improved. To the design of low-cost, relatively high performance digital storage oscilloscope products, the paper has made a useful attempt. And the design makes some achievement for further research.

Key Word: Digital Storage oscilloscope ; ADC ; Dual-port RAM; Color LCD

声 明

本人声明所呈交的学位论文是本人在导师的指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得西华大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究工作所作的任何贡献均已在论文中作了明确的说明并表示谢意。

本学位论文成果是本人在西华大学读书期间在导师的指导下取得的，论文成果归西华大学所有，特此声明。

作者签名： 2008年5月27日
宋舰艇

导师签名： 2008年5月28日
杨群

第一章 绪 论

1.1 数字示波器发展现状及分类

示波器是一种应用广泛的测量仪器，它可以以波形的方式把各种电信号表达出来，使电信号明了直观，易于分析。利用示波器除了能对电信号进行定性的观察外，还可以用它来进行一些定量的测量，例如可以用它进行电压、电流、频率、周期、相位差、调幅度、脉冲宽度、上升及下降时间等的测量。

随着数字电子技术的应用和发展，半导体制造工艺以及各种大规模和专用的集成电路在示波器的设计中得到了广泛的应用，示波器数字化成为了当前的发展趋势。根据目前示波器的发展现状，大致可以分为以下几类^[1]：

1. 模拟示波器

被测信号进入通道并进行放大后，加至示波管的垂直偏转板；扫描电路产生的锯齿波电压加至示波管的水平偏转板，将被测信号稳定的显示在示波管的屏幕上。

2. 数字存储示波器

采用数字电路，输入信号经过 A/D 转换成数字信息，使用数字信号处理技术获得相关参数，并经过运算处理显示在屏幕上。信号在数字化以后就可以进行存储。

3. 逻辑分析仪

主要用于显示电路信号的状态，特别是时序关系^[2]。

本文主要讨论的是数字存储示波器，是当前示波器产品的主流。数字示波器相对于模拟示波器有一些优点，特别在于非周期的单次信号方面，这种单次瞬态信号在各种领域大量存在。综合起来，数字示波器比之传统的模拟示波器有以下优点^[1]：

1. 单次瞬态信号的处理

数字示波器与传统的模拟示波器相比在自动测试、实时捕获、波形存储预算等功能上具有突出的优点，尤其在处理单次瞬态信号上。

2. 多种触发方式

数字存储示波器有多种触发，按触发方式分有自动触发、正常触发、单次触发；按触发边沿分有上升沿触发和下降沿触发。这些都方便用户分析故障产生原因。

同时，传统示波器只能观测触发点以后的波形，而在工程技术、科学研究中往往需要观测触发点以前的波形以分析问题，数字存储示波器正具有这样的优点，它的预触发（负延迟）功能可以方便显示触发点以前不同时刻的波形。

3. 显示方式灵活

滚屏、包络、无限余晖、高速刷新等多种显示方式，便于各类不同性质和用途信号的观察。由于被测信号的多样性和复杂性，就要求示波器具有相应的显示方式。数字示波器引入了数字处理技术，并与计算机一起构成智能化联机系统，使其对于复杂单次瞬变信号的记录存储及分析研究非常有效。其存储显示方式可稳定地显示其存储下来的瞬态信号，并可任意扩展和移动。当在测量低频信号时数字存储示波器自动进入滚动模式显示，波形从左到右滚动前进，用户可以通过屏幕波形运动轨迹清楚地观测到波形变化情况。

4. 具有数据存储功能

数字示波器可以很方便的具有数据存储功能。数字存储示波器将模拟信号经过 ADC 转换成数字信号后，存到半导体存储器中，用户在需要时可随时调出显示，同时便于观测单次过程和缓慢变化的信号，方便对问题的分析解决。

5. 测量精度高，自动显示测量结果，消除视差影响

模拟示波器的扫描速度由锯齿波扫描信号决定，而数字存储示波器的扫描速度由取样时钟间隔和 LCD 上单位长度所具有的采样点数来决定。由于其采用晶振作为时钟，因此具有很高的测试精度。若采用更高分辨率的 ADC 则能使测量精度更加提高。

6. 体积小，易于操作

数字存储示波器由于应用了大规模集成电路和微处理器，再加上采用液晶作为显示输出，大大减小了体积，并且功能强大、性能稳定。对用户来说界面简洁，易于操作。

随着微电子集成技术、微计算机技术、数字技术的飞速发展，现代数字化

存储示波器的研究与开发也有了更快的发展，是近年发展最快的仪器。各大公司和厂家相继投入巨资研究、开发该类仪器，以图率先占领此技术领域。

目前，市场上的高端产品大多为国外几家大公司所垄断，如 Tektronix、Fluke、Agilent、LeCroy 等，特别在高端市场，几乎是清一色的国外产品。

Agilent 的 Infiniium 90000A 系列示波器是其最新的高端产品之一，它具有业界最低的本底噪声、最低的抖动测量本底、最低的触发抖动、最平坦的示波器和探头组合频率响应曲线等。卓越的信号完整性，可消除因为示波器或探头系统的噪声、抖动或频率响应曲线不佳而导致的测量精度方面的误差。Infiniium 示波器超深的内存选项，可让全部 4 个通道同时以 40 GSa/s 的速率撷取长达 25 ms 的时间，此为其它同级示波器的 6 倍。深度内存撷取功能采用 Infiniium 数据加速器技术，可提供业界最快的数据卸载，以便执行快速的离线分析。这款新的 Infiniium 平台提供无与伦比的量测效能及安捷伦已被公认的优异信号完整性。

Tektronix 公司日前推出全新 DP070000 数字荧光示波器。在全部四条通道上实现了 50 GS/s 的采样率，可以选配高达 200MB 的存储深度。可以使用 Multi-ViewZoom™ 功能，简便地管理这一深记录长度，详细比较和分析多个波形段。DSA70000 分析仪与 DP070000 都采用 DPX 技术，实现了非常高的波形捕获速率，每秒可以捕获超过 300,000 个波形。DSA70000 系列通过 FastAcq 采集模式捕获影响设计的间歇性故障事件。使用 PinPoint® 触发系统，DSA70000 系列还可以隔离一段复杂的信号，进行进一步分析。

Fluke 公司的 WaveExpert 系列的 DSO 带宽高达 100GHz，存储深度 512MB，成为目前为止，采样速率最高的数字存储示波器。

示波器市场有着相对明确的市场细分范围，最高端的市场集中在美国三强手中，中端市场则是欧美日各国厂商争夺的主要战场，而低端示波器则是国内厂商的主要生存空间。毕竟对于一向讲求利润丰厚的测试仪器市场来说，万元以下的示波器的利润实在少得可怜，兼之测试仪器行业的售后服务一向标榜的很杰出，因此万元以下的测试仪器确实对于国际大厂缺乏足够的吸引力，这也给了国内示波器厂商充足的生存空间。现在，这个空间也受到外商的侵袭，在无法进入高端领域的前提下，国内厂商必须提早应对新的挑战。尽管在国际上

数字存储示波器的技术产品已经逐渐成熟，但我国目前在数字存储示波器的生产领域内还处于起步阶段。北京普源精电科技有限公司目前自主发的 DS1000 系列数字存储示波器最高带宽 300MHz，采样率 2GSa/s，屏幕刷新率 2000 wfirms/s，这是目前投放市场国内最高水准的示波器，但和国外的竞争对手产品相比，还存在很大的差距。

1.2 本论文主要研究内容

- 高速模拟通道的衰减放大技术；
- 高速 A/D 转换采样技术；
- 基于共享 FPGA 片内 RAM 的高速数据传输技术；
- 基于 ARM 处理器的高速数据运算处理技术；
- 高分辨率彩色 LCD 显示技术。

1.3 论文章节安排

第一章绪论介绍数字示波器发展现状及分类，叙述了数字示波的相关优点，介绍了当前示波器市场的格局和国内示波器产品发展存在的差距，最后给出了课题研究的主要内容。

第二章讨论了系统设计方案的选择，给出了系统顶层结构设计方案和关键器件的选择方案。

第三章讨论数据采集系统的设计，包括模拟信号的调理单元、ADC 单元、双端口 RAM 高速数据传输接口、时基电路和地址发生器的设计方案。

第四章讨论数据处理系统硬件设计，包括电源电路、晶振电路、存储器电路等。

第五章讨论数据处理系统软件设计。

第六章介绍了本论文的成果和不足，并陈述了未来研究的内容。

第二章 系统总体方案设计

本课题是一个典型的实时信号处理系统。本章从实时信号处理系统的功能结构入手，介绍了数字存储示波器系统结构顶层设计，然后给出了各个功能模块的关键器件的选择方案。

2.1 系统设计方案的选择

数字存储示波器的设计通常有如下三种技术方案：

- FPGA+DSP 的结构方案。

FPGA+DSP 的结构方案，这是目前数字存储示波器采用的较为成熟的方案，且灵活性强，同时也对数字示波器具有良好的继承性。数字存储示波器是一种多参量测试兼有大量数据处理和分析功能的测试仪器，采用 DSP 正是因为其极强的数据处理能力；其次，数字存储示波器是一个较为复杂的数据采集和控制系统，许多功能需要较为复杂的数字电路来共同完成，而 FPGA 高度集成性、内部丰富的逻辑资源及外围 I/O 资源提高了系统的集成度，增强了系统的可靠性，同时其特有的灵活性也为系统提供了不断升级和完善的硬件保障。

- 基于 SOPC 的结构方案。

在 FPGA+DSP 的结构方案的设计中，我们采用的 DSP 芯片和 FPGA 芯片是不同公司的产品，要分别单独设计，这样就面临了新的问题，一方面就是 DSP 和 FPGA 之间的通信协议问题，DSP 必须通过 FPGA 中的总线仲裁单元实现与外设的通信，降低了的工作效率；另一方面，多的芯片在电源供电、功耗、体积、开发环境等各个方面增加了开支。而基于 SOPC 的结构方案选用 Altera 公司的器件，采用片上系统技术通过在 FPGA 中植入嵌入式系统处理器 Nios 作为核心控制电路，利用 FPGA 中的可编程逻辑资源和 IP 软核来构成该嵌入式系统处理器的接口功能模块，借助于 Avalon 总线，实现对外围模拟通道、高速 A/D 转换器、RAM、LCD 显示器、键盘等硬件的控制。

- FPGA+ARM 的结构方案。

近年来基于 ARM 内核体系结构的 32 位 RISC 微处理器，以简单的设计、高效的指令集的优势，微型化、低功耗、高性能、高可靠性的微处理器实现引起了业界的关注。目前，ARM 微处理器系列在各种信号处理系统中获得了广泛的应用。基于 ARM 技术的微处理器应用约占据了 32 位 RISC 微处理器 75 % 以上的市场份额，ARM 技术正在逐步渗入到我们生活的各个方面。FPGA+ARM 结构最大的特点是结构灵活，有较强的通用性，适于模块化设计，从而能够提高算法效率；同时其开发周期较短，系统易于维护和扩展，实时信号处理。在数字存储示波器系统中，低层的信号预处理算法处理的数据量大，对处理速度的要求高，但运算结构相对比较简单，适于用进行 FPGA 硬件实现，这样能同时兼顾速度及灵活性。高层处理算法的特点是所处理的数据量较低层算法少，但算法的控制结构复杂，适于用运算速度、高寻址方式灵活、通信机制强大的 ARM 微处理器芯片来实现。

基于 SOPC 的结构方案具有最高的集成度，但嵌入式系统处理器 Nios 的设计成本较高。相对于 DSP 处理器，ARM 芯片具有更高的性价比和更强的控制性能，综合考虑，本课题选择了第三种：FPGA+ARM 的结构方案。

2.2 系统顶层结构设计

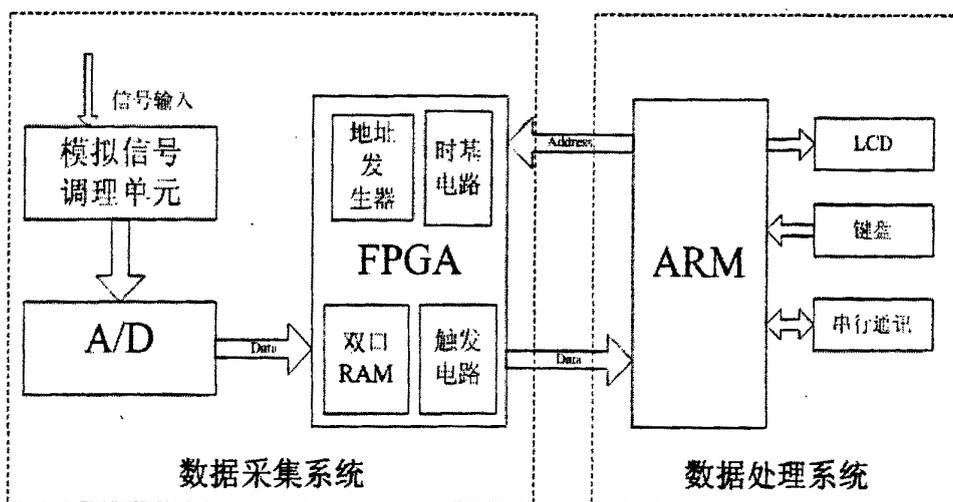


Figure 2-1 the structure diagram of DSO

图2-1 数字存储示波器系统框图

本数字存储示波器系统总体结构上分为数据采集系统和数据处理系统两部分。数据采集系统是整个系统的核心部分，它完成由模拟信号到数字信号的转换，即模拟信号经调理通道后进入 A/D 转换成数字量，再将这些数字量存入缓存器 RAM。数据处理系统是以 ARM 处理器为中心的数字运算处理单元，主要完成读入缓存器 RAM 中的采集数据，并进行计算处理，最后送去显示。系统的总体结构如图 2-1 所示。

FPGA（现场可编程门阵列）芯片是一种特殊的 ASIC 芯片，属于可编程逻辑器件，它是在 PAL、GAL 等逻辑器件的基础上发展起来的。同以往的 PAL、GAL 等相比较，FPGA 规模比较大，适合于时序、组合等逻辑电路应用场合，它可以替代几十甚至上百块通用 IC 芯片。这样的 FPGA 芯片实际上就是一个子系统部件。这种芯片具有可编程性和实现方案容易改动的特点。由于芯片内部硬件连接关系的描述可以存放在磁盘、ROM、PROM 或 EPROM 中，因此在可编程门阵列芯片及外围电路保持不动的情况下，换一片存储器芯片，就能实现一种新功能。可编程逻辑器件是一种用户根据需要而自行构造逻辑功能的数字集成电路。它的基本设计方法是借助于 EDA 软件，用原理图、状态机、布尔表达式、硬件描述语言等方法，生成相应的目标文件，最后再由编程器和下载电缆，用目标器件来实现。这种利用器件逻辑结构、由用户配置来实现任何组合逻辑和时序逻辑功能的器件，最初被视为分立逻辑电路中和小规模集成电路的替代物，随着设计技术和制造工艺的完善，器件性能、集成度、工作频率等指标不断提高，FPGA 的应用范围越来越广，目前它已成为数字 ASIC 设计的主流^[3]。

本系统设计中采用 ALTERA 公司的 Cyclone 系列 FPGA 产品。Cyclone 系列 FPGA 基于成本优化的全铜 1.5V SRAM 工艺，容量从 2910 至 20060 个逻辑单元，具有多达 294912bits 嵌入 RAM。Cyclone FPGA 支持各种单端 I/O 标准如 LVTTTL、LVCMOS、PCI 和 SSTL-2/3，通过 LVDS 和 RSDS 标准提供多达 129 个通道的差分 I/O 支持。每个 LVDS 通道高达 640Mbps。Cyclone 器件具有双数据速率(DDR) SDRAM 和 FCRAM 接口的专用电路。Cyclone FPGA 中有两个锁相环(PLLs)提供六个输出和层次时钟结构，以及复杂设计的时钟管理电路^[4]。

基于这些高效架构特性的组合，设计中选择了该系列中 EP1C6T144-8 器件。

器件内部有 92160bits 的 RAM, 我们利用它做成了双口 RAM, 存储 A/D 的采样的数据, 供 ARM 处理器运算处理。这样, 不仅节约了成本, 还提高了速度, 而且地址发生、触发、时基等电路都做在芯片内部, 大大增强了系统的抗干扰能力。时基电路的设计利用器件内部的锁相环 (PLL) 和全局时钟网络, 进行系统的时钟管理和偏移控制。应用 PLL 同步内部器件时钟, 减小的时钟延迟和时钟偏移, 减小了时钟到输出 (TCO) 和建立 (TSU) 时间。EP1C6T144-8 的 I/O 支持 LVDS 电压接口标准, 实现了数据高速传输。

数据处理系统的核心我们选择了 Samsung 公司推出的 16/32 位 RISC 处理器 S3C44B0X。它为手持设备和一般类型应用提供了高性价比和高性能的微控制器解决方案。为了降低成本, S3C44B0X 提供了丰富的内置部件, 包括: 8KB cache, 内部 SRAM, LCD 控制器, 带自动握手的 2 通道 UART, 4 通道 DMA, 系统管理器 (片选逻辑, FP/EDO/SDRAM 控制器), 代用 PWM 功能的 5 通道定时器, I/O 端口, RTC, 8 通道 10 位 ADC, IIC-BUS 接口, IIS-BUS 接口, 同步 SIO 接口和 PLL 倍频器。S3C44B0X 采用了 ARM7TDMI 内核, 0.25um 工艺的 CMOS 标准宏单元和存储编译器。它的低功耗精简和出色的全静态设计特别适用于对成本和功耗敏感的应用。同样 S3C44B0X 还采用了一种新的总线结构, 即 SAMBAII (三星 ARM CPU 嵌入式微处理器总线结构)。S3C44B0X 的杰出特性是它的 CPU 核, 是由 ARM 公司设计的 16/32 位 ARM7TDMI RISC 处理器 (66MHZ)。ARM7TDMI 体系结构的特点是它集成了 Thumb 代码压缩器, 片上的 ICE 断点调试支持, 和一个 32 位的硬件乘法器^[6]。

S3C44B0X 通过提供全面的、通用的片上外设, 大大减少了系统电路中除处理器以外的元器件配置, 从而最小化系统的成本。我们利用外部存储器控制器 SDRAM 的支持, 扩展了一片 SDRAM 芯片。LCD 控制器支持 256 色 STN, 我们扩展了一块 320×240 的 256 色 LCD 模块, 并且通过专用的 DMA, 高速传输经处理后的波形数据。通过器件的 UART (异步串行通讯) 控制器, 扩展了 RS232 的串行通讯接口。

第三章 数据采集系统设计

数据采集系统是示波器的核心部分，它完成由模拟信号到数字信号的转换。包括前级衰减放大电路完成信号的调理，将输入信号变成可以直接被 ADC 接收的信号，再由 ADC 转换成数字量，最后将数字量存入 RAM 中。系统的结构如图 3-1 所示。

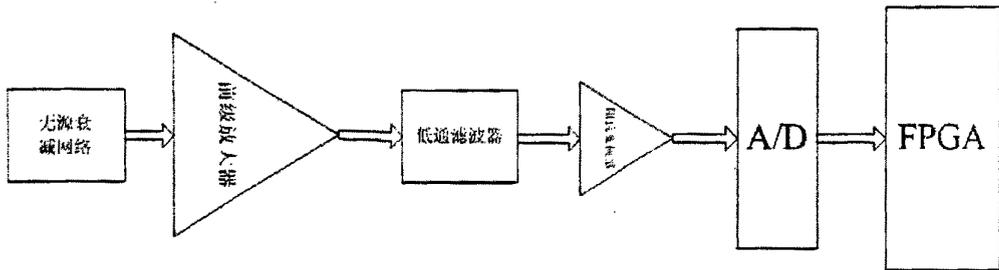


Figure 3-1 the structure diagram of Data Acquire System

图3-1 数据采集系统框图

图3-1中，无源衰减网络、前级放大器、低通滤波器、及阻抗变换器都属于模拟信号的调理单元。FPGA芯片内部的地址发生器、触发、时基等电路，控制信号的采样、触发和数字信号数据的存储。

3.1 基础原理和技术

数字存储示波器需要将外部真实世界的模拟信号以波形的形式显示在LCD液晶屏幕上，这个信息的流入流出过程需要将模拟信号进行采样、量化、存储，再经过波形抽值、插值以及各种运算处理，最后在屏幕上显现出来。这部分讨论示波器工作中涉及的基本原理和技术。

3.1.1 采样原理^[6]

外界各种物理量都是以模拟信号的形式表现，不易进行存储和处理，而数字信号就完全克服了这些不足，同时数字信号可以无失真的恢复原始信号，这也是模拟信号所不具备的优点。在数字存储示波器中无论是记忆体中存储的信

号还是 CPU 中处理的信号都是数字形态的，这就需要将外界的模拟信号进行实时采样，变换成易存储和处理的数字信号。

在通信原理中我们曾经学过：一个频带限制在 $(0, f_H)$ 赫兹内的时间连续信号 $m(t)$ ，如果以 $T \leq 1/2 f_H$ 秒的间隔对它进行等间隔抽样，则 $m(t)$ 将被所得到的抽样值完全确定。换句话说就是说：以两倍于被抽样信号以上的频率对其进行抽样，就可以完全无失真地恢复出被抽样信号。采样定理全过程如图 3-2 所示。

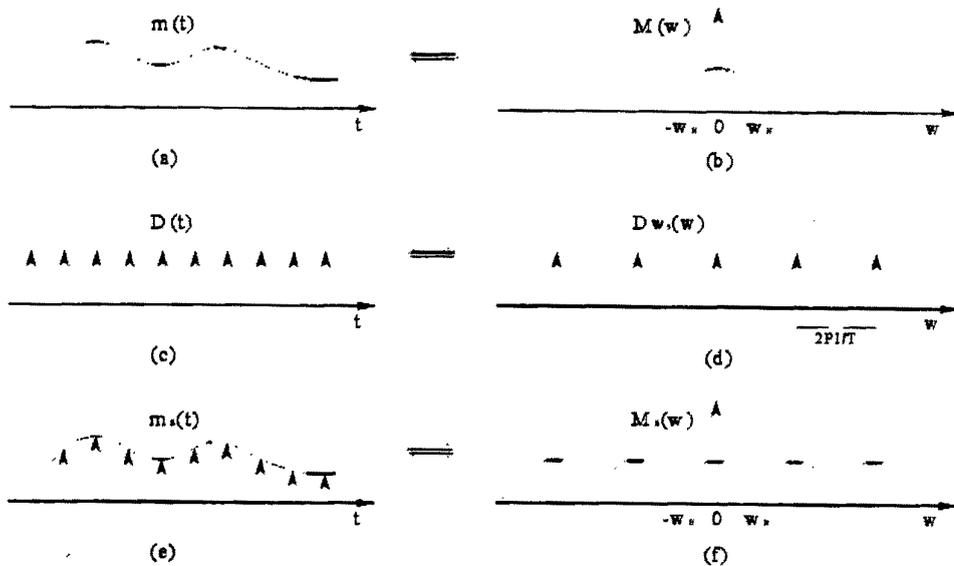


Figure 3-2 the process of Sample theory

图3-2 采样定理过程

至此，我们完全相信任何情况下此定理都会成立，但是在对示波器进行设计与研究时会出现与香农采样定理相违背的情况，如图 3-3 所示。从图中可以看出，当使用两倍于信号频率的采样时钟时，信号频率确实可以恢复，使用适当的波形重建算法我们可以得到与原始波形十分相像的波形。但是，当我们采用同样的采样时钟而将采样点选在和原来略为不同的时刻，不在信号的峰值点采样，这样一来信号的幅度信息就会严重失真，甚至可能完全丢失。事实上，如果采样点准确地取在信号的过零点，那么由于所有的采样值均为零，我们将完全观测不到任何信号。出现这样的情况是由于香农采样定理主要是针对通信应用领域，而并非针对于示波器的。

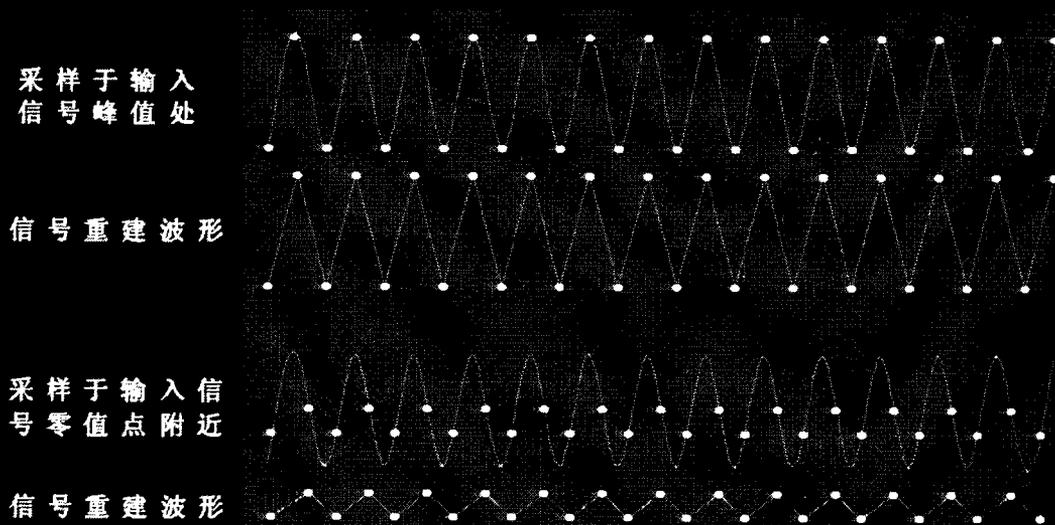


Figure 3-3 sampling at twice signal frequency

图3-3 两倍频率采样

示波器是用来研究信号的,为了很好的研究出信号不仅要求正确的表示信号的频率,而且还要求准确地表示信号波形的幅度。如果每个周期用三个采样点进行采样,则再现的波形也会发生很大的失真,如图3-4所示。

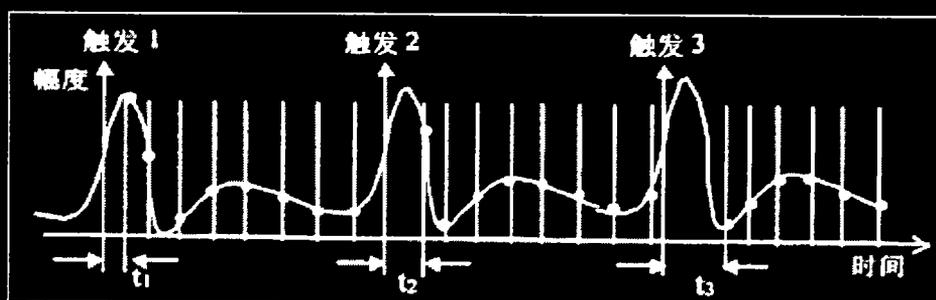


Figure 3-4 sampling at ternary signal frequency

图3-4 三倍频率采样

根据经验通常认为每周期最少要有十个采样点才能给出足够的信号细节。但在有些情况下,对信号的细节要求低一些,这时每周期取五个采样点就可以满足给出的有关信号特征。实际使用中便携式数字存储示波器所采用的实时采样频率为被测信号最高带宽的4~10倍。本论文所讨论的数字存储示波器最高A/D采样率为250MHz,而如果输入信号模拟带宽很低时,这样无论每周期五个还是十个采样点都能够满足要求。但我们可以采用内插的方法改善至每周期只

要 5 个采样点就能很好的重建波形, 这样对于最大采样率为 250MHz 的示波器而言, 能准确采集到的最大信号频率便提高到了 50MHz。

以上所讨论的都属于实时采样的范畴, 所谓实时采样就是每一个采样点都是按照一定的时间次序来采集的, 这样波形数据采集的次序和采样点在屏幕上出现的次序是相同的。这是模拟示波器所必须遵守的准则, 但是对于数字存储示波表而言就不同了, 因为可以对所采集的数据进行存储, 利用这一点可以实现等效时间采样, 如图 3-4 所示。

在很多应用场合, 实时采样方式所提供的时间分辨率仍然不能满足工作的要求, 被测试的信号通常是重复性的, 即相同的信号图形按有规则的时间间隔重复地出现。对于这些信号来说, 示波器可以从若干连续的信号周期中采集到多组采样点来构成波形, 每一组新的采样点都是由一个新的触发事件来启动采集的, 每一次触发后都只采集信号波形的一部分, 这就是等效时间采样。这种方法可以用比较低的采样速率采样到较高频率的信号。

3.1.2 波形插值算法^[6]

所谓插值就是在两个采样点之间插入一个或多个数值的过程, 目的就是使采样值所表现出来的波形或图像更加平滑和优美。在现实生活中我们经常遇到的有波形插值和图像插值, 比如在声音的数字处理过程中就可以采用波形插值来提高声音的音质, 在数字图像处理过程中可以采用图像插值来提高图像的平滑度、清晰度和色彩饱和度。

在数字示波器中, 实现外界信号数字化的关键就是信号采样, 但是由于 ADC 模数转换器件的采样速率有限, 或者说不可能每个信号周期都采样几十个数据点。那么当每个周期只有几个采样点时, 波形就显得比较粗糙, 为了使波形显示的平滑和完整, 就必须通过有效的内插滤波进行插值处理。插值算法是函数逼近的一种重要方法, 插值是确定某个函数在两个采样值之间的数值时采用的运算过程, 内插滤波可以看作是信号采样的逆过程。波形插值通常是利用曲线拟合的方法, 通过离散的输入采样点建立一个连续的函数, 用这个重建的连续函数便可以求出任意位置处的函数值。

如今有很多已经成熟的内插算法, 比如线性插值、取样函数内插、拉格朗

日插值、有理插值、牛顿插值、埃尔米特插值等。在本课题设计中，我们采用了取样函数内插算法，其特点是简单、易实现，速度快。

在采样定理中，对带限信号进行时域采样则会使模拟信号离散化，同时其频谱会在频域无限扩展而成为无限带宽信号，如图 2-2 所示。而在插值过程中，对抽样信号进行低通滤波使其仅保留低频信号，在时域进行波形内插，从而恢复出原始的模拟信号。其内插公式 (3-1) 如下：

$$x(t) = \sum_{n=-\infty}^{\infty} x(nTs) \frac{\sin[\pi(t-nTs)/Ts]}{(\pi(t-nTs)/Ts)} \quad (3-1)$$

式中 $T_s=1/F_s$

从公式可以看出，在 $(-\infty, +\infty)$ 范围内对各个采样值进行内插计算，就可以恢复出原始信号 $x(t)$ 。但是 $(-\infty, +\infty)$ 这样的计算范围太大了对于实际应用来说是不可能实现的，因此，我们只能在实践中采取近似的计算方法。通常是采用带加权窗函数的取样函数来实现，这样就既能有效的对插值进行计算，又能够大大减少数据的计算量。加窗后的内插重建公式 (3-2) 如下：

$$x(t) = \sum_{n=-N}^N x(nTs) \frac{\sin[\pi(t-nTs)/Ts]}{(\pi(t-nTs)/Ts)} w(n) \quad (3-2)$$

式中 $T_s=1/F_s$ ， $w(n)$ 是加权函数

由于 sinc 函数有快速双边递减特性，加上我们进行的信号处理要求实时性强、速度快，所以在本系统中取 $N=4$ ，只考虑内插点左右两边各 4 位序列值，即采用八阶内插算法，这样就已经能达到较好的内插性能和精确度。

3.1.3 触发原理^{[1] [2]}

模拟示波器中，适当触发的波形有预知的、重复的起点，能够在屏幕上显示稳定的图形。波形上的触发点通常采用电压电平或者正、负斜坡，触发电平决定在触发点发生触发的电压电平，触发斜坡确定波形上升或下降部位是否产生触发。由于只有当触发信号出现后才产生扫描锯齿波，处理被测信号，因此只能观测触发点以后的波形。在数字示波器中，也依靠触发信号在屏幕上显示稳定波形，但是与模拟示波器不同的是即使无触发信号，数据采集是一直在工

作的，这样就给观测触发点以前的波形提供了可能。

由此可见，触发就是指开始处理波形的条件，因为观测人员需要的显示波形的条件是多种多样的，所以触发也就有很多种。大致来讲，根据触发信号的来源不同，可以分为内触发和外触发；根据触发机制不同，可以分为同步触发、预触发和后触发；根据触发边缘不同，可以分为上升沿触发和下降沿触发；根据触发、事件的不同，又可以分为状态触发、毛刺触发、时间限定触发等。

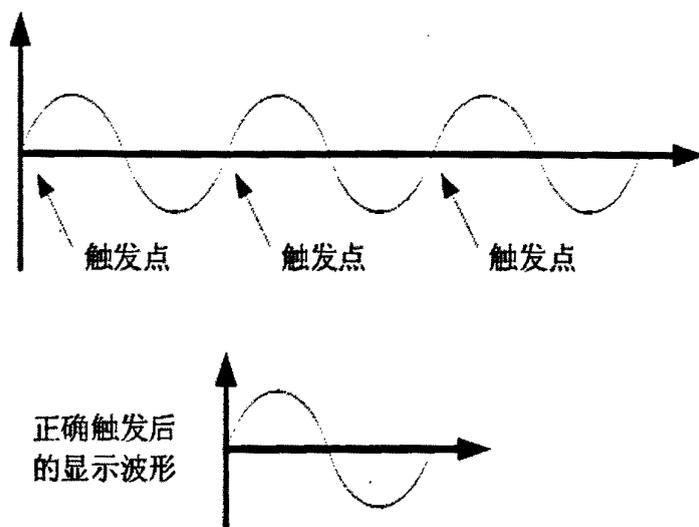


Figure 3-5 schematic diagram of trigger

图3-5触发工作原理图

触发信号处理模块主要功能是为高速 ADC 数据存储模块提供触发信号。由于示波器的波形显示的特点是在连续的波形中分段截取并显示，如图 3-5 所示。触发后的一段时间内，触发电路不能继续工作，以免出现混乱，所以需要触发闭锁信号。触发闭锁信号使得结束一次扫描后的一段时间内，触发电路不能工作。

3.2 模拟信号的调理单元

数字存储示波器要显示信号波形首先要对模拟信号进行采样。所谓采样就是对模拟信号进行量化的过程。而量化过程实际上存在着许多限制。首先，它要受到量化范围的限制。由于 A/D 总有一定的输入量程，超出了该量程，转换

结果就会出现很大的误差。例如，信号如果超出了上限，那么 A/D 只能给出最大码值；反之，如果超出了下限，只能给出最小码值。这样，采样结果就会相对于模拟信号产生很大的畸变，不能有效的反映真实的信号信息。模拟信号的调理单元就是对模拟信号的幅值做相应的衰减和放大，使输入信号幅值大小恰好在 A/D 输入量程范围内。同时，在信号的传递过程中，受高速模拟通道中元件的寄生参数、电源噪声和 PCB 板上的高频串扰等的影响，信号产生了失真，我们设计了低通滤波器尽可能地滤除这些干扰。对于传感器输出为电压模拟量的数据采集场合中，理想的情况是采集系统对测试电路近似为开路，因此采集系统的输入阻抗通常做到很大，即模拟通道信号的对地阻抗很大，我们设计的阻抗变换器就是增大通道的输入阻抗，减少对被测电路的影响。

3.2.1 无源衰减网络

无源衰减网络的设计中，通过不同分压电阻网络的实现多输入信号的 1 倍、10 倍、100 倍或是 1000 倍的衰减。信号的耦合方式有直流和交流两种，直流方式信号直接接入，交流方式通过一个电容 C2 滤除信号的直流成分。不同网络的选择，通过不同继电器组的开通关断组合来实现，如图 3-6 所示。

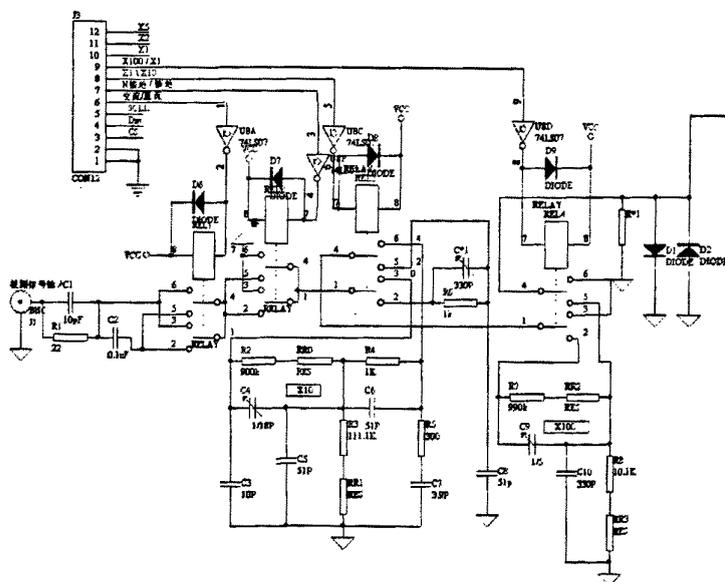


Figure 3-6 non-active attenuation network

图3-2无源衰减网络图

高频模拟信号的衰减电路分析常用的电阻分压的衰减电路在高频情况下将会失效,因为在高频信号通过时,电阻器件的寄生电感和寄生电容导致信号发生相移、失真,使衰减倍率不准确。为与电阻上的寄生参数相抵消,使信号不畸变,保证衰减电路的增益平坦度,通常采用电阻电容分压电路。以图 3-6 中 10 倍衰减电路为例进行分析,其等效的网络如图 3-7 所示。

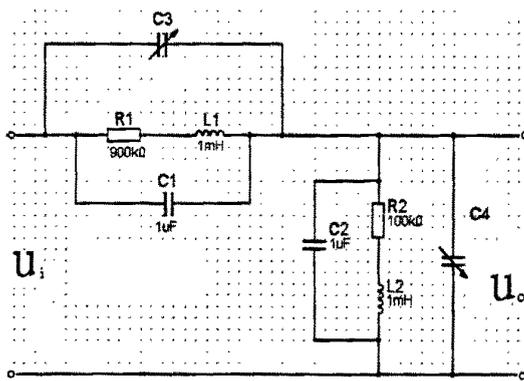


Figure 3-7 non-active attenuation network of 0.1 gain

图3-7 10倍衰减电路图

图中, C_1 、 L_1 和 C_2 、 L_2 分别是电阻 R_1 和 R_2 的寄生电容和寄生电感。 C_3 、 C_4 是我们外接的补偿电容。电阻 R_1 的阻抗 Z_1 如下式 (i) 所示。

$$z_1 = \frac{(R_1 + j\omega L_1) \times \frac{1}{j\omega C_1}}{R_1 + j\omega L_1 + \frac{1}{j\omega C_1}} = \frac{R_1 + j\omega L_1}{1 + j\omega R_1 C_1 - \omega^2 L_1 C_1} \quad (i)$$

同理计算, 电阻 R_2 的阻抗 Z_2 如下式 (ii) 所示。

$$z_2 = \frac{(R_2 + j\omega L_2) \times \frac{1}{j\omega C_2}}{R_2 + j\omega L_2 + \frac{1}{j\omega C_2}} = \frac{R_2 + j\omega L_2}{1 + j\omega R_2 C_2 - \omega^2 L_2 C_2} \quad (ii)$$

输入电压 u_i 和输出电压 u_o 的衰减比, 如下式 (iii) 所示。

$$\begin{aligned} \frac{u_o}{u_i} &= \frac{Z_2}{Z_1 + Z_2} \\ &= \frac{\frac{R_2 + j\omega L_2}{1 + j\omega R_2 C_2 - \omega^2 L_2 C_2}}{\frac{R_1 + j\omega L_1}{1 + j\omega R_1 C_1 - \omega^2 L_1 C_1} + \frac{R_2 + j\omega L_2}{1 + j\omega R_2 C_2 - \omega^2 L_2 C_2}} \end{aligned} \quad (\text{iii})$$

(1) 当输入电压 u_i 的频率较低时, $C_{3,4}$ 不起作用, 各电容容抗很大, 均相当于开路, 寄生电感很小而相当于短路, 因此衰减比取决于电阻比:

$$\frac{u_o}{u_i} = \frac{R_2}{R_1 + R_2} = \frac{1}{10}$$

(2) 当输入电压 u_i 的频率增加时, 寄生参数的影响增加, 电阻逐渐呈现出电感或电容特性, 在电路中体现为 $C_{3,4} \gg C_{1,2}$, $|R_{1,2} + j\omega L_{1,2}| \gg 1/j\omega C_{1,2}$, 此时 Z_1 、 Z_2 主要取决于外接电容和寄生电感。忽略寄生电感的作用, 调整外接电容的大小, 使 $R_1 C_1 = R_2 C_2$, 衰减比还可以很接近 $R_2/(R_1 + R_2)$ [7]。

实验证明, 通过外接电容 $C_{3,4}$ 容值的调节, 能够大大增强高频信号的通过性, 增益衰减的准确性在较大的频率范围内保持稳定。

3.2.1 前级放大器

前级放大器的设计, 我们选择了 ADI 公司的 AD8129 芯片, 它是一款具有高带宽、高无杂散动态范围、低噪声和低失真度的差分放大器, 对高频信号, 具有很高的共模抑制比。AD8129 的主要特征参数如下 [8]:

- ✓ 输入电压噪声为 $4.5\text{nV}/\sqrt{\text{Hz}}$;
- ✓ 200MHz 的 -3dB 带宽, 增益 $G=+10$;
- ✓ 压摆率为 $1060\text{V}/\mu\text{S}$;
- ✓ 共模抑制比 (CMRR): 94 dB min, dc to 100 kHz
80 dB min @ 2 MHz
70 dB @ 10 MHz ;

- ✓ 输入阻抗为 $1M\Omega$
- ✓ 失真度是 $1V_{p-p}$ @ 5 MHz

电路的连接如下图 3-8 所示, 通过外接电阻 R_1 、 R_2 、 R_3 、 R_4 , 实现了 1 倍、2 倍和 5 倍的增益。

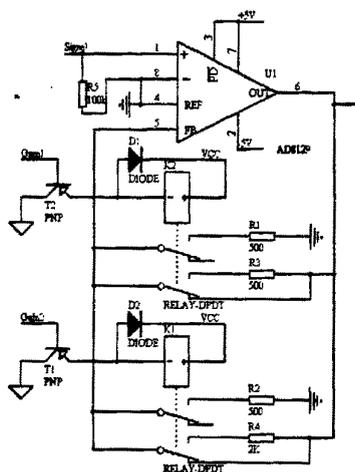


Figure 3-8 differential amplifier of AD8129

图3-8 AD8129组成的差分放大器

3.2.2 低通滤波器和阻抗变换器

我们选择了 MAXIM 公司的 MAX4118 芯片, 构成低通滤波器和阻抗变换器。MAX4118 是内部有两个电流反馈型运算放大器, 具有 400MHz 的带宽, SO-8 封装, 具有极低的功耗。我们利用一个运算放大器, 组成了二阶有源低通滤波器, 另外一个运算放大器构成一个电压跟随器, 实现阻抗变换。具体的电路连接, 如图 3-9 所示, 图中 U2A 为滤波器部分, U2B 是电压跟随器部分。

3.2.2.1 低通滤波器

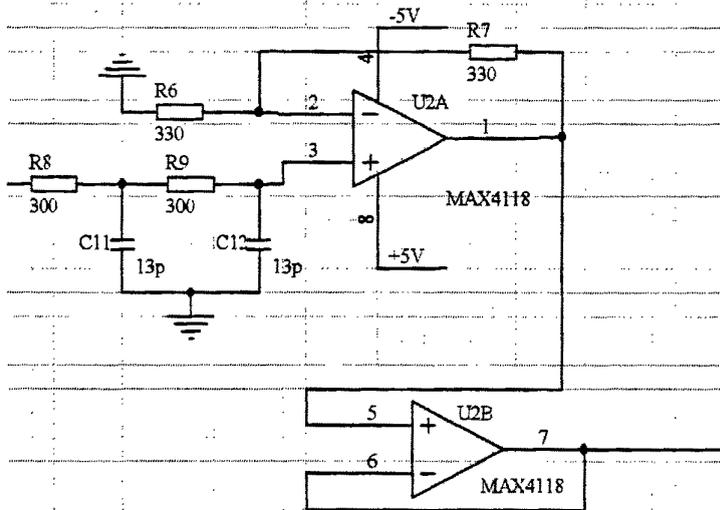


Figure 3-9 low-pass filter and voltage follower

图3-9低通滤波器和阻抗变换器

图3-9 电路中，当 $C_{11} = C_{12} = C$ 时， $R_9 = R$ 时，低通滤波器的传递函数为^[9]：

$$A_v(s) = \left(1 + \frac{R_7}{R_6}\right) \frac{1}{1 + 3sRC + (sRC)^2}$$

$$A_v = \frac{1 + \frac{R_7}{R_6}}{1 - \left(\frac{f}{f_o}\right)^2 + js \frac{f}{f_o}}$$

令 $j\omega$ 取代 s ，且令中心频率 $f_o = 1/(2\pi RC)$ ，得出电压放大倍数的表达式为：

令上式分母的模近似等于 $\sqrt{2}$ ，可解得通带截止频率 $f_p \approx 0.37 f_o$ 。当 $C = 20 pF$ 时， $R = 300 \Omega$ 时，利用MultiSIM 9仿真的结果如图3-10所示。在 42.671MHz 时，衰减了 2.455dB，随后的以 $-40dB/10$ 倍频的斜率衰减。在 80MHz 处衰减为 10dB，有效滤除了高频干扰，满足了本仪器的设计要求。

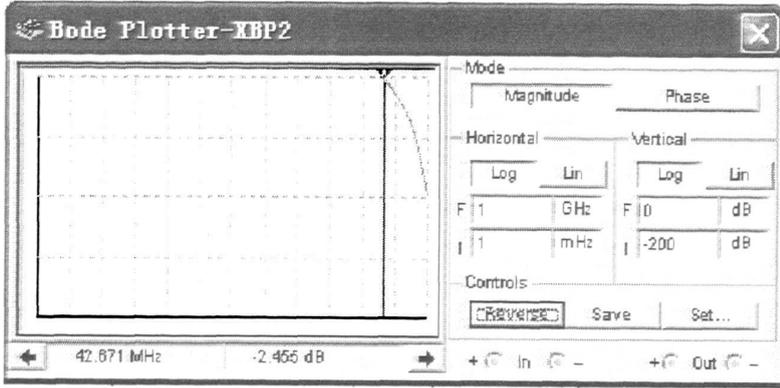


Figure 3-10 LPF emulation figure

图3-10低通滤波器仿真图

3.2.2.2 阻抗变换器

利用示波器进行测试的场合中,理想的情况是测试仪器对被测电路可以近似为开路,因此要求示波器的输入阻抗通常做到很大,即模拟通道信号的对地阻抗很大,比如 $10\text{M}\Omega$ 。在信号采集通道中,核心是 A/D 转换器,而 A/D 转换器的信号输入端会有一定的直流偏移电流,通常是 μA 量级或 nA 量级,这样的偏移电流作用在 $1\text{M}\Omega$ 的对地阻抗上,将产生不可忽略的直流偏移电压。为解决上述问题,在对地电阻与 A/D 转换器之间加入阻抗变换环节,我们利用 MAX4118 另外一个运放单元,构成了电压跟随器,实现阻抗变换。电压跟随器具有很高的输入阻抗,输入阻抗很小,连接电路图如图 3-9 所示。

3.3 ADC 单元

ADC 是示波器数据采集系统中最关键的部件,它的性能往往直接影响整个系统的技术指标。由于系统采样速率主要取决于 ADC 的转换时间和分相数,而 ADC 的垂直分辨率又决定了系统的分辨率。因此 ADC 的正确选择决定着整个系统的技术性能。ADC 单元设计中,我们选择了 ADI 公司最新推出的 8 bit 模数转换器 (ADC) AD9480。

3.3.1 AD9480 介绍^[10]

AD9480 具有 250 MSPS 转换速率的数据转换速率, 8 bit 数据转换精度, 支持

低电压差分信号(LVDS)，方便了与FPGA芯片的连接。其功能结构图如图3-11所示。它的基本特征参数描述如下：

- ✓ 微分非线性误差(DNL)：±0.25 LSB；
- ✓ 积分非线性误差(INL)：±0.26 LSB；
- ✓ 3.3V 单端电源供电 (3.0V~3.6 V)
- ✓ 超低功耗：590mW @ 250 MSPS ；
- ✓ 1V 的点对点输入范围；
- ✓ 内部 1.0V 的参考电压；
- ✓ 支持单端或差分信号输入；
- ✓ 支持 ANSI644 标准的 LVDS 数据输出；
- ✓ 具有 Clock duty-cycle stabilizer (时钟占空比稳定器)

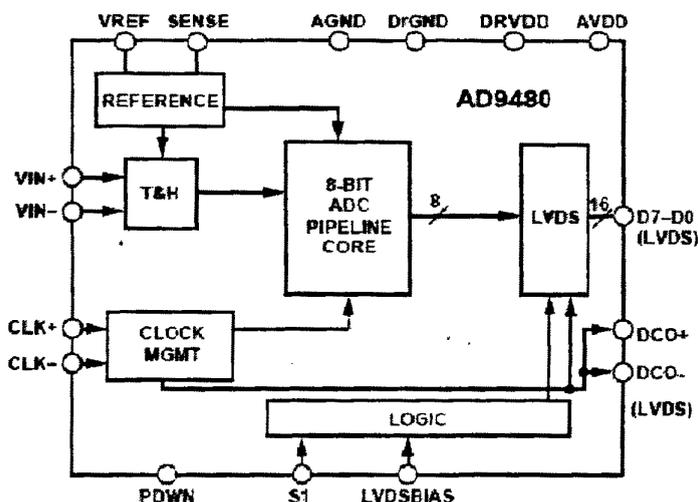


Figure 3-11 functional block diagram of AD9480

图3-11 AD9480功能结构图

3.3.2 AD9480 转换器接口电路

作为一款高速的ADC转换器，AD9480的时钟输入、数据输出和数据输出时钟接口都采用了低压差分信号LVDS (Low Voltage Differential signaling)标准。

低压差分信号相对于单端的传送具有较高的噪声抑制功能，其较低的电压摆幅允许差分对线具有较高的数据传输速率，消耗较小的功率以及产生更低的电磁辐射。

3.3.2.1 LVDS 技术介绍^[11]

LVDS (Low Voltage Differential signaling)是一种小振幅差分信号技术，使用非常低的幅度信号（约 350mV）通过一对差分 PCB 走线或平衡电缆传输数据。它允许单个信道传输速率达到每秒数百兆比特，其特有的低振幅及恒流源模式驱动只产生极低的噪声，消耗非常小的功率(低至几 mw)。甚至不论频率高低，功耗都几乎不变。此外，由于 LVDS 以差分方式传送数据，所以不易受共模噪声影响。

LVDS 的基本工作原理见图 3-12。其源端驱动器由一个恒流源(通常约为 3.5mA，最大不超过 4mA)驱动一对差分信号线组成。接收端的接收器本身为高直流输入阻抗，所以几乎全部的驱动电流都流经 100Ω的终端匹配电阻，并在接收器输入端产生约 350mv 的电压。当源端驱动状态反变化时，流经匹配电阻的电流方向改变，于是在接收端产生一个有效的“0”或“1”逻辑状态。

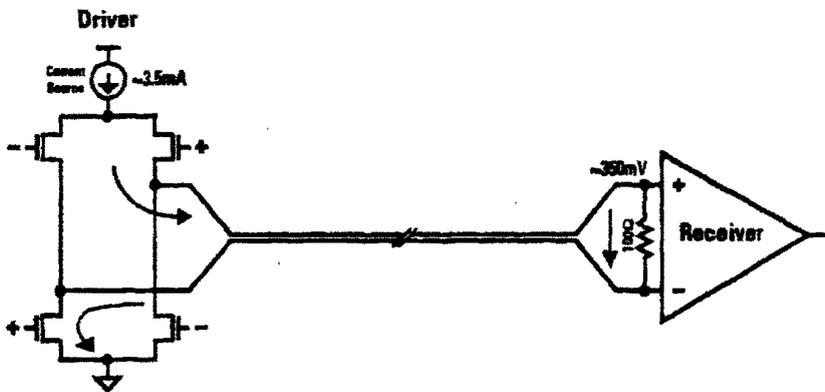


Figure 3-12 LVDS schematic diagram

图3-12 LVDS的基本工作原理

在速度、噪声/EMI、功耗、成本等方面，LVDS 技术拥有很多优点，能够解决目前物理层接口的瓶颈。其技术的特点如下：

①**高速传输能力** 在 ANSI/TIA/EIA-644-A 定义中的 LVDS 标准,理论极限速率为 1.923Gbps,, 恒流源模式、低摆幅输出的工作模式决定着 LVDS 具有高速驱动能力。

②**低功耗特性** LVDS 器件是用 CMOS 工艺实现的,而 CMOS 能够提供较低的静态功耗;当恒流源的驱动电流为 3.5mA, 负载(100 Ω 终端匹配)的功耗仅为 1.225mW。LVDS 的功耗是恒定的,不像 CMOS 收发器的动态功耗那样相对频率而上升。恒流源模式的驱动设计降低了系统功耗,并极大地降低了频率成分对功耗的影响。虽然当速率较低时,CMOS 的功耗比 LVDS 小,但是随着频率的提高,CMOS 的功耗将逐渐增加,最终需要消耗比 LVDS 更多的功率。通常,当传输率等于 200Mbps 时, LVDS 和 CMOS 的功耗大致相同。

③**供电电压低** 随着集成电路的发展和对更高数据速率的要求,低压供电成为急需。降低供电电压不仅减少了高密度集成电路的功率消耗,而且减少了芯片内部的散热压力,有助于提高集成度。LVDS 的驱动器和接收器不依赖于特定的供电电压特性,这决定了它在这方面占据上风。

④**较强的抗噪声能力** 差分信号固有的优点就是噪声以共模的方式在一对差分线上耦合出现,并在接收器中相减,从而可消除噪声,所以 LVDS 具有较强的抗共模噪声能力。

⑤**有效地抑制电磁干扰** 由于差分信号的极性相反,它们对外辐射的电磁场可以相互抵消,藕合得越紧密,泄放到外界的电磁能量就越少,即降低了 EMI。

⑥**时序定位精确** 由于差分信号的开关变化是位于两个信号的交点,而不像普通单端信号依靠高低两个阈值电压判断,因而受工艺、温度的影响小,能降低时序上的误差,有利于高速数字信号的有效传输。

⑦**适应地平面电压变化范围大** LVDS 接收器可以承受至少 $\pm 1V$ 的驱动器与接收器之间的地的电压变化。由于 LVDS 驱动器典型的偏置电压为 $\pm 1.2V$,地的电压变化、驱动器的偏置电压以及轻度耦合到的噪声之和,在接收器的输入端,相对于驱动器的地是共模电压。当摆幅不超过 400mV 时,这个共模范围是 $+0.2V \sim +2.2V$,进而,一般情况下,接收器的输入电压范围可在 $0V \sim +2.4V$ 内变化。

正是因为 LVDS 具有上述的主要特点,才使得 Hyper Transport (by AMD)、

Infiniband (by Intel)、PCI-Express (by Intel) 等第三代 I/O 总线标准 (3GI/O) 不约而同地将低压差分信号 (LVDS) 作为下一代高速信号电平标准。

3.3.2.2 AD9480 与 FPGA 的 LVDS 接口通信

AD9480 数据输出 D0~D7 和数据输出 DCO 时钟接口都是 LVDS 发送驱动器。AD9480 的 LVDS 输出每一对差分信号都要外接 100Ω 的终端匹配电阻。Cyclone 系列的 FPGA 的 I/O 接口支持 LVDS 电平标准。AD9480 的 LVDS 发送驱动器把内部逻辑信号转换为低压差分信号对，经过传输线传送到对方被差分接收电路接收，在发送器的输出端接入电阻网络可以削弱差分信号的幅值，防止信号产生振荡，而在接收端的差分对线之间并入的 100Ω 电阻作为终端电阻，由于差分接收器的输入阻抗较高，因此差分对线上的电流主要通过终端电阻形成回路，从而也在接收器的输入端形成差分接收的信号电压。由于差分对线在传输过程中耦合的干扰信号大致相当，因此在差分接收时可以被较好抑制。Cyclone 的 LVDS 接收器如图 3-13 所示。

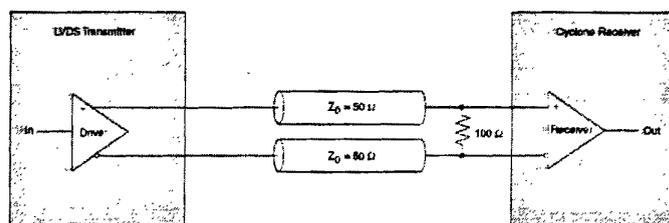


Figure 3-13 Termination Scheme on Cyclone LVDS Receiver

图3-13 Cyclone 的LVDS接收器传输图

Altera 公司提供的 Quartus II 软件为 Cyclone 器件的应用提供了强大的支持，LVDS 接收器的参数设置都在 Quartus II 软件环境下完成。

3.4 双端口 RAM 高速数据传输接口

当模拟信号被 A/D 采样进来以后，需要有一个能够快速保存采样数据的存储器。低速的数据采集系统和 CPU 之间的传输接口相当简单，大多是 ADC 的数据线和 CPU 的数据总线直接相连，CPU 接受数据采用查询方式或中断方式即可，这是因为采样频率相对 CPU 的时钟频率低，而使得 ADC 在下一次转换结束之前 CPU 能够把上一次的转换数据取走。但对于数字存储示波器这样的高速采样系统，采用查询或中断的接口方法就不适用了，常用的高速传输方案有两种：

(1) FIFO (First In First Out)

FIFO 是一种先进先出（即第一个读出来的数据就是第一个写进去的数据）存储器。它没有地址线，省去了寻址时间。另外，它还可以同时对存储空间进行读写。所以，它比一般存储器的读取速度要快很多。能够满足在高速采样时，对存储器快速读写的要求。但是 FIFO 不能进行随机访问，即不能对存储数据中的某一块单独进行存取操作，每次必须将采集的全部数据取走进行处理。这样若采样点较多则要求处理器内存较大，波形数据存储滚动显示时，要先将数据转移到处理器内存再做处理显示，降低了系统的相应速度。故 FIFO 的特点不符合本系统的操作要求。

(2) 双端口 RAM

双端口 RAM 不但能对高速 ADC 的转换数据实时存储，而且当采集结束时，CPU 能够对这些存储单元进行随机访问。它既做为 ADC 的数据缓存又做为 CPU 的数据存储器，故双端口 RAM 做为传输接口符合本系统设计要要求。

我们没有采用现成的双端口 RAM 芯片，而是利用 FPGA 里面自带的 RAM，通过 Quartus II 软件调用它宏单元库 MegaFunction 里的库文件 LPM_RAM_DP，把它设置成为 1KB 的双端口 RAM。具体连接如图 3-14。

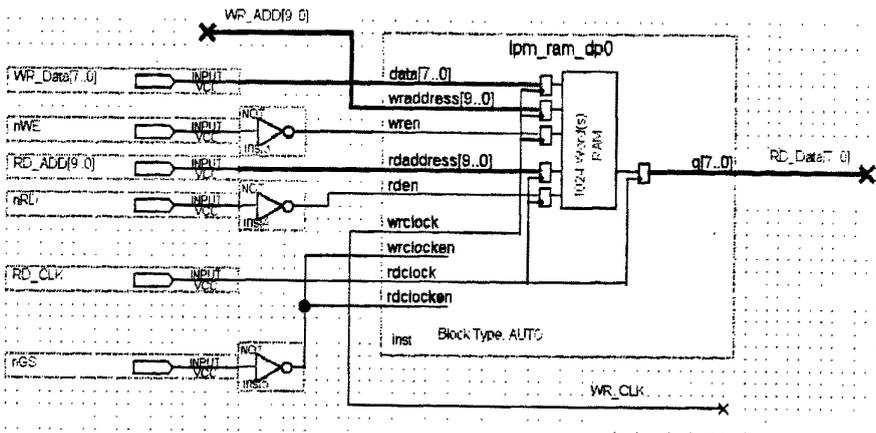


Figure 3-14 DPRAM schematic diagram

图3-14 双端口RAM构成原理图

如图3-14所示，一个LPM_RAM_DP库文件经过参数化设置，生成了一个双端口RAM模块。该模块有一个写使能信号nWE，一个写时钟信号WR_CLK，一个读使能信号nRD，一个读时钟信号RD_CLK，一个读和写时钟使能信号nGS，8位数据输入线WR_Data[7..0]和8位数据输出线RD_Data[7..0]，还有10位读地址RD_ADD[9..0]和写地址端WR_ADD[9..0]。双端口RAM模块的写端口一侧的信号接收ADC的采样数据，读端口一侧的信号负责向CPU传送数据。它的具体工作原理是：8位数据输入线通过LVDS的接口，与AD9480的数据输出口连接，在采样时钟得作用下，地址发生器与AD9480的ADC数据同步产生存储数据的地址，将采样数据存入双端口RAM。在读端口一侧，双端口RAM作为ARM处理器的一个存储器接入系统的总线。由于ARM处理器的读写使能和片选使能信号都是低电平有效，这些信号都要取反接收，所以在图3-9中加入了三个非门。读端口的时钟接收ARM处理器的系统时钟，地址总线生成地址寻址，读取双端口RAM中的采样数据进行处理。

3.5 时基电路

时基电路是数字存储示波器的重要组成部分，它的作用主要是提供AD的采样时钟和双端口RAM的写时钟。它的电路实现如图3-15所示。

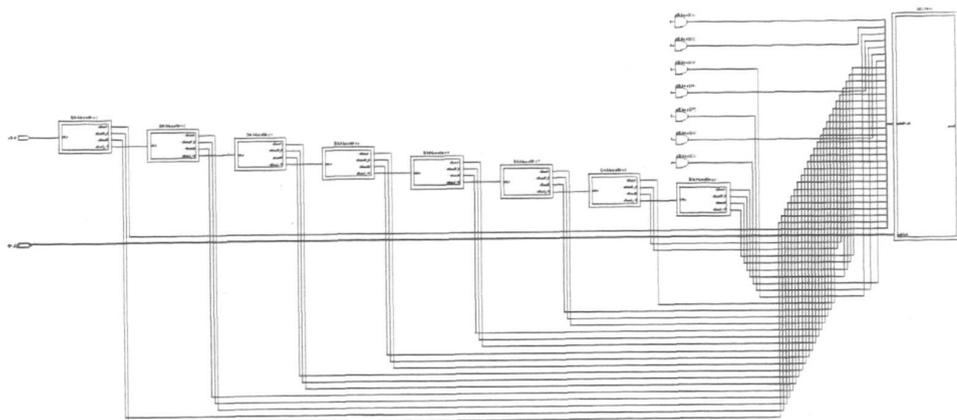


Figure 3-15 schematic diagram of clock

图3-15 时基电路

图中 CLKin 是基准时钟，它是由外部晶振提供的标准的 50MHz 信号。进来的 50MHz 频率信号经过由 Verilog HDL 语言编写的 2.5 倍分频、5 倍分频和 10 倍分频器组成的分频网络，按照 2.5、5、10 步进的方法产生所需要的 AD 采样频率和双端口 RAM 的写时钟。在示波器的控制面板上的时基控制按钮（单位是 sec/div），不同的时基档位下对应着不同的采样频率。每选择不同的时基档位时，图中的 sel[5..0] 信号即时钟选择信号就会输出不同的值以选择与档位相应的采样时钟。分频模块都是由 Verilog HDL 语言编写的程序。

50% 的占空比的 5 倍和 10 倍分频模块硬件描述程序如下：

```
module s5div5_5(clkin,clkout,clkout_2);
```

```
    input  wire clkin;
```

```
    output clkout,clkout_2;
```

```
    reg[2:0] count;
```

```
    reg rst_in,clkout1,clkout2,clkout_2;
```

```
always@(posedge clkin)
```

```
    if(rst_in)
```

```
        count<=0;
```

```
    else
```

```
        count<=count+1;
```

```
always@(posedge clkin)
```

```
if(count==1)
    begin
        clkout1<=~clkout1;
    end
else if(count==3)
    begin
        clkout1<=~clkout1;
        rst_in<=1;
    end
else
    begin
        clkout1<=clkout1;
        rst_in<=0;
    end
always@(negedge clk_in)
    if(count==1)
        begin
            clkout2<=~clkout2;
        end
    else if(count==3)
        begin
            clkout2<=~clkout2;
        end
    else
        begin
            clkout2<=clkout2;
        end
end
assign clkout=clkout1|clkout2;
```

```

always@(posedge clkout)
    clkout_2<=~clkout_2;
endmodule

```

3.6 地址发生器

双端口 RAM 存储 A/D 的采样数据时需要的同步地址，我们通过地址发生器产生。它的电路实现如图 3-16 所示。

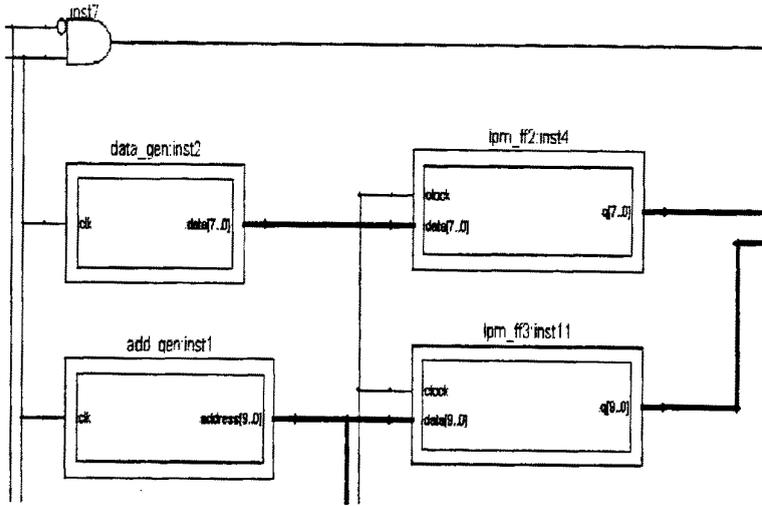


Figure 3-16 schematic diagram of address generator

图3-16 地址发生器构成图

图中 CLK 是基准时钟，它是由时基电路产生。我们的设计，存储的深度是 1KB，所以双端口 RAM 的地址是 10 位。为了避免数字竞争冒险和干扰的发生，地址发生器和采样数据经过了触发器同步输入双端口 RAM。图中的 LPM_FF2 和 LPM_FF3 模块，就是通过 Quartus II 软件调用它宏单元库 MegaFunction 里的同步触发器生成的。实验证明，同步触发器大大减少了毛刺的产生。地址发生器模块是由 Verilog HDL 语言编写的一个 10 位计数器程序。

地址发生器模块硬件描述程序如下：

```

module add_gen(clk,address);
    input wire clk;
    output reg [9:0] address;

```

```
reg [9:0] count,d_temp;
always @(posedge clk)
begin
    count<=count+1;
end
always @(posedge clk)
begin
    address<=d_temp;
end
always @(count)
begin
    d_temp=count;
end
endmodule
```

第四章 数据处理系统硬件设计

数据处理系统是数字存储示波器的重要组成模块,它作为前端数据处理系统模块和后端 LCD 显示模块的衔接,在系统中起着重要的作用。其主要任务有:将前端采集的数据恢复成波形显示在液晶显示器上;响应键盘的中断,分析键语,进而改变液晶显示器上波形和菜单的显示;给前端的采集模块发控制信号,控制数据采集的速度;还负责通过串行通讯接口和上位机通信。

4.1 ARM 控制器系统设计

ARM 微处理器技术近年来得到了广泛的应用,随着科学的发展和产品质量要求的提升,ARM 产品将成为日后电子产品的主导产品。ARM(Advanced RISC Machines)是微处理器行业的一家知名企业,设计了大量高性能、低价格、低功耗的 RISC 处理器、相关技术及软件,具有性能高、成本低和能耗省的特点。适用于多种领域,比如嵌入式控制、消费/教育类多媒体、DSP 和移动式应用等。

ARM 微处理器是数据处理系统的核心部分,本章节主要讨论以这部分的设计。本课题采用的 S3C44BOX 芯片作为数据处理系统的处理器,它是以 ARM7TDMI 为内核的微处理器,是 Samsung 公司设计的专门用于便携式设备的芯片。ARM7TDMI 是 ARM 公司最早为业界普遍认可并且得到广泛应用的处理器核,特别是在手机和 PDA 中,更是占领了大部分市场。随着 ARM 技术的发展,ARM7TDMI 己是目前最低端的 ARM 核。ARM7TDMI 是从最早实现了 32 位地址空间编程模式的 ARM6 核发展而来的,在低于 5V 的电源电压下可稳定地工作:增加了 64 位乘法指令、支持片上调试、Thumb 指令集和 EmbeddedICE 片上断点和观察点。ARM7TDMI 核采用了 3 级流水线结构,具有以下重要特性^[12]:

- ①32/16 位 RISC 架构 (ARM v4T) ;
- ②具有最高性能和灵活性的 32 位 ARM 指令集,支持代码紧凑的 16 位 Thumb 指令集;
- ③32 位算术逻辑单元 (ALU),统一的总线接口,指令与数据都在 32 位总线上传输;
- ④32 位寻址空间—4GB 线性地址空间:

- ⑤包含了 EmbeddedICE-RT 实时调试单元, 支持嵌入式系统调试;
- ⑥调试硬件由 JTAG 边界测试端口访问;
- ⑦广泛的 ARM 和第三方支持, 并与 ARM9Thumb 系列、ARM10Thumb 系列和 Strong ARM 处理器兼容。

4.1.1 处理器 S3C44B0X 简介^[5]

S3C44B0X 采用了 ARM7TDMI 内核, 0.25um 工艺的 CMOS 标准宏单元和存储编译器。并在 ARM7TDMI 核基本功能的基础上集成了丰富的外围功能模块, 便于低成本设计嵌入式应用系统。片上集成的主要功能如下:

- * 2.5V ARM7TDMI 内核, 带有 8K 高速缓存器 (SAMBA II 总线体系结构, 主频高至 66MHz);
 - * 外部存储器控制器 (FP/EDO/SDRAM 控制, 片选逻辑);
 - * LCD 控制器 (最大支持 256 色 STN, LCD 具有专用 DMA);
 - * 2 通道通用 DMA、2 通道外设 DMA 并具有外部请求引脚;
 - * 2 通道 UART 带有握手协议 (支持 IrDA1.0, 具有 16-byte FIFO)/1 通道 SIO;
 - * 1 通道多主 IIC-BUS 控制器;
 - * 1 通道 IIS-BUS 控制器;
 - * 5 个 PWM 定时器和 1 通道内部定时器;
 - * 看门狗定时器;
 - * 71 个通用 I/O 口/8 通道外部中断源;
 - * 功耗控制: 具有普通, 慢速, 空闲和停止模式;
 - * 8 通道 10 位 ADC;
 - * 具有日历功能的 RTC;
 - * 具有 PLL 的片上时钟发生器。
- 其功能模块图如图 4-1 所示。

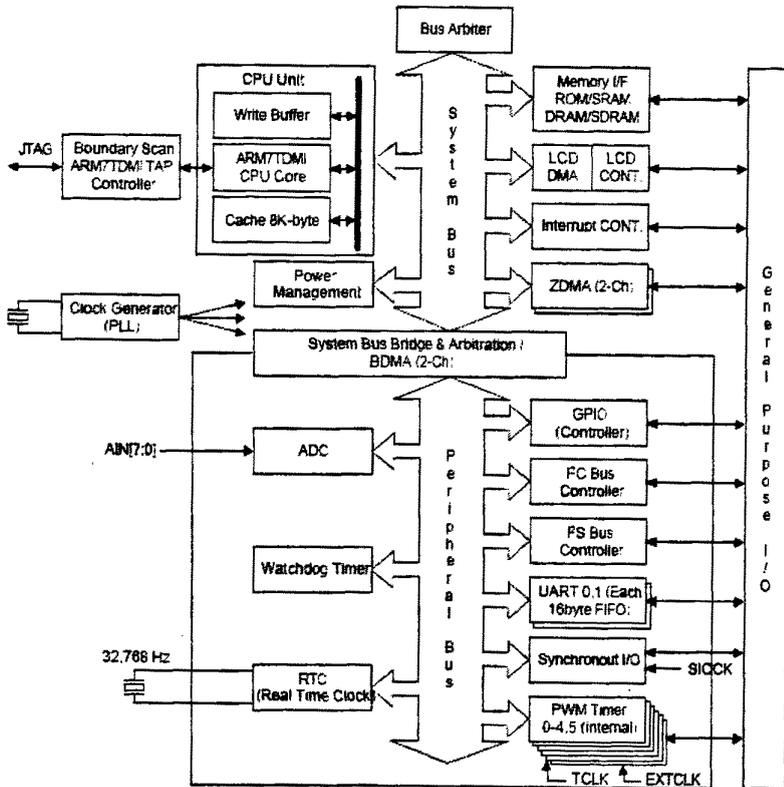


Figure 4-1 S3C44B0X Block Diagram

图4-1 S3C44B0X功能模块图

4.1.2 电源电路设计

在该系统中，需要使用多组的直流稳压电源。其中，S3C44B0X 内核需要 2.5V 电源，它的 I/O 接口、内部 ADC 和其它分外围器件需 3.3V 电源，为简化系统电源电路的设计，整个系统的输入电压采用 5V，经过 LM1117 转换成 3.3V 和 2.5V 输出。实时时钟电路（RTC）需要的 3V 的电源，通过 3.3V 经过二极管分压产生。系统电源电路如图 4-2。

图中 VDD5.0 是外部输入的 5V 电源，VDD 是 2.5V 电源，VDDIO 是 3.3V 电源，VDDRTC 是实时时钟电路（RTC）电源。

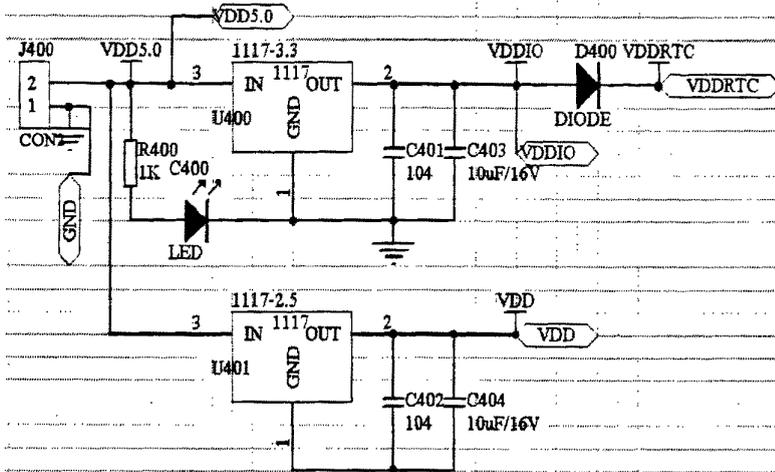


Figure 4-2 Power schematic diagram

图4-2 电源原理图

4.1.3 晶振和复位电路设计

晶振电路用于向 CPU 及其他电路提供工作时钟。在该系统中，S3C44B0X 选择使用无源晶振。S3C44B0X 的最高工作频率以及 PLL 电路的工作方式，选择 11.0592MHz 的晶体谐振器，11.0592MHz 的晶振频率经过片内的 PLL 电路倍频后，产生了 44.238MHz 的时钟作为系统的时钟。片内的 PLL 电路兼有频率放大和信号提纯的功能，因此，系统可以以较低的外部时钟信号获得较高的工作频率，以降低因高速开关时钟所造成的高频噪声。

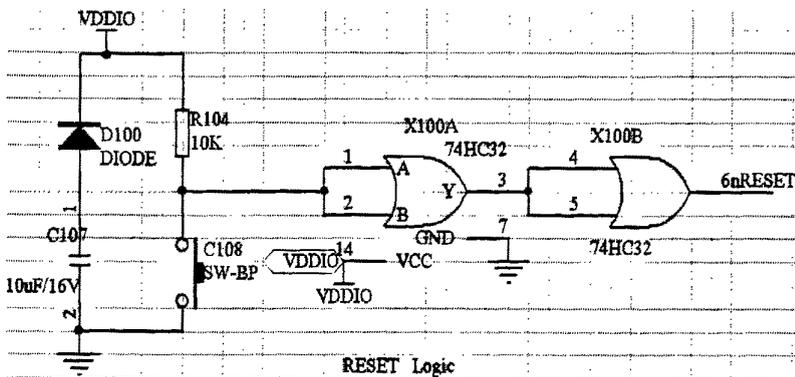


Figure 4-3 Reset schematic diagram

图4-3 复位电路原理图

在系统中,复位电路主要完成系统的上电复位和系统在运行时用户的按键复位功能。复位电路可由简单的 RC 电路构成,也可使用其他的相对较复杂,但功能更完善的电路。本系统采用较简单的 RC 复位电路,经使用证明,其复位逻辑是可靠的。复位电路如图 4-3 所示。

该复位电路的工作原理如下:在系统上电时,通过电阻 R104 向电容 C107 充电,当 C107 两端的电压未达到高电平的门限电压时,nRESET 端输出为低电平,系统处于复位状态;当 C107 两端的电压达到高电平的门限电压时,nRESET 端输出为高电平,系统进入正常工作状态。

当按下按钮 SW 时,C107 两端的电荷被泻放掉,nRESET 端输出为低电平,系统进入复位状态,再重复以上的充电过程,系统进入正常工作状态。两级自相与门电路用于按钮去抖动和波形整形;通过调整 R104 和 C107 的参数,可调整复位状态的时间。

4.1.4 Flash 接口电路设计

Flash 存储器是一种可在系统进行电编程(In System Program),掉电后信息不丢失的存储器。它具有低功耗、大容量、擦写速度快、可整片或分扇区在系统编程(烧写)、擦除等特点,并且可由内部嵌入的算法完成对芯片的操作,因而在各种嵌入式系统中得到了广泛的应用。作为一种非易失性存储器,Flash 在系统中通常用于存放程序代码、常量表以及一些在系统掉电后需要保存的用户数据等。常用的 Flash 为 8 位或 16 位的数据宽度,编程电压为单 3.3V。

本系统中使用的 Flash 存储器为 HY29LV160。HY29LV160 的单片存储容量为 16M 位(2M 字节),工作电压为 2.7V~3.6V,采用 48 脚 TSOP 封装或 48 脚 FBGA 封装,16 位数据宽度,可以以 8 位(字节模式)或 16 位(字模式)数据宽度的方式工作。

本课题使用 HY29LV160 来构建 Flash 存储系统。由于 ARM 微处理器的体系结构支持 8 位/16 位/32 位的存储器系统,对应的可以构建 8 位的 Flash 存储器系统、16 位的 Flash 存储器系统或 32 位的 Flash 存储器系统。32 位的存储器系统具有较高的性能,而 16 位的存储器系统则在成本及功耗方面占有优势,而 8 位的存储器系统现在已经很少使用。

在本课题设计的系统中,选用一片 16 位的 Flash 存储器芯片(常见单片容量有 1MB、2MB、4MB、8MB 等)构建 16 位的 Flash 存储系统已经足够,在此采用一片 HY29LV160 构建 16 位的 Flash 存储器系统,其存储容量为 2MB。Flash 存储器在系统中通常用于存放程序代码,图 4-4 为 16 位 Flash 存储器系统的接口电路图。

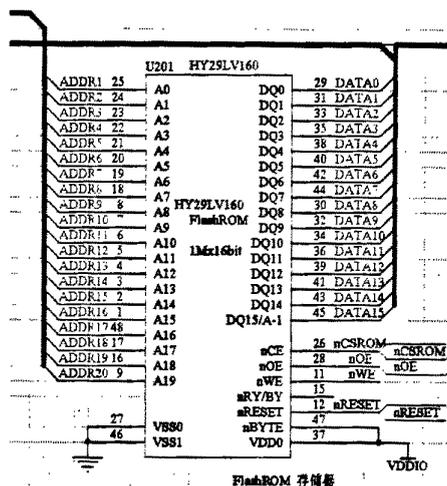


Figure 4-4 Connection Diagram of HY29LV160

图4-4 HY29LV160接口电路

4.1.5 SDRAM 接口电路设计

考虑到程序的执行效率、存储空间和成本问题,系统必须要外扩 SDRAM,与 Flash 存储器相比,SDRAM 没有掉电数据保护功能,但由于其存取的速度大大高于 Flash 存储器,且具有读写的属性。因此,SDRAM 在系统中主要用于程序的运行空间、数据及堆栈空间。在系统上电后,首先读取启动代码,启动代码完成系统的初始化后将程序由 FLASH 中搬移到执行效率更高的 SDRAM 中,系统及用户的数据和堆栈也放在 SDRAM 中。这样可以使程序运行在更高的频率之上,从而大大提升了整个系统的工作效率。

SDRAM 具有单位空间存储容量大和价格便宜的特点,已经被广泛应用于各种嵌入式系统中。要在系统中使用 SDRAM 需要微处理器能具有刷新控制逻辑,或者在系统中另外加入刷新控制逻辑电路,S3C44BOX 微处理器片内具有这种刷

而节省了数据传输的时间，大大提高了系统的效率。其结构如图 4-6。

由图中总线数据流方向可以看出，共享的 FPGA 片上存储器对于数据采集系统端来说是一块只写 (write-only) 的存储器，对于从 ARM 端来说是一块只读的存储器(read-only)，具体双端口 RAM 模块的设计请参考 3.4 小节。

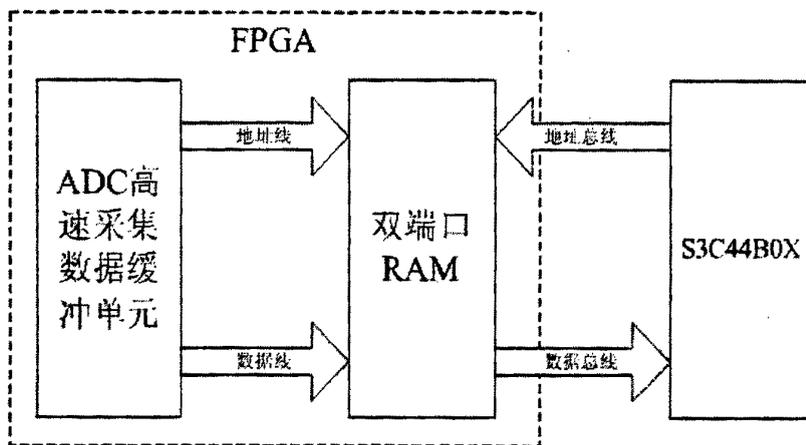


Figure 4-6 The Shared DPRAM Structure

图4-6 共享双口RAM结构图

4.2 LCD 显示控制电路

随着通信、IT 与多媒体市场的兴起，耗电少、辐射低，易于携带的液晶(LCD) (liquid crystal display)成为手持仪器的首选。与 CRT 相比，液晶具有以下优点：

- 低功耗。极低的工作电压，只有 3-5V，工作电流在几个 $\mu\text{A}/(\text{cm})^2$ 。因此液晶显示可以和大规模集成电路直接匹配，使便携式电子计算机、电子仪表成为可能。
- 平板型结构。液晶显示基本结构是由两片玻璃组成的夹层盒。这种结构的优点，一是在使用上最方便，无论大型，小型，微型都很实用。
- 被动显示型。液晶显示本身不发光而是靠调制外界光进行显示。
- 显示信息量大。与 CRT 显示相比，液晶显示没有荫罩限制，像素可以做得很小，这对于未来的高清晰度电视。是个理想的选择方案。
- 易于彩色化。液晶彩色化，非常容易，方法也很多，更可贵的是液晶

的彩色是可以在色谱上非常准确的复现，因此，不会产生色失真。

- 液晶显示工作时，没有电磁辐射。
- 长寿命。这种器件本身几乎没有什么劣化问题。因此寿命极长。

本设计中，我们选用了TRULY公司型号为MCT-G320240DTSW-283W的256级色彩的彩色显示屏，它是320×240点阵的LCD。

LCD 控制器采用 S3C44B0X 内置的 LCD 控制器。S3C44B0X 内置的 LCD 控制器可以支持规格为每像素 2 位（4 级灰度）或每像素 4 位（16 级灰度）的黑白 LCD。也可以支持每像素 8 位（256 级颜色）的彩色 LCD 模块。LCD 控制器可以通过编程支持不同 LCD 模块的要求，例如行和列像素数，数据总线宽度，接口时序和刷新频率等。控制器采用系统存储器作为显示缓冲存储器，并有专门的 DMA（Direct Memory Access，直接内存存取）控制器将定位在显示缓冲区中的 LCD 图像数据传送到外部 LCD 驱动器。支持 LCD 自刷新模式，以减少电源消耗，这时电源管理可以进入低功耗模式（SL_IDLE Mode）。

4.2.1 S3C44B0X 的 LCD 控制器^[5]

LCD 控制器使用 LCDCDMA，把显存数据输入 LCD 控制器。LCDCDMA 是专用 DMA，在不用 CPU 参与的情况下，自动传输显存的视频数据到 LCD 控制器。控制器中有一个 24 字的 FIFO 存储区。其中 12 个 FIFO_L，12 个 FIFO_H，在单扫描模式下仅 12 个 FIFO_H 可用。当 FIFO 为空或部分为空时，LCDDMA 请求从显存预取数据（使用突发传输模式，一次预取 4 个字；在传输期间，不允许出让总线控制权）。

S3C44B0X 的 LCD 控制器使用时间抖动算法和帧速控制方法，实现 LCD 上的单色、4 级灰度（每个像素占用 2 位）、16 级灰度（每个像素占用 4 位）显示，也能与彩色 STN 接口，支持最大 256 色（每个像素占用 8 位）的显示。

LCD 控制器可以编程支持不同水平和垂直点数（640×480，320×240，160×160 等等），以及不同的接口时序和刷新速率的 LCD，支持 4 位双扫描、4 位单扫描、8 位单扫描的 LCD 显示器，并支持虚拟屏幕，实现硬件水平/垂直卷动。

灰度显示中，4 级灰度显示模式使用查找表，允许在 16 级灰度中选择 4 级灰度显示。该查找表和彩色查找表的蓝色查找表公用一个寄存器 BLUEVAL[15:0]，灰度 0 是由 BLUEVAL[3:0] 值表示，灰度 1 是由 BLUEVAL[7:4] 值表示，灰度 2 是由

BLUEVAL[11:8]值表示,灰度3由BLUEVAL[15:12]值表示。16级灰度显示模式不使用查找表。

彩色8位显示模式中,3位分配为红,3位绿,可以同时显示8个红色与8个绿色,2位蓝色位,可以同时显示4个蓝色,合起来最大显示256色。红、绿、蓝分别使用不同的查找表,红色、绿色查找表入口都是32位(并分成8组),分别由REDDVAL[31:0]、GREENVAL[31:0]寄存器来指示,蓝色查找表入口为16位,是由BLUEVAL[15:0]寄存器指示,并分成4组。也就是说红色、绿色可以在16种颜色组合中选择8色进行显示,蓝色可以在8种颜色组合中选择4色进行显示。

在设计中,设定控制器为彩色8位显示模式,采用8位单扫描方式,屏幕的尺寸为320×240像素的实际大小,不采用虚拟屏幕滚动显示。经过多次试验,设置屏幕的刷新频率VFRAME=76Hz时,显示效果最好。

4.2.2 LCD 时序控制电路^[13]

MCT-G320240DTSW-283W 液晶模块共有 16 根时序控制对外引脚,其引脚分配见表 5-1,其中有 5 根控制线,8 根数据线,3 根电源线。

表 4-1 液晶模块引脚

Table 4-1 Interface Pin Connections

Pi n No	Symbol	Level	Description
1	M	H/L	Input of signal to AC electrify the liquid crystal drive output
2	YD	H/L	Scan start pulse
3	LP	H/L	Display data latch pulse input
4	XSCL	H/L	Display data shift clock input
5	DISPOFF	H/L	H : display on, L : display off
6	VDD	+3.3V	Supply voltage for logic
7	VSS	0V	Ground

8	VEE	+26.9V(typical)	LCD voltage input(change VDDH to adjust contrast)
9	D7	H/L	
10	D6	H/L	Data bit 6
11	D5	H/L	Data bit 5
12	D4	H/L	Data bit 4
13	D3	H/L	Data bit 3
14	D2	H/L	Data bit 2
15	D1	H/L	Data bit 1
16	D0	H/L	Data bit 0

在实际应用中，M 信号线悬空，其余控制线的定义及连接如下：

- YD: 连接 LCD 控制器的 VFRAME 信号，是 LCD 控制器和 LCD 驱动器之间的帧同步信号，该信号告诉 LCD 屏新的一帧开始。LCD 控制器在一个完整帧显示完成后，多送 4 个 VLINE 脉冲，再插入一个 VFRAME 信号，开始新一帧的显示。
- LP: 连接 LCD 控制器的 VLINE 信号，是 LCD 控制器和 LCD 驱动器之间的行同步脉冲信号，该信号用于 LCD 驱动器将水平线（行）移位寄存器的内容传送给 LCD 屏显示。LCD 控制器在整个水平线（整行）数据移入 LCD 驱动器后，插入一个 VLINE 信号。
- XSCL: 连接 LCD 控制器的 VCLK 信号，是 LCD 控制器和 LCD 驱动器之间的像素同步时钟信号。由 LCD 控制器在 VCLK 上升沿处送出数据，在 VCLK 下降沿处被 LCD 驱动器采样数据。
- DISPOFF: 连接 LCD 控制器的 VM 信号，是 LCD 控制器的 AC 信号。VM 信号被 LCD 驱动器用于改变行和列的电压极性，从而控制像素点的显示或熄灭。VM 信号可以与每个帧同步，也可以与可变数量的 VLINE 信号同步。

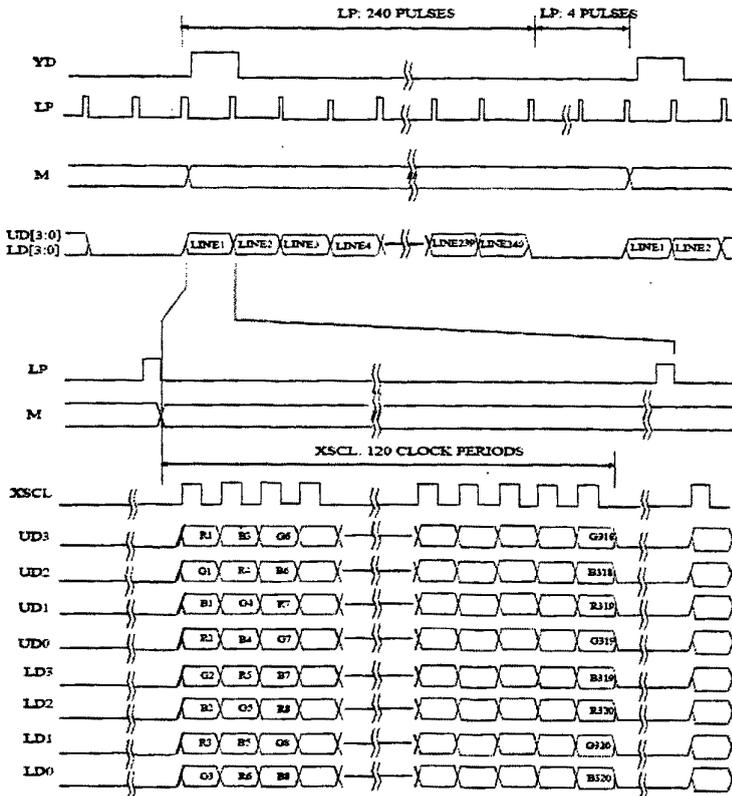


Figure 4-7 Timing Chart of LCD Input Signals

图 4-7 液晶模块输入信号时序图

D[7:0]是8根数据线，在不同扫描方式下有不同的定义。具体的定义及连接如下：

- D[3:0]：连接 LCD 控制器的 VD[3:0]信号，是 LCD 控制器的数据端口线。在 8-bit 单扫描模式，传输数据的低 4 位；在 4-bit 单扫描模式，传输全部的 4-bit 数据；在 4-bit 双扫描模式，传输屏幕上面一根扫描线的 4-bit 数据。
- D[7:4]：连接 LCD 控制器的 VD [7:4]信号，是 LCD 控制器的数据端口线。在 8-bit 单扫描模式，传输 8-bit 数据的高 4 位；在 4-bit 单扫描模式，不传输任何数据；在 4-bit 双扫描模式，传输屏幕下面一根扫描线的 4-bit 数据。

液晶模块输入信号时序参见图 4-7。

4.2.3 LCD 电源电路^[13]

MCT-G320240DTSW-283W 液晶模块的逻辑电压 VDD 为 3.3V 电平,与 S3C44BOX 的 I/O 电平一致,无需电平转换,方便了连接。LCD 工作需要 26.9V 的偏转功能电压 VEE,通过外接 DC-DC 电压转换芯片 MC34063A 提供。

4.2.3.1 MC34063A 简介

MC34063A 是一单片双极型线性集成电路,专用于直流-直流变换器控制部分。片内包含有温度补偿带隙基准源、一个占空比周期控制振荡器、驱动器和大电流输出开关,能输出 1.5A 的开关电流。它能使用最少的外接元件构成开关式升压变换器、降压式变换器和电源反向器。

特点:

- 能在 3.0-40V 的输入电压下工作
- 短路电流限制
- 低静态电流
- 输出开关电流可达 1.5A (无外接三极管)
- 输出电压可调
- 工作振荡频率从 100HZ 到 100KHZ

在应用中的注意:

1. 快速开关二极管可以选用 IN4148,在要求高效率的场合必须使用 IN5819!
2. MC34063A 能承受的电压,即输入输出电压绝对值之和不能超过 40V,否则不能安全稳定的工作。

4.2.3.2 LCD 偏转功能电压产生电路

MCT-G320240DTSW-283W液晶模块的偏转功能电压V_{EE}要求在26.9V左右，电路的V_{IN}=5.0V，所以我们利用MC34063A构成开关式升压变换器（Step-Up Converter），产生高压V_{out}，MC34063A的外围器件连接图4-8所示。

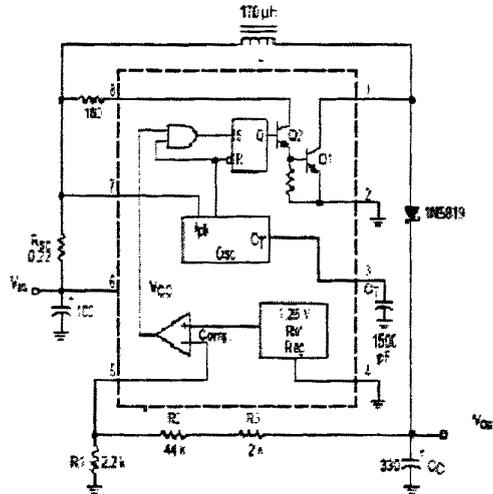


Figure 4-8 Step-Up Converter

图 4-8 液晶升压电路

输出电压的计算公式：

$$V_{out}(\text{输出电压}) = 1.25V \times [1 + (R_2 + R_3) / R_1]$$

固定 $R_1 = 2.2K$ ，通过调节 R_2 、 R_3 的阻值改变输出电压的大小。实际电路调试中发现，当偏转功能电压 $V_{EE} = 32V$ 时，显示效果最好。

4.2.3.3 背光电源电路

MCT-G320240DTSW-283W 液晶模块采用白色 LED 背光显示，直接连接+5V 的电源信号即可，避免了传统的 CCFL 冷阴极灯复杂庞大的驱动电源电路，简化了设计。并且设有 /SHDN 和 Half-light 两个引脚，前者有效时，关闭背光，后者有效时，以普通模式一半的亮度进行背光照明。系统待机时，关闭或半亮度背光照明，可以大大降低系统的功耗。

4.3 键盘电路设计

在数字电路中，可以利用编码器实现按键键值的直接编码。将每个按键的

输出信号对应连接到编码器的每一个输入端，这样通过编码逻辑就可以在编码器的输出端得到对应于每个按键的码值，早期称这种键盘为编码键盘。但是当按键较多时编码逻辑的成本就较高，并且直接编码的方法也不够灵活，一旦编码逻辑固定就难于更改。在通用键盘上当按键数量较多时，普遍采用扫描方式产生键值。将按键连接成矩阵，每个按键位于某行、某列的交点上(如图3-21所示)，先通过扫描方式确定所按键的行列位置，称为位置码或扫描码。再查表将位置码转换为按键码值或者直接使用扫描码，有些参考书称此为“非编码键盘”。但这种名称容易让人误解为没有对应的键值，因此又称为扫描式键盘。

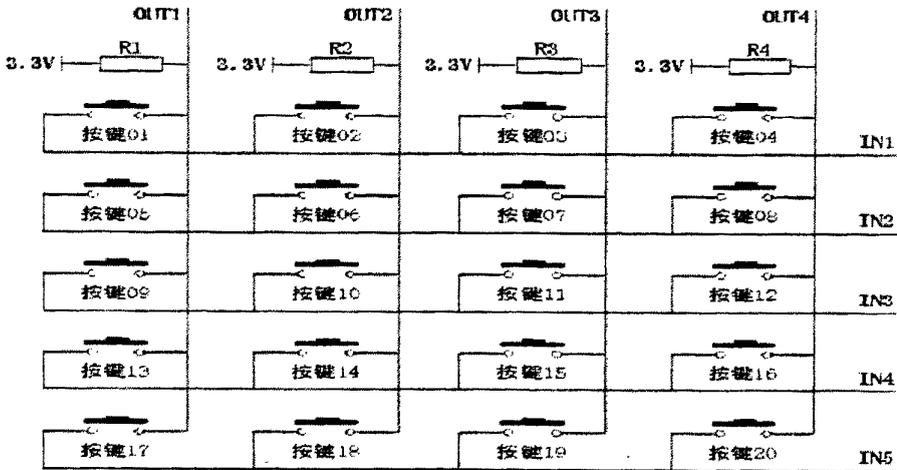


Figure 4-9 key board diagram

图 4-9 键盘示意图

4.4 串行通讯接口设计

在很多现场测试场合，工程技术人员都需要获得某种形式的测量结果的硬拷贝，以便以后作为参考资料使用，或者设备报告发生错误动作时需要查看以往的资料。另外，在很多情况下我们需要把示波器中的信号传往 PC 机，同时在某些情况下，我们也可能希望用 PC 机来对数字存储示波器进行控制，以上这些情况都要求示波器具有通讯能力。也就是说，示波表必须装有通讯硬件以及其支持的软件。我们称此通讯用软硬件为“接口”。常用的接口有两种，RS-232 接口和通用接口总线 (GPIB)，后者又称为 IEEE-488 总线。与并行接口相比，

串行接口的最大特点是减少了器件引脚数目，降低了接口设计复杂性。串行通信是指数据按位依次传输，串行通信中要求发送和接受双方必须遵守统一的规定，这样才能保证正常进行，这些对数据传送方式的规定就是通信协议，通信协议包括数据格式和时间限制等方面的定义和要求等，通信协议可由用户自己制定，也可采用标准通信协议。

串行数据传输可分为同步和异步两种模式。通用 PC 机的 RS-232 接口为通用异步接口 UART (Universal Asynchronous Receiver and Transmitter)，而 MOTOROLA 公司的串行外围设备接口 SPI、队列 SPI (QSPI)、PHILIPS 公司的内部 IC 总线 (IIC)，National 公司的微总线 (MICROWIRE) 均为同步串行协议。S3C44BOX 具有带自动握手的 2 通道 UART，我们通过该接口与 PC 机进行串行数据通信。在设计中，我们采用美国 MAXIM 公司的 MAX3232 串行异步收发器，与 S3C44BOX 连接，将同步数据变换为 UART 异步数据格式进行传输。

4.4.1 S3C44BOX 的 UART 接口介绍^[5]

S3C44BOX 的 UART (通用异步收发器) 单元提供两个独立的异步串行 I/O 端口，每个都可以在中断和 DMA 两种模式下工作。它们支持的最高波特率为 115.2Kbps。每个 UART 通道包含 2 个 16 位 FIFO 分别提供给接收和发送。

S3C44BOX 的 UART 可以进行以下参数的设置：可编程的波特率，红外收/发模式，1 或 2 个停止位，5 位、6 位、7 位或 8 位数据宽度和奇偶位校验。

每个 UART 包含一个波特率产生器，发送器，接收器和控制单元。波特率发生器以 MCLK 作为时钟源。发送器和接收器包含 16 字节的 FIFOs 和移位寄存器。要被发送的数据，首先被写入 FIFO 然后拷贝到发送移位寄存器。然后它从数据输出端口 (TxDn) 依次被移位输出。被接收的数据也同样从数据接收端口 (RxDn) 移位输入到移位寄存器，然后拷贝到 FIFO 中。

特性：

- RxD0, TxD0, RxD1, TxD1 可以以中断模式或 DMA 模式工作；
- UART 通道 0 符合 IrDA 1.0 要求，且具有 16 字节的 FIFO；
- UART 通道 1 符合 IrDA 1.0 要求，且具有 16 字节的 FIFO；
- 支持收发时握手模式。

第五章 数据处理系统软件设计

ARM 微处理器 S3C44B0X 芯片作为系统控制中心及数据处理中心，整个系统的运转受到它的控制，例如响应用户的按键操作、发出通道控制、A/D 采样时钟控制、菜单及系统状态显示、数据的处理、信号或参数的自动测试等。

系统软件程序结构如图 5-1。

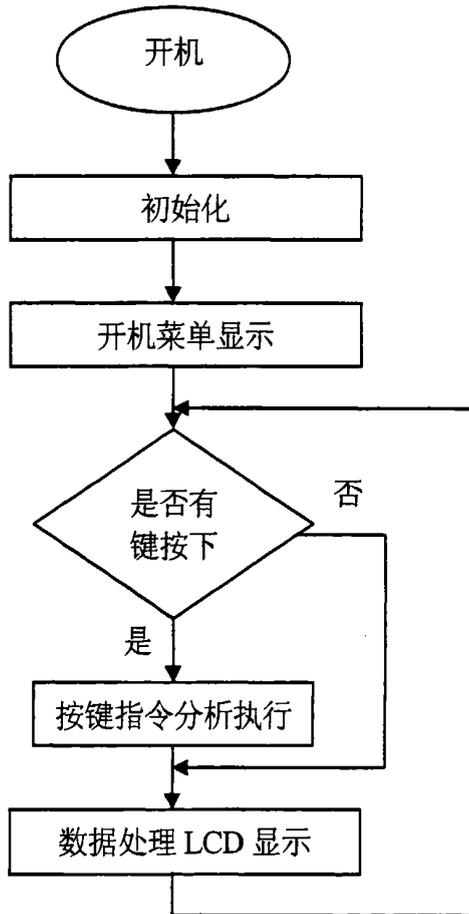


Figure 5-1 the software structure diagram

图 5-1 系统软件结构图

本程序主要结构是循环检测按键，根据按键信息控制程序的执行方向。其中初始化模块执行 ARM 片 GPIO 端口的初始化、各个特殊功能寄存器的初始化、

程序中全局消息变量初始化等等。键值分析执行模块，相应系统的按键中断，分析按键指令，做出相应的控制指令。当无按键操作时，系统一直会根据上次设定的测时条件对数据处理显示。下面将分别介绍各个子程序模块。

5.1 Flash 操作软件程序

程序设计好以后，首先要将编译完成的二进制代码写入 Flash 芯片内部。我们首先编写了一个 Flash 操作软件程序。

HY29LV160 仅需单 3V 电压即可完成在系统的编程与擦除操作，通过对其内部的命令寄存器写入标准的命令序列，可对 Flash 进行编程(烧写)、整片擦除、按扇区擦除以及其他操作。以下是部分对 HY29LV160 操作的程序，编译环境是 ARM 公司的 ADS (ARM Developer Suite v1.2)。

(1) Flash 复位和测试是否准备好子程序

在读写 Flash 以前，确认硬件连接是否正确，芯片是否准备好。首先执行复位和测试是否准备好子程序。

Flash 复位和测试是否准备好子程序如下：

```
void Flash_Reset(void)
{
    FLASH_WR(0, FLASH_RESET);
}

/* * during internal erase or program cycle the DQ6 will toggle */
void Check_Toggle_Ready(UINT32 Dst)
{
    UINT8 Loop = TRUE;
    UINT16 PreData;
    UINT16 CurrData;
    UINT32 TimeOut = 0;
    PreData = *(volatile UINT16 *)Dst;
    PreData = PreData & 0x4040;
```

```
while((TimeOut< 0x07FFFFFF) && (Loop))
{
    CurrData = *(volatile UINT16 *)Dst;
    CurrData = CurrData & 0x4040;
    if (PreData == CurrData)
        Loop = FALSE; /* ready to exit the while loop */
    PreData = CurrData;
    TimeOut++;
}
}
```

(2) 读取 ID 子程序

确认芯片工作状态好，读取芯片的 ID，确认芯片的型号属性。读取 HY29LV160 的 ID 子程序如下：

```
UINT16 Flash_ReadID(void)
{
    UINT16 id;
    Flash_Reset();/* command sequence */
    FLASH_WR(0x555, 0xaaaa);
    FLASH_WR(0x2aa, 0x5555);
    FLASH_WR(0x555, 0x9090);
    id = *(UINT16 *) (1<<1);
    return id;
}
```

(3) 整片擦除子程序

Flash 不同于一般的 RAM 存储芯片，在将数据写入 Flash 之前，必须先要删除数据所在块，然后才能重新写入。我们程序设计中，每次在重新烧写 Flash 之前，都先进行 Flash 的整片擦除操作，然后再写入新程序。

整片擦除子程序如下：

```
void Flash_Erase_Chip(void)
```

```
{  
    Flash_Reset();  
    /* 6 write cycles */  
    FLASH_WR(0x555, 0xaaaa);  
    FLASH_WR(0x2aa, 0x5555);  
    FLASH_WR(0x555, 0x8080);  
    FLASH_WR(0x555, 0xaaaa);  
    FLASH_WR(0x2aa, 0x5555);  
    FLASH_WR(0x555, FLASH_ERASE_CHIP);  
    /* wait for finishing */  
    Flash_Wait();  
    Check_Toggle_Ready(0);  
}
```

(3) 字写入子程序

我们将要写入的新程序放入 RAM 区间，然后一个字一个字的写入到 Flash 芯片中。

字写入子程序如下：

```
void Flash_Program_One_Word(UINT16 *addr, UINT16 data)
```

```
{  
    Flash_Reset();/* first 3 cycles */  
    FLASH_WR(0x555, 0xaaaa);  
    FLASH_WR(0x2aa, 0x5555);  
    FLASH_WR(0x555, 0xa0a0);/* write begin */  
    *((volatile UINT16 *)addr) = data;  
    /* wait for finishing */  
    //Flash_Wait();  
    Check_Toggle_Ready((UINT32)addr);  
}
```

5.2 初始化子程序设计

(1) ARM 处理器工作有多种状态, 系统在不同的复位条件下将进入不同的状态。各种状态的设置和指示子程序如下:

```

void Isr_Init(void)
{
    U32 i;
    pISR_UNDEF=(unsigned)HaltUndef;
    pISR_SWI  =(unsigned)HaltSwi;
    pISR_PABORT=(unsigned)HaltPabort;
    pISR_DABORT=(unsigned)HaltDabort;
    for(i=_RAM_STARTADDRESS;i<(_RAM_STARTADDRESS+0x20);i+=4)
    {
        *((volatile unsigned *)i)=0xEA000000+0x1FFE;
    }
    rINTCON=0x5;    // Non-vectored,IRQ enable,FIQ disable
    rINTMOD=0x0;    // All=IRQ mode
    rINTMSK|=BIT_GLOBAL|BIT_EINT4567; // All interrupt is masked.
}

void HaltUndef(void)
{
    Uart_Printf("Undefined instruction exception!!!\n");
    while(1);
}

void HaltSwi(void)
{
    Uart_Printf("SWI exception!!!\n");
    while(1);
}

void HaltPabort(void)

```

```

{
    Uart_Printf("Pabort exception!!!\n");
    while(1);
}

```

```
void HaltDabort(void)
```

```

{
    Uart_Printf("Dabort exception!!!\n");
    while(1);
}

```

(2) GPIO 初始化子程序

ARM 处理器的 GPIO 端口都是多功能的端口, 在操作以前一定要设定端口的功能。GPIO 初始化子程序如下:

```
void Port_Init(void)
```

```

{
    //I/O ADDR23 ADDR22 ADDR21 ADDR20 ADDR19 ADDR18 ADDR17
    ADDR16 ADDR0
    // 0, 1, 1, 1, 1, 1, 1, 1, 1
    rPCONA=0x1ff;
    //PORT B GROUP
    //OUT OUT nGCS3 nGCS2 nGCS1 nWBE3 nWBE2 nSRAS nSCAS SCLK
    SCKE
    // 0, 0, 1, 1, 1, 1, 1, 1, 1
    rPDATB=0x600;
    rPCONB=0x1ff;
    //PORT C GROUP
    //7-0 OUT,OUT,OUT,OUT,LED2,LED1,LED0,OUT
    //7-0 01,01, 01,01,01, 01, 01,01
    //15-8 nCTS0,nRTS0,RXD1,TXD1,nCTS1,nRTS1,OUT,OUT
    //15-8 11, 11 ,11,11,11, 11,01,01
}

```

```
rPDATC=0x030F;
rPCONC=0xFFFF55555;
rPUPC=0xFFFF;
//PORT D GROUP
//7-0 OUT,OUT,OUT,OUT,OUT,OUT,OUT,OUT.
// 01, 01,01,01, 01,01,01,01
rPCOND=0x55555;
rPDATD=0x0;
rPUPD=0xff;
//PORT E GROUP
//8-0:ENDIAN,IN,IN,IN,IN,IN,IN,RxD0,TxD0,FOUT
// 00 ,00,00,00,00,00 10 , 10,11
rPCONE=0x2B;
rPUPE=0x7;
//PORT F GROUP
//8-0 IN, IN, IN, IN, IN, IN, IN, IIC_SCL,IIC_SDA,
// 000,000,000,000,000,000,000, 10 ,10
rPCONF=0xA;
rPUPF=0x3;
//PORT G GROUP
//7-0 IN,IN,IN,IN,EINT3,EINT2,EINT1,EINT0
// 00,00,00,00,11 , 11 ,11 ,11
rPCONG=0xFF;
rPUPG=0x00;
//Special PULL-UP Control
rSPUCR=0x3; //pull-up disable
//EXTINT
rEXTINT=0x22222222; //All EINT[7:0] will be falling edge triggered.
```

```
}

```

5.3 双端口 RAM 操作子程序设计

S3C44BOX 总线进行扩展，将双端口 RAM 模块连接到总线上，使其成为 S3C44BOX 平台的一个外设。我们将双端口 RAM 控制模块挂接到了 S3C44BOX 的 bank2 上，从地址 0x0400_0000 开始的 1K 个字节。bank2 是 S3C44BOX 挂接 ROM 或是静态 RAM 的存储区间，具备 32MB 的寻址能力。以下是部分读取双端口 RAM 数据，还原成波形后在 LCD 上显示的子程序，编译环境是 ARM 公司的 ADS (ARM Developer Suite v1.2)。

双端口 RAM 操作子程序如下：

```
#define Byte_WR(addr, data) *(volatile U8 *)(addr) = (U8)(data)
#define Byte_RD(addr, data) (U8)(data) = *(volatile U8 *)(addr)
ext_ram=0x4000000; //双口 RAM 的开始地址
for(i=0;i<1024;i++)
    Byte_RD(ext_ram+i,Volsin[i]);
    for(i=20;i<260;i++)//Read ram
    {
        sa=*(volatile U8 *)(ext_ram+i-20);
        if(sa>=128)
        {
            sa=(sa-128)*100/127;
            gImage_screen[sa+113][i-2]=0x03;//blue
        }
        else
        {
            sa=(128-sa)*100/128;
            gImage_screen[113 -sa][i-2]=0x03;
        }
    }
}
```

```
for(i=0;i<240;i++)
  for(j=0;j<320;j+=4)
  {
    Byte_WR(temp,gImage_screen[i][j+3]);
    temp++;
    Byte_WR(temp,gImage_screen[i][j+2]);
    temp++;
    Byte_WR(temp,gImage_screen[i][j+1]);
    temp++;
    Byte_WR(temp,gImage_screen[i][j]);
    temp++;
  }
```

5.4 LCD 显示子程序设计

S3C44B0X的LCD控制器就相当于PC机系统的显示卡,它负责把显存中的LCD图形数据传输到LCD驱动器,并产生LCD控制信号。S3C44B0X的LCD控制器显存与系统存储器共用主存空间,在SDRAM中设定一块区域作为显存空间。这样做有几个好处:节约存储器,提高空间利用率,符合嵌入式系统的设计精神;显存设置在主存空间内,对显存的操作,实际上就是对主存的操作,简化程序编制。程序要改变显示内容,只要对主存储器的显存区域的数据更新一下,屏幕的显示内容会自动刷新。

5.4.1 LCD 初始化子程序

LCD 初始化程序主要是设定屏幕显示的基本参数,如屏幕大小、刷新频率、色彩模式等。这些参数我们都在程序的开始以宏定义的方式给出,便于修改。

LCD 初始化子程序如下:

```
//LCDCON1
#define CLKVAL (8)
#define WLH (3)
```

```

#define WDLY    (0)
#define MMODE   (0)//VM
#define DISMODE (2)//Scan Mode
#define INVCLK  (0)
//LCDCON2
#define LINEBLANK (0)
#define HOZVAL   (119)
#define LINEVAL  (243)
//LCDSADDR1
#define MODESEL  (3)//Color Mode
#define LCDBANK  (0x31)
#define LCDBASEU (0x80000)
//LCDSADDR2
#define BSWP     (0)
#define MVAL     (200)//VM
#define LCDBASEL (0x89880)
//LCDSADDR3
#define OFFSIZE  (0)
#define PAGEWIDTH (0xa0)
/*-----*/
void Lcd_Init(void)
{
    //I/O Pins set
    rPCONC|=0xFF00;
    //rPUPC&=0x0f;
    rPCOND=0xaaaa;
    // rPUPD=0x00;

    rLCDCON1=(0)|(INVCLK<<4)|(DISMODE<<5)|(MMODE<<7)|(WDLY<<8)|

```

```

(WLH<<10)|(CLKVAL<<12);
    // disable,8B_SINGL_SCAN,WDLY=8clk,WLH=8clk,
    rLCDCON2=(LINEVAL)|(HOZVAL<<10)|(LINEBLANK<<21);
    //LINEBLANK=10 (without any calculation)
    rLCDSADDR1=(LCDBASEU)|(LCDBANK<<21)|(MODESEL<<27);
    // 256-color, LCDBANK, LCDBASEU
    rLCDSADDR2=LCDBASEL|(MVAL<<21)|BSWP;
    rLCDSADDR3=(PAGEWIDTH)|(OFFSIZE<<9);
    //The following value has to be changed for better display.
    rREDLUT =0xfdb96420;
    rGREENLUT=0xfdb96420;
    rBLUELUT =0xfb40;
    rDITHMODE=0x12210;
    rDP1_2 =0xa5a5;
    rDP4_7 =0xba5da65;
    rDP3_5 =0xa5a5f;
    rDP2_3 =0xd6b;
    rDP5_7 =0xeb7b5ed;
    rDP3_4 =0x7dbe;
    rDP4_5 =0x7ebdf;
    rDP6_7 =0x7fdbfef;
    // enable,8B_SINGL_SCAN,WDLY=8clk,WLH=8clk.
    rLCDCON1=(1)|(INVCLK<<4)|(DISMODE<<5)|(MMODE<<7)|(WDLY<<8)|
(WLH<<10)|(CLKVAL<<12);
}

```

5.4.2 屏幕刷新子程序

在初始化子程序中，我们设定主存储空间 0xc500000 地址开始的 320×240byte 的地址空间是显存空间。屏幕刷新子程序的工作，就是要更新显存空间

中与屏幕相应位置的新数据。

(1) 初始化界面显示子程序

我们对初始化显示界面进行了取模，放在 `gImage_5[76800]` 这个数组里，通过一个循环程序更新显存区间，界面便显示在 LCD 屏幕上。

初始化界面显示子程序如下：

```
Lcd_Init();  
temp=VideoSTADDR;  
for(i=0;i<76800;i=i+4)  
{  
    Byte_WR(temp+i, gImage_5[i+4]);  
    Byte_WR(temp+i+1,gImage_5[i+3]);  
    Byte_WR(temp+i+2,gImage_5[i+2]);  
    Byte_WR(temp+i+3,gImage_5[i+1]);  
}
```



Figure 5-2 LOGO of DSO

图 5-2 数字存储示波器的启动界面

启动界面显示如图 5-2 所示。

(2) 波形刷新子程序

波形刷新程序主要是根据通道参数，如衰减指数、放大指数、是否反相等对采集到的数据做相应的变换，以正确的比例显示在屏幕上。

波形刷新子程序如下：

```
void displaylcd(char num)
{
    unsigned int *pbuffer;
    int i,j=0;
    int maxp;
    maxp = LCD_XSIZE * LCD_YSIZE / LCD_DEP;
    pbuffer =(U32*) frameBuffer256;
    if (num == 1)
    {
        for(i=0,j=0;i<maxp;i++,j=j+4)
        {
            pbuffer[i]=(plmmBitmap1[j]<<24)+(plmmBitmap1[j+1]<<16)+(plmmBit
            map1[j+2]<<8)+plmmBitmap1[j+3];
        }
    }
    else if (num == 2)
    {
        for(i=0,j=0;i<maxp;i++,j=j+4)
        {
            pbuffer[i]=(plmmBitmap2[j]<<24)+(plmmBitmap2[j+1]<<16)+(plmmBi
            tmap2[j+2]<<8)+plmmBitmap2[j+3];
        }
    }
    else if (num == 3)
```

```
{  
  for(i=0,j=0;i<maxp;i++,j=j+4)  
  {  
    pBuffer[i]=(plmmBitmap3[j]<<24)+(plmmBitmap3[j+1]<<16)+(plmmBit  
    map3[j+2]<<8)+plmmBitmap3[j+3];  
  }  
}  
}
```

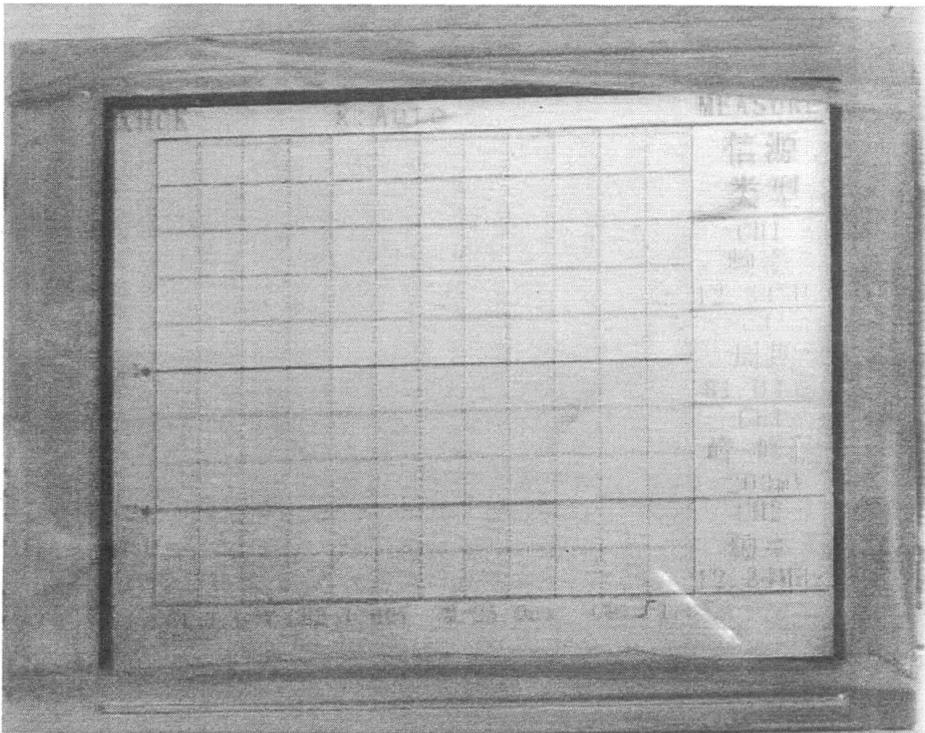


Figure 5-3 The Wave of Data Acquire

图 5-3 数据采集界面

系统在工作时，采集的数据的 LCD 显示情况，如图 5-3 所示。

5.5 键盘子程序设计

为了提高系统的效率，我们键盘的设计采用了中断相应的方式。任何一个按键按下，都会引起中断。进入中断服务子程序中，我们再分析是哪一个按键按下

了，设置相应的控制字。

(1) 中断初始化子程序

```
void key_exint_inti(void)
{
    pISR_EINT=(int)keyboard;
    rINTMSK =~(BIT_GLOBAL|BIT_EINT4567);
}
```

(2) 中断服务子程序

```
void __irq keyboard(void)
{
    rINTMSK=BIT_GLOBAL|BIT_EINT4567;
    switch(rEXTINTPND)
    {
        case 1:key_raw1();
        rEXTINTPND|=0x1;
        break;
        case 2: key_raw2();
        rEXTINTPND|=0x2;
        break;
        case 3: key_raw3();
        rEXTINTPND|=0x4;
        break;
        case 4: key_raw4();
        rEXTINTPND|=0x8;
        break;
        default: Unknow();
        break;
    }
    if(flag==0)
```

```

    flag=1;
else
    flag=0;
dely(20);
rEXTINTPND=0xf;
rI_ISPC = BIT_EINT4567;
rINTMSK=~(BIT_GLOBAL|BIT_EINT4567);
}

```

程序最后对 flag 的判断和延时语句，对去处键盘抖动。

5.6 串口通讯子程序设计

内部数据通过并行总线到达发送单元后，进入 FIFO 队列，然后再从发送移相器通过 TXDn 引脚发送出去。但是为了与计算机通用串行口兼容，还需要使用 MAX3232 芯片将 3.3V 的 TTL / CMOS 电平转换成与普通串行口兼容的信号后，用于与外设进行通信。数据接收的过程刚好相反，外部串口信号需先经 MAX3232 做电平转换，然后由 RxDn 进入接收移相器，经过转换后放到接收 FIFO 队列中，最后到达数据总线，由 CPU 进行处理或直接送到存储器中 (DMA 方式下)。

(1) 串口初始化子程序

```

static int whichUart=0;
//串口初始化
void Uart_Init(int mclk,int baud)
{
    int i;
    if(mclk==0)
        mclk=MCLK;
    rUFCON0=0x0;    //FIFO disable
    rUFCON1=0x0;
    rUMCON0=0x0;
    rUMCON1=0x0;
}

```

```
//UART0
    rULCON0=0x3;    //Normal,No parity,1 stop,8 bit
    rUCON0=0x245;  //tx=edge,tx=level,disable timeout int.,enable rx error
int.,normal,interrupt or polling
    rUBRDIV0=( (int)(mclk/16./baud + 0.5) -1 );
//UART1
    rULCON1=0x3;
    rUCON1=0x245;
    rUBRDIV1=( (int)(mclk/16./baud + 0.5) -1 );
    for(i=0;i<100;i++);
}
//串口通道选择
void Uart_Select(int ch)
{
    whichUart=ch;
}
(2) 串口通讯子程序
char UART_Getch()
{
    if(whichUart == 0)
    {
        while(!(rUTRSTAT0 & 0x1));//准备接收数据
        return RdURXH0();
    }
    else
    {
        while(!(rUTRSTAT1 & 0x1));//准备接收数据
        return rURXH1;
    }
}
```

```
}  
void Uart_SenByte(int data)  
{  
    if(whichUart == 0)  
    {  
        if(data == '\n')  
        {  
            while(!(rUTRSTAT0 & 0x2));  
            Delay(10); //因为超级终端的响应慢  
            WrUTXH0('\r');  
        }  
        while(!(rUTRSTAT0 & 0x2)); //一直等到 THR 为空  
        Delay(10);  
        WrUTXH0(data);  
    }  
    else  
    {  
        if(data == '\n')  
        {  
            while(!(rUTRSTAT1 % 0x2));  
            Delay(10); //因为超级终端的响应慢  
            rUTXH1 = '\r';  
        }  
        while(!(rUTRSTAT1 & 0x2)); //一直等到 THR 为空  
        Delay(10);  
        rUTXH1 = data;  
    }  
}
```

其中, UART_Getch() 是接收字符的实现函数; Uart_SenByte() 是发送字符的实

现函数。

第六章 结论与展望

经过一年多的项目分析、论证、设计、制作及调试,现已完成本课题的设计任务,完成了可编程数字存储示波器的制作。

本设计主要完成了以下几点:

1. 数据采集系统的研究与设计。采用无源器件网路组成的模拟通道对信号进行衰减,采用高带宽的运算放大器对信号放大及阻抗变换,采用高速模数转换器件 AD9480 对需要采集的模拟信号进行模数转换。

2. 数据处理系统的研究与设计。采用 ARM 微控制器 S3C44B0X 作为整个系统的控制和处理核心,对所采集到的数据进行处理,并把处理后的数据送 LCD 显示模块显示,复原波形。

3. 基于 FPGA 片上 RAM 高速数据传输的研究与设计。采用 Cyclone 系列的 FPGA 芯片的片上 RAM 资源,设计双端口 RAM 对数字化波形进行存储,并把数据向 ARM 微控制器数据总线高速传输数据。

4. 显示控制电路实现。基于 S3C44B0X 的 LCD 控制器,将采集数据在 256 色的高分辨率的 LCD 模块上显示,并显示波形的某些参数,比如频率,幅度等。

5. ARM 与外部接口电路的设计。通过 MAX3232 的电平转换电路,实现 RS232 的串行通讯接口设计。

同时本设计还存在很多不足,可在以下几点继续研究:

1. 本课题只采用了实时采样技术,采样率很低。建议以后对基于非实时采样的等效采样技术做研究,提高系统的带宽。

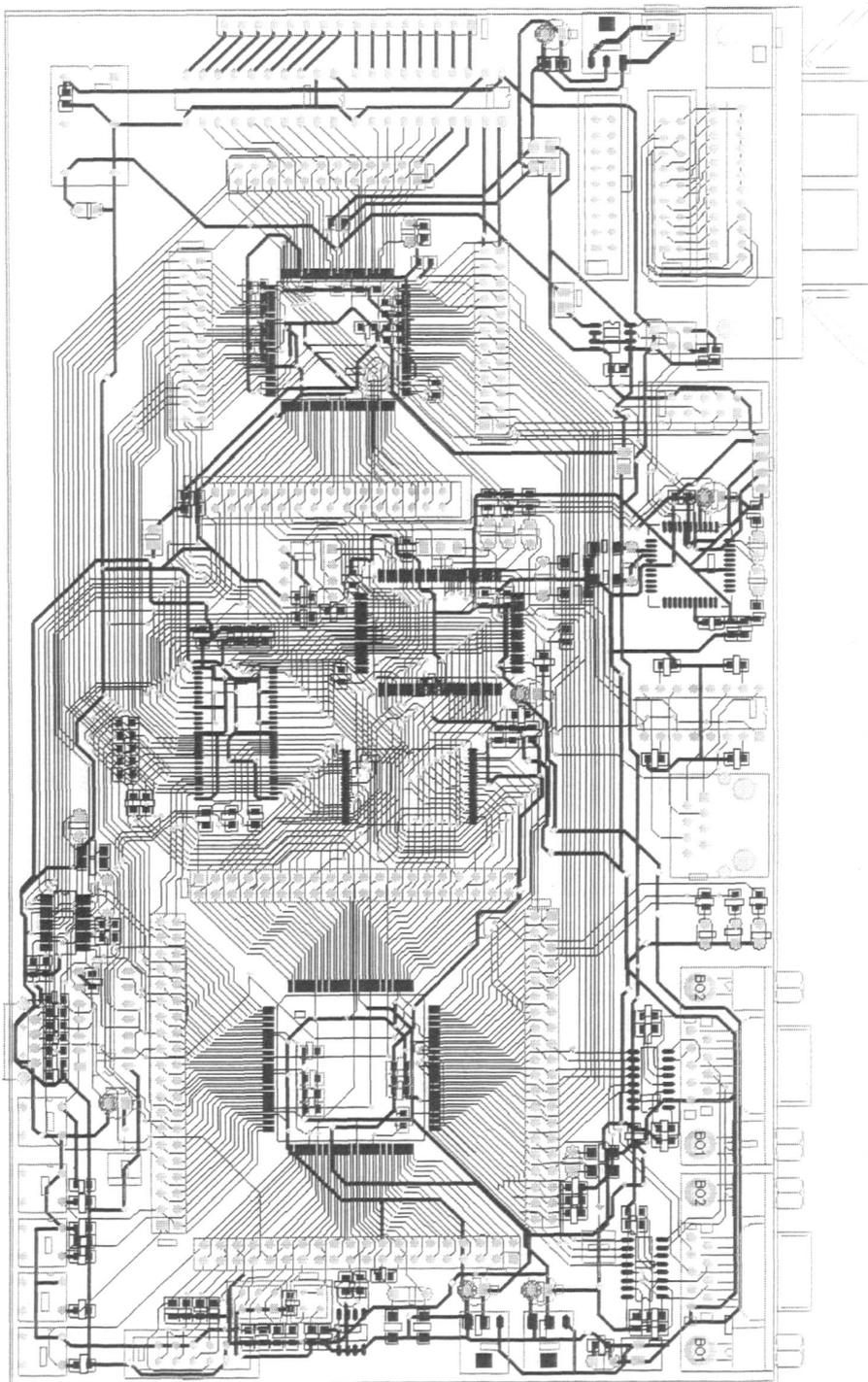
2. 本课题设计只采用了内部电平触发的方式,触发方式过于单一和简单。建议以后对触发电路做更多的研究,引入更多的触发源(如外触发和电源触发),实现更多更灵活的触发方式。

本系统是 ARM+FPGA 的系统架构,基于共享存储器的结构设计。一方面系统同时具有了 ARM 处理器的低功耗和 FPGA 的灵活性的特点,另一方面,基于共享存储器的结构,使我们从高速 ADC 转换过来的数据直接存储到系统的内存中,使数据采集的效率大幅度的提高。从总体上说,本设计产品是一个低价的,性能指标也相对降低的符合市场需求的一类检测仪器,在后续的改进中,本设计

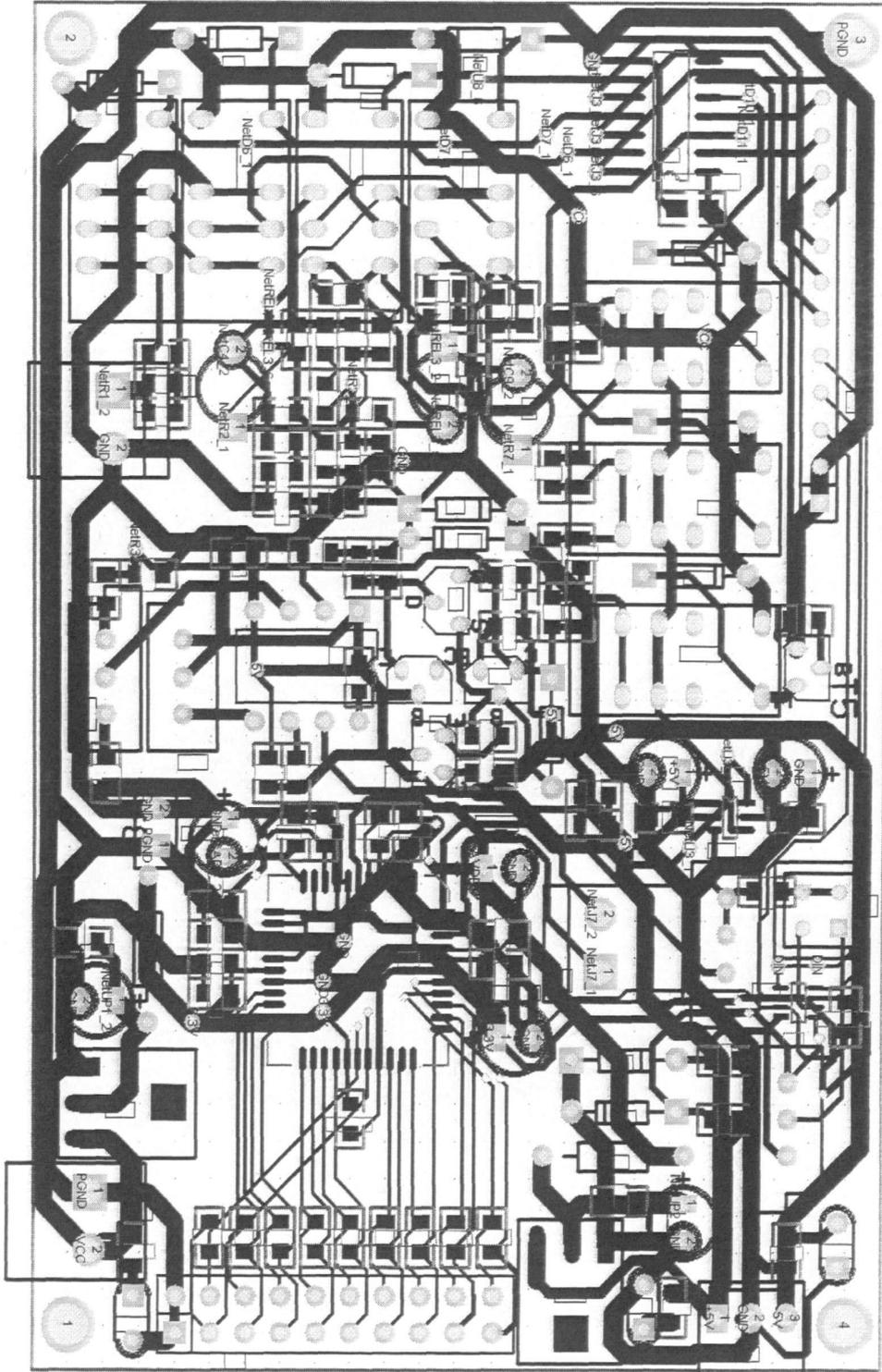
可以作为一个很好的基础，具有很大改进和提升的空间。

附录

(1) 数据处理系统 PCB



(2) 数据采集系统PCB



参考文献

- [1]林占江,等. 电子测量技术. 北京:电子工业出版社, 2003. 3-5
- [2]蒋焕文,孙续,等. 电子测量(第二版). 北京:中国计量出版社, 1998. 4-5
- [3]李广军,王厚军等. 可编程 ASIC. 北京:电子工业出版社, 2004. 3-5
- [4]吴继华,王诚, Altera FPGA/CPLD 设计(基础篇). 北京: 电人民邮电出版社, 2005. 7
- [5] SAMSUNG Electronics. S3C44BOX User' s Manual, 2004
- [6]王志辉. 数字示波表控制电路及GUI的设计与实现:[硕士学位论文]. 成都:电子科技大学, 2006
- [7]董作霖. 信号与系统. 北京:北京理工大学出版社 2007. 6
- [8]Analog Devices, Inc. AD8129/ AD8130 References Manual. 2005
- [9]童诗白,华成英. 模拟电子技术基础—3版. 北京:高等教育出版社, 2001
- [10]Analog Devices, Inc. AD9480 References Manual. 2005
- [11]National Semiconductor. LVDS Owner' s Manual. Spring 2004
- [12]ARM Limited. ARM7TDMI (Rev4) Technical Reference Manual. ARM DDIO192A, 2000
- [13]TRULY SEMICONDUCTORS LTD. MCT-G320240DTSW-283W Revision: 1.0 Jan. 5. 2006
- [14]MOTOROLA ANALOG IC DEVICE DATA. MC34063A Rev 5, 1996
- [15]Maxim Integrated Products. MAX3232 References Manual. 1999

在校期间发表论文

- 2006.4 “ICR 在数字存储示波器功能扩展中的应用”《西华大学学报:自然科学版》，第二作者
- 2007.5 “单片机 ISP/IAP 技术在复印制版一体机中的应用”《西华大学学报:自然科学版》，第一作者

致 谢

对于本论文的各项工 作，我的导师杨景常教授给予了热情的关怀和悉心的指导，从论文的选题到论文的审阅均浸透着他辛劳的汗水。在我近三年的研究生生活期间，杨老师在各方面给我以关怀和照顾，以他严谨的治学态度、一丝不苟的工作作风、丰富的教学实践经验，使我受益匪浅，使我在研究生阶段各方面的能力都有了很大的提高。

同时，在课题设计中，教研室的各位同学都在各方面给予了我极大的支持、热情的鼓舞和无私的帮助，在此同样表示衷心的感谢。

最后，我要感谢我的家人。感谢爸爸妈妈对我的培养，是他们默默地支持我走到今天；感谢哥哥和嫂子，他们的亲情始终是我前进的动力；感谢我的妻子郑国玲，感谢她在我遇到困难的时候给我的巨大鼓励和帮助，以及在生活上对我无微不至的关心和照顾。

谨以此论文献给我的家人，尽管他们的生活与示波器无关！