

中文摘要

近几十年来,随着无线通讯技术的不断发展,人类已基本实现随时随地通信的梦想,相应地,人类对高性能大容量无线通信系统的需求也越来越大。在这种形势下,射频与通信集成电路的研究已趋于白热化。

本论文主要对射频通信系统中的关键模块之一——低噪声放大器展开了一些研究和设计工作。本文设计的是用于无线局域网收发机射频前端,符合 IEEE 802.11b 标准规定的 2.4GHz CMOS 低噪声放大器。噪声系数是低噪声放大器最为重要的性能指标,因此本文讨论并总结了亚微米 MOS 管的高频噪声模型。本文对 CMOS 低噪声放大器的基本拓扑结构和主要性能指标做了一些总结,并从改善噪声系数、阻抗匹配、增益和线性度的等角度进行电路的设计,最终完成 SMIC 0.25 μ m 工艺的 2.4GHz CMOS 低噪声放大器的电路设计和版图设计。

由于平面螺旋电感对射频集成电路的性能有很重要的影响,因此本论文用 Ansoft HFSS 软件进行 FET (finite element method) 仿真,对平面螺旋电感做了一些研究。研究的结果表明,金属厚度对平面螺旋电感 Q 值的影响在很大程度上取决于电感内径的大小,并总结了设计平面螺旋电感应该遵循的原则,对于设计高性能平面螺旋电感具有重要的指导意义。

本文的最后一章对所做工作进行了总结。并对今后的工作提出了自己的看法和建议。

关键词: CMOS 低噪声放大器 片上平面螺旋电感 MOS 管的高频噪声
噪声系数 Q 值

ABSTRACT

With the development of the technology of wireless communication in recent decades, people have basically realized the dream of communication anywhere and anytime. At the same time, the demand for high-performance and large-capability wireless communication systems has been on a great upsurge. Under such circumstances, researchs in the field of radio and wireless communication IC become more and more heated.

One of the principal modules —Low noise amplifier have been discussed and design in the paper. According to IEEE 802.11b standard, research and design on 2.4GHz Low noise amplifier of WLAN transceiver RF front-end are done in this thesis.

For low noise amplifier within a CMOS wireless transceiver, low noise performance is very important, so high-frequency noise modeling of sub-micron MOSFET is discussed in the paper. Four common LNA architectures and main performance parameters of CMOS LNA are summarized in the thesis. The circuit and Layout design of 2.4GHz CMOS LNA in SMIC $0.25\mu m$ process are implemented, from the improvement of noise-figure, impedance match, gain and non-linearity performance and so on.

The research on on-chip planar spiral inductors by FEM simulation using Ansoft HFSS is done, since the on-chip planar spiral inductors have a significant effect on the performance of the RF circuits. According to the research results, it has been shown that the metal thickness effect on the Q-factor depends on the innermost turn diameter of the planar spiral inductor. At last, the guidelines for the on-chip planar spiral inductors are summarized, which is significant for the design of on-chip planar spiral inductors.

In the end of the paper, summary of previous work and suggestion for future

work are given.

Key words : CMOS Low-Noise Amplifier, Planar Spiral Inductor, MOSFET High-Frequency, Noise Figure, Q Value

原创性声明

本人声明：所呈交的论文是本人在导师指导下进行的研究工作。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已发表或撰写过的研究成果。参与同一工作的其他同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

签 名： 陈勇 日期 2005. 6. 21

本论文使用授权说明

本人完全了解上海大学有关保留、使用学位论文的规定，即：学校有权保留论文及送交论文复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容。

（保密的论文在解密后应遵守此规定）

签 名： 陈勇 导师签名： 杨 日期： 2005. 6. 12

第一章 绪论

1.1 引言

射频通常是指 250MHz 到 30 GHz 的无线通信频段，但在个人移动通信中，应用最多的是 800MHz-2.5GHz 的无线频段。无线通信系统因高度机动性、灵活性而使它的应用日益广泛，预计到 2010 年，无线通信用户将超过有线通信用户达到 10 亿人^[1]。这种潜在的市场造成了对射频集成电路的巨大需求。原来的混合电路由于不能满足低成本、低功耗和高集成度的要求，而必然要被集成度越来越高的集成电路所取代，并最终形成单片射频收发机芯片。

典型的射频收发设备除了对功耗、速度、成品率等性能的要求外，还要考虑噪声、线性范围、增益等指标。在硅 CMOS、BiCMOS、双极工艺、GaAs MESFET、异质结双极晶体管(HBT)、GeSi 器件等众多工艺中，虽然硅 CMOS 的高频性能和噪声性能不是最好的，但是由于它的工艺最为成熟、成本最低、功耗最小、应用也最为广泛，且随着工艺水平的不断提高，硅 CMOS 的频率特性和噪声特性正在逐渐得到了改善。重要的是，只有采用硅 CMOS 工艺才能最终实现单片集成。因此，CMOS 射频集成电路是未来的发展趋势^[2]。近几十年来，世界各国的研究人员在 CMOS 射频集成电路的设计和制作方面进行了大量的研究和探索，使 CMOS 射频集成电路的性能不断得以改善^[3]。乐观的估计，在最近几年里，CMOS 射频集成电路将彻底改变无线通信的面貌。

一个完整的射频收发系统包括 RF 前端和基带处理部分，RF 前端又称作收发器，它决定着整个系统的基本性能指标，如误码率、发射功率、信道的抗干扰能力等。而低噪声放大器(LNA)是 RF 前端的最前端，它直接感应天线接收到的微弱信号，并对其放大，然后传递给后级进行处理，是整个接收通道最关键的模块之一。因为无线局域网(Wireless LAN)系统是很多无线网络标准中的一种。在不远的将来，无线局域网将会和互联网一样变得越来越稳定和值得信赖并逐渐成为一种主流的通信方式。因此，本文主要研究 2.4GHz RF IEEE802.11b WLAN 系统集成芯片中低噪声放大器(LNA)的设计。

1.2 研究现状及存在的问题

近年来, 射频集成电路 (RF IC) 的应用和研究得到了飞速的发展, CMOS 射频集成电路的研究更是成为该领域的研究热点。低噪声放大器是射频接收机中的一个关键, 它位于接收机系统的第一级, 决定着接收机系统的整体噪声系数。在 CMOS 射频接收前端, 低噪声放大器大约占前端功耗的一半左右, 由于低功耗和低噪声是一对矛盾, 在设计时需要权衡考虑。

现在几个应用比较多的无线频段有欧洲 433MHz 的 ISM 段, 应用于手机 GSM 的 900MHz 和 1.8GHz, 应用于蓝牙 (Bluetooth) 的 2.4GHz, 以及应用于 WLAN 的 2.4GHz 和 5GHz, 这些频率都可以用目前的 CMOS 工艺来实现, 目前已有相应的少量产品问世。

由于 CMOS 射频集成电路是一门比较新的研究领域, 国外也是刚刚起步, 这对国内的集成电路行业是一个很好的发展契机。

但是, 目前仍然有许多问题需要研究和解决, 尤其是射频 MOS 管的建模问题以及高性能电感的实现。一方面是 MOS 管、片上电感、电容、衬底的寄生参数的提取问题, 另一方面是这些参数随偏置条件和特征尺寸的缩小而变化的问题。对这些问题的研究和解决, 将极大地降低射频集成电路的设计难度。

电感和电容是射频集成电路中必不可少的部分, 虽然它们已经可以在片上集成, 但是目前它们和片外的分立电容、电感相比还有很大的差距, 还不能完全满足射频电路的需要。CMOS 射频集成电路面临的主要问题就是无法得到高品质因数 (Q) 的无源器件。片上电感 Q 值与电感面积成比例关系, 在面积受限的情况下, 大幅提高 Q 值尚有一定的困难。

在电路实现方面, 一方面需要完善和提高各个模块的性能, 另一方面, 需要研究将整个前端整合到一个芯片上时各个模块之间的协同考虑和衬底的串扰问题。另外, 还需要考虑功耗和可测试性的问题。

随着特征尺寸的不断缩小, MOS 晶体管的截止频率得到了提高, 从而可以较为容易地实现较高工作频率的射频集成电路。然而, 特征尺寸的缩小却会带来其他方面的问题, 例如随着栅长的缩小, 沟道的电场场强增强, 漏端电流噪声增大等等。这些问题都必须认真考虑。

1.3 论文的主要工作

本文主要是研究符合 802.11b 标准, 应用于 2.4GHz 无线局域网 (WLNA) 射频收发机中的 CMOS 低噪声放大器 (Low Noise Amplifier, 简称 LNA) 的设计。近年来, 随着无线局域网的不断推广, 对无线收发机芯片的需求急剧上升。目前推向市场的无线局域网的收发机芯片主要垄断在 Intersil、Ti、Maximum 等几家大公司手中, 而且基于性能和成本的考虑, 这些产品都分为射频前端和基带处理部分, 分别采用 SiGe 工艺和 CMOS 工艺来实现。采用两种不同的工艺技术无疑提高了产品成本, 同时也无法实现单片集成的收发机, 因而成本和集成度成为无线局域网大规模推广应用的主要障碍。为了降低成本和提高集成度, 必须研究用 CMOS 工艺来实现射频芯片, 这样不但可以降低产品成本, 而且在解决了实现中的难点问题后, 可以将射频前端和基带处理部分集成在一块芯片上, 实现单片集成的收发机, 这必将推进整个无线局域网市场的发展。另外, 目前国内对射频前端芯片的研究还处于初级阶段, 研究采用 CMOS 工艺来实现无线收发机射频前端芯片可以提高我国在这一方面的研究水平, 其研制成功也将产生可观的经济效益。

本论文的主要工作是研究并设计用于 2.4GHz 无线局域网射频收发器中的 CMOS 低噪声放大器。着重对 MOS 管的高频噪声模型, 无源器件——电感, CMOS 低噪声放大器进行分析研究。目标是要满足该收发器分配给该模块的性能指标。

在 CMOS 射频集成电路中, MOSFET 的工作频率范围是 1~3GHz, 栅感应噪声以及源(漏)与衬底耦合而引起的寄生效应变得非常重要, 原来忽略栅感应噪声和寄生效应的 MOSFET 的低频模型已经不适用了, 有必要对该低频模型进行修正, 建立 MOSFET 的射频模型。因此, 对亚微米 MOSFET 的高频噪声模型进行建模是近年来的一个研究热点。结合本文所采用的工艺 (SMIC 0.25 μm CMOS 工艺), 本文对近年来 RFIC 中 MOS 管的高频噪声模型进行分析总结。

提高平面螺旋电感的品质因数 (Q 值) 是平面螺旋电感研究的焦点。本文通过模拟分析金属线厚度对电感 Q 值的影响, 发现当金属线厚度超过 10 μm 后, 是否要考虑邻近效应对电感总的串联电阻的贡献取决于电感内径的大小。随着金属线厚度的增加, Q 值的变化情况与电感内径的大小有很大的关系。当金属线厚度

超过 $10\mu\text{m}$ 时,通过调节电感的内径仍可以进一步改善电感的 Q 值。这是本文的研究成果之一。

本文的第三部分工作主要是完成 2.4GHz CMOS 低噪声放大器设计。研究发现:在输入管 M_1 的栅、源两端并联一个电容 C_0 ,可以减小放大器的噪声系数;在 M_1 的栅和地之间并联电容 C_g 可以改善低噪声放大器的输入匹配;通过在共栅管的漏源两端并联一个大 poly 电阻 R_d ,是改善放大器增益的方法之一。本文分别从理论的角度阐述缘由,并利用 Cadence 环境中的 Spectre RF 仿真器进行仿真,仿真的结果和理论分析结果相符。这是本文的另一项研究成果。

1.4 论文内容安排

本论文的内容安排如下:

第二章介绍 CMOS LNA 的几种基本拓扑结构并对它们进行的比较对照。阐明最终选择电感源极负反馈的共源共栅结构的低噪声放大器(LNA)的缘由。本文指出了 CMOS LNA 的主要性能指标,并在第二第三章对各个性能指标的由来和定义进行了简单的阐述,最后在第五章的实际电路设计中,根据具体情况对各个参数进行了优化,得到了符合要求的低噪声放大器。

第三章对 MOS 管的高频噪声模型进行了详细的分析。作为接收通道的射频前端,低噪声放大器的噪声性能决定着整个通路的噪声特性,进而决定了接收机的灵敏度。低噪声放大器的噪声性能还对接收机的动态工作范围起着重要的影响,可见,噪声性能优化是低噪声放大器设计的关键。然而,要设计更低噪声的 LNA,主要就是要降低 LNA 中各个有源器件(MOS 管)和无源器件的噪声,因此,对 MOS 管的高频噪声模型进行研究是至关重要的。本文对近期亚微米 MOSFET 的高频噪声模型的建模工作进行了归纳总结,以便对低噪声放大器的噪声性能进行优化。

第四章介绍了 CMOS 工艺的片上平面螺旋电感。电感的设计是 CMOS RFIC 工艺面临的又一个难题。射频集成电路的性能在很大程度上受电感影响,电路的性能会随着电感 Q 值的提高而得以改善。因此本文用了一章来总结对射频集成电路中的无源器件——平面螺旋电感的研究。

第五章给出了应用于 WLNA 收发器中的 2.4GHz 的 CMOS 低噪声放大器的电路设计、仿真结果和版图设计。

超过 $10\mu\text{m}$ 时,通过调节电感的内径仍可以进一步改善电感的 Q 值。这是本文的研究成果之一。

本文的第三部分工作主要是完成 2.4GHz CMOS 低噪声放大器设计。研究发现:在输入管 M_1 的栅、源两端并联一个电容 C_0 ,可以减小放大器的噪声系数;在 M_1 的栅和地之间并联电容 C_g 可以改善低噪声放大器的输入匹配;通过在共栅管的漏源两端并联一个大 poly 电阻 R_d ,是改善放大器增益的方法之一。本文分别从理论的角度阐述缘由,并利用 Cadence 环境中的 Spectre RF 仿真器进行仿真,仿真的结果和理论分析结果相符。这是本文的另一项研究成果。

1.4 论文内容安排

本论文的内容安排如下:

第二章介绍 CMOS LNA 的几种基本拓扑结构并对它们进行的比较对照。阐明最终选择电感源极负反馈的共源共栅结构的低噪声放大器(LNA)的缘由。本文指出了 CMOS LNA 的主要性能指标,并在第二第三章对各个性能指标的由来和定义进行了简单的阐述,最后在第五章的实际电路设计中,根据具体情况对各个参数进行了优化,得到了符合要求的低噪声放大器。

第三章对 MOS 管的高频噪声模型进行了详细的分析。作为接收通道的射频前端,低噪声放大器的噪声性能决定着整个通路的噪声特性,进而决定了接收机的灵敏度。低噪声放大器的噪声性能还对接收机的动态工作范围起着重要的影响,可见,噪声性能优化是低噪声放大器设计的关键。然而,要设计更低噪声的 LNA,主要就是要降低 LNA 中各个有源器件(MOS 管)和无源器件的噪声,因此,对 MOS 管的高频噪声模型进行研究是至关重要的。本文对近期亚微米 MOSFET 的高频噪声模型的建模工作进行了归纳总结,以便对低噪声放大器的噪声性能进行优化。

第四章介绍了 CMOS 工艺的片上平面螺旋电感。电感的设计是 CMOS RFIC 工艺面临的又一个难题。射频集成电路的性能在很大程度上受电感影响,电路的性能会随着电感 Q 值的提高而得以改善。因此本文用了一章来总结对射频集成电路中的无源器件——平面螺旋电感的研究。

第五章给出了应用于 WLAN 收发器中的 2.4GHz 的 CMOS 低噪声放大器的电路设计、仿真结果和版图设计。

电路设计、仿真结果和版图设计。

第六章是本论文的总结和展望。

第二章 CMOS 低噪声放大器

COMS 射频集成电路凭其低功耗、低成本和容易集成的优势而受到广泛的关注,到目前为止已有不少 CMOS 低噪声放大器、混频器、锁相环和收发芯片出现。本文着重研究设计单片集成的 2.4GHz 无线局域网 RF 前端芯片中的 CMOS 低噪声放大器。

2.1 LNA 的设计指标

低噪声放大器是射频接收机前端的关键模块之一。主要有四个特点:(1)它位于接收机的最前端,根据多级线性网络级联的噪声系数计算公式,其整机噪声系数基本上取决于前面单元模块的噪声系数。这就要求它的噪声越小越好。(2)为了抑制后面各级噪声对系统噪声的影响,并对接收到的微弱信号进行足够的线性放大,还要求有一定的增益,但为了不使后面的混频器过载,产生非线性失真,它的增益又不宜过大。而且由于受传输路径的影响,信号的强弱又是变化的,在接收信号的同时又可能伴随许多干扰信号混入,因此要求放大器有足够大的线性范围,而且增益最好是可调节的。(3)低噪声放大器一般通过传输线直接和天线或滤波器相连,故放大器的输入端必须和它们有很好的匹配,以达到最大功率传输或最小噪声系数。(4)应具有一定的选频功能,以及抑制带外和镜像频率干扰的能力,因此它一般是频带放大器。

由以上可归结出,在 LNA 的设计中有几项最主要的设计指标:噪声系数(NF)、增益(gain)、线性度(IIP3)、输入输出阻抗的匹配(VSWR)、输入输出间良好的隔离等。对于移动通信还有一个很重要的指标是低电源和低功耗。原因是移动通信中,接收机处于等待状态时,射频前端电路一直是工作的,因此低功耗是十分重要的^[4]。

下面简单分析影响这些指标的因素,特别要强调的是,所有这些指标都是相互牵连的,有些甚至是矛盾的。它们不仅取决于电路的结构,还取决于集成制造工艺。在设计中如何采用折衷的原则,兼顾各项指标,是很重要的。

(1) 噪声系数

噪声系数是低噪声放大器最关键的指标之一，也是设计中的主要考虑因素。实现低噪声的基本思路是：采用单管单级放大，以减小有源器件引入的噪声；因为电阻有热噪声，所以匹配网络宜用电感负反馈，而不宜用电阻负反馈。整个接收机所允许的噪声系数一般在 3dB 以下。

(2) 增益

低噪声放大器的增益要适中，一般增益在 10-20dB 之间。

(3) 输入阻抗匹配

对于一个射频通讯系统，通过天线接收到的是以电磁波的形式传播的功率信号，一般很弱，依据最大功率传输理论，当 LNA 的输入阻抗与天线的内阻互为共轭时，称作输入阻抗匹配，LNA 才能最大程度地接收该信号。该匹配是以获得最大功率传输和最小反射损耗为目的的共轭匹配。但是，低噪声放大器与其信号源之间还存在另一种匹配——以获得噪声系数最小为目的的噪声匹配。一般来说，实现最大传输功率所需的信号源阻抗与最小噪声系数所要求的信号源阻抗是不一致的，因此我们必须在 LNA 功率传输和噪声性能之间取得一个最优的折衷。在电路设计中，一般是在实现最大传输功率 50 Ω 匹配的情况下，使噪声系数尽可能小。S 参数中的 S_{11} 、 S_{22} 参数就反映了输入输出阻抗的匹配特性。

(4) 线性度

线性度主要由三阶互调截止点 IIP3 和 1 dB 压缩点来衡量。在讨论放大器的线性范围时需要注意三个问题：一是线性范围与器件有关，由于场效应管是平方率特性，因此它的线性要比双极型好；二是和电路结构有关，例如：加负反馈、单管放大改差分放大等。采用差动输入方式，输入信号的线性范围比单管大，因为差分输入，输出电流是两管输出电流之差，可以抵消放大器非线性失真的偶次谐波，进一步扩大了线性范围。三是输入端的阻抗匹配网络也会影响放大器的线性范围。

(5) 低功耗

移动通信还有一个很重要的指标是低电压和低功耗。降低功耗的根本方法是采用低电源电压、低偏置电流。但伴随的结果是晶体管的跨导减小，从而又引起晶体管及放大器的一系列其他指标的变化。

(6) 隔离度和稳定性

增大低噪声放大器的反向隔离可以减小本振信号从混频器向天线的泄漏。在超外差式接收机中, 由于 LNA 和混频器间一般接有抑制镜像干扰的滤波器, 且第一中频的数值较高, 本振信号频率位于滤波器通带以外, 因此本振信号向天线的泄漏较小。但我们采用的零中频方案中, 本振泄漏则完全取决于 LNA 的隔离性能。同时, LNA 的隔离度好, 减小了输出负载变化对输入阻抗的影响, 从而简化了输入输出端的匹配网络的调试。

放大器的稳定性是随着反向传输的减小, 即隔离性能的增加而改善的。

2.2 CMOS LNA 的基本结构

由于低噪声放大器的前一级通常是天线或者带通滤波器, 为了达到最大传输功率, 放大器的输入级应表现为 $50\ \Omega$ 的负载特性。而 MOSFET 的输入阻抗是容性的, 为了实现低噪声放大器和源阻抗匹配, 使 LNA 对外部电路表现为一个已知的电阻性阻抗, 一般采用图 2-1 所示的四种拓扑结构: 电阻端接, $1/g_m$ 端接: 旁路电阻反馈和电感源极反馈。

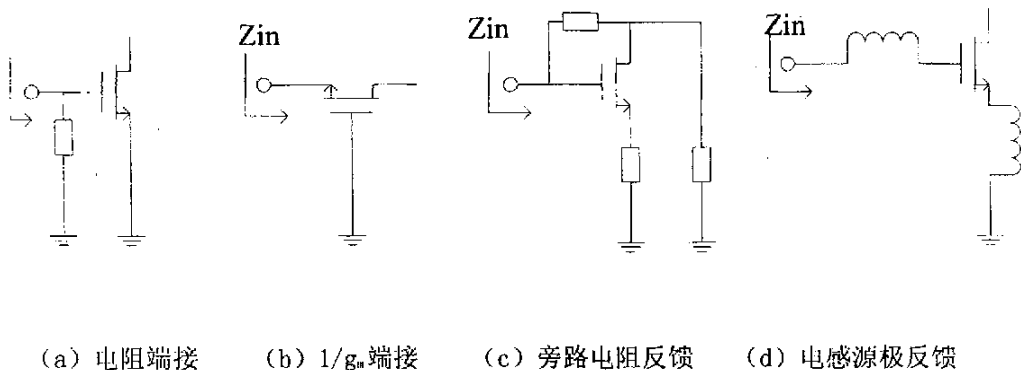


图 2-1 CMOS 低噪声放大器的四种拓扑结构

对于电阻端接结构, 如图 2-1 (a) 所示, 电阻 R 会贡献热噪声, 并且使晶体管前的信号衰减, 这两种效应合在一起会产生一个不可接受的噪声系数: $F \geq 2 + (4\gamma/\alpha)(1/g_m R)$, 在较高频率以及考虑栅噪声时, 噪声系数会更差, 将超过 3dB。

图 2-1 (c) 为旁路电阻反馈结构, 此方案适合于宽带放大, 由于它在放大之前, 不会使晶体管前的信号衰减, 所以它的噪声系数会比电阻端接结构的小一些, 但是与具有相同噪声性能的其他结构相比, 它的功耗较大,

且需要较多的集成电阻，不太适合 CMOS 工艺。

常用的窄带低噪声放大器用的最为广泛的两种拓扑结构是：图 2-1(b) 所示的共栅 (C-G) 放大器，即 $1/g_m$ 端接结构和如图 2-1(d) 所示的电感反馈的共源 (C-S) 放大器。

共栅 (C-G) 放大器，从源端看进去等效于一个电阻 $1/g_m$ ，其等效输入噪声为： $4\gamma kT\Delta f/g_m$ ，当通过调整 g_m 到阻抗匹配时，共栅放大器的噪声系数： $F=1+[G_u+R_n(G_c+G_s)^2]/G_s\geq 1+R_n(G_c+G_s)/G_s\geq 1+R_nG_s=1+\gamma/\alpha$ 。因此，噪声系数 (NF) 最小为 $1+\gamma/\alpha$ ，如 γ 取 $2/3$ ， α 取 1 ，则理论上的最小噪声系数为 2.2dB ，而实际的 NF 还会随 γ 增大而增大。在高频和考虑栅噪声时，噪声系数将明显变差。

共源放大器是通过调整 L_g, L_s 与 C_{gs} 的值，使得电路达到谐振状态来获得 50Ω 的输入阻抗。此时有：

$$Z_{in} = s(L_g + L_s) + \frac{1}{sC_{gs}} + \frac{g_m}{C_{gs}} L_s \quad (2.1)$$

$$R_m = \frac{g_m}{C_{gs}} L_s \quad (2.2)$$

$$\omega_0^2 = \frac{1}{C_{gs}(L_g + L_s)} \quad (2.3)$$

$$Q = \frac{1}{R_m C_{gs} \omega_0} \quad (2.4)$$

其中 Z_{in} 为输入阻抗， R_m 为谐振时的输入阻抗， ω_0 为谐振时的角频率， Q 为谐振电路的品质因数。由于电感本身并不引入噪声，因此这一电路结构在实现 50Ω 阻抗匹配的同时，又能得到最小的噪声系数。由此，电感源极负反馈的共源极放大器是使用最为普遍的一种电路结构。本文采用的就是这种结构。表 1 给出了四种 LNA 的噪声性能对比表。

在图 2-1(d) 共源 LNA 中，若偏置电流降低，则 C_{gs} 相应降低，由式 (2.4) 可知， Q 值会增大，此时电路对寄生电容很敏感^[5]，特别是 M1 的栅极对地电容会使输入阻抗偏离需要的匹配阻抗，造成信号的反射增大，

所以共源放大器很难工作于极低的功耗状态下。但共栅放大器可得到很低的功耗。

表 1: 忽略栅极电流噪声后四种匹配结构的噪声性能对比

输入结构	G_c	G_{opt}	NF
$1/g_m$ 端接	g_m	g_m	$1 + \frac{4\gamma}{\alpha}$
电阻端接	$\frac{1}{R}$	$\frac{1}{R}$	$\geq 2 + \frac{4\gamma}{\alpha} \frac{1}{g_m R}$
旁路电阻反馈	$\frac{1}{R}$	$\frac{1}{R}$	$2 + \frac{4\gamma}{\alpha} \frac{1}{g_m R}$
电感源极去耦	0	0	1

2.3 CMOS LNA 的增益

LNA 属于放大器, 增益自然是其指标之一。LNA 必须能向其下一级电路(混频器)输出适当的信号, 信号过小, 混频器无法检测; 信号过大又会造成混频器的过载, 使线性度恶化, 加重混频器线性指标的要求。而高增益意味着高偏置电流, 必然会导致低噪声放大器的功耗增大。因此, 低噪声放大器的增益必须设计在一个恰当的值, 一般取 10—20dB 左右。

放大器的增益除了与晶体管的跨导有关之外还与其负载有关, 跨导直接由工作点的电流决定。低噪声放大器是频带放大器, 它的选频功能由其负载决定。LNA 的负载一般有两种形式: 一是采用调谐的 LC 回路做负载, 并将下级混频器的输入电容并入回路电容, 形成频带放大, 既用于选频又可以提高增益; 二是 LNA 后面接集中选频滤波器, 为了便于应用, 滤波器的输入输出阻抗都做成 50 Ω , 选频功能由滤波器完成。一般来说, 负载阻抗都比较小, 增益不易做高, LNA 需采用两级放大。

LNA 从天线接收到的信号时强时弱, 而对混频器输出的信号又不能过载, 这就要求 LNA 的增益最好是可以控制的。增益可控既能抑制过大信号, 又能最大程度地放大弱信号。在通信电路中, 控制增益的方法一般有以下几种: 改变放大器的工作点, 由于 LNA 的增益与放大管的偏置有关, 故可通过改变放大管的偏置条件来实现增益可控; 改变放大器的负反馈; 改变放大器谐振回路的 Q 值等, 这些方法都是通过载波电平检测电路产生自动增益控制电压来实现的。

电感源极负反馈结构的设计目标是实现输入匹配和低噪声系数,一般情况下不能提供低噪声放大器所需的足够的增益。另一方面,由于 MOS 管的栅漏寄生电容 C_{gd} 的存在,会在 MOS 管的输入和输出端之间引起反馈,从而恶化 LNA 的噪声性能,同时使系统不稳定。因此这种结构低噪声放大器一般采用两级级联的结构,即在第一级源极负反馈的基础上,再加上第二级以增大增益和抑制第一级的栅漏寄生电容 C_{gd} 。对于第二级 MOS 管的连接方法可以采用两种结构:共源共栅结构和两级级联结构。图 2-2 给出了这两种结构的电路原理图。图 2-2 (b) 为两级级连结构,虽然两级级联结构能够提供比共源共栅结构更大的增益,但不能很好的抑制栅、漏间寄生电容。实际上,由于第二级也是共源结构,所以不仅第一级的栅、漏间寄生电容不能抑制,而且第二级的栅漏间寄生电容同样会使输入和输出端形成反馈。因此该两级级联结构并不是理想的结构,而共源共栅结构则是常用的结构,其优点在于在提供了足够大增益的同时,还可以抑制第一级的栅漏间寄生电容,使得输入输出端实现很好的隔离。这样不仅增强了噪声性能,还提高了稳定性。

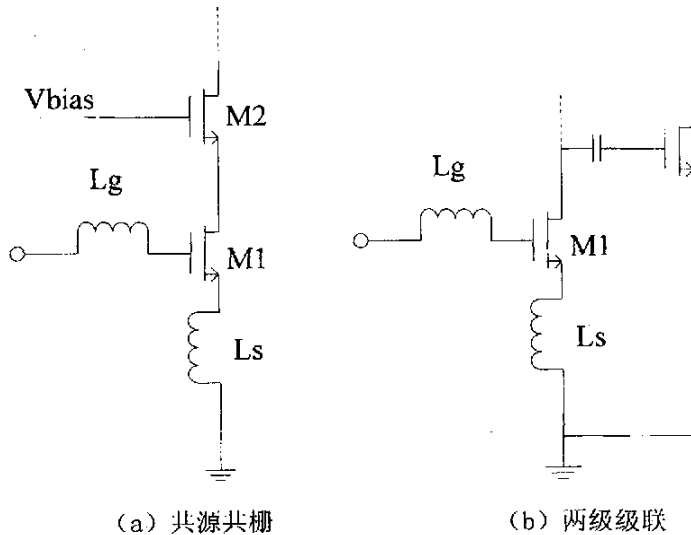


图 2-2 低噪声放大器的结构比较

2.4 CMOS LNA 的线性度

除了噪声系数,增益以及输入匹配以外,线性度也是一项重要的指标。对于有源器件构成的线性放大器来说,由于有源器件的非线性特性,当输入信号的幅度较小时,系统能将该输入信号线性放大;而当输入信号的幅度增大,放大器进

入了非线性区时，输出会产生失真。系统的非线性可以分为两种类型：即非线性失真效应和非线性干扰效应。非线性失真效应是输入信号产生的失真，非线性干扰效应是输入信号和干扰信号所产生的失真。通常，非线性失真效应以增益压缩表示，非线性干扰效应以三阶互调表示。因为整个接收机的非线性通常由后面几级电路如混频器等所制约，所以对低噪声放大器的线性度的关注远远低于对噪声系数的关注。但是有些应用场合要求低噪声放大器有很高的线性度，因此对其线性度的研究仍然是十分有意义的。本节主要给出描述非线性的参数（1dB 压缩点、三阶截止点 IP3）的定义，并给出级联系统的三阶交调点的表达式。第五节再详细讨论本文所采用的共源共栅结构的非线性。

2.4.1 1dB 压缩点和三阶截止点 IP3 的定义

通常 MOS 管可以看作无记忆时变系统，由 MOS 管构成的放大器可以认为是无记忆系统，输出可以用幂级数表示为：

$$y(t) = a_0 + a_1 x(t) + a_2 x^2(t) + a_3 x^3(t) + \dots \quad (2.5)$$

其中， $X(t)$ 是系统输入， a_n 是第 n 节非线性常数，可以表示为：

$$a_n = \frac{1}{n!} \frac{\partial^n f(x(t))}{\partial x^n(t)} \quad (2.6)$$

假定输入信号是振幅为 A ，频率为 ω 的正弦函数，代入 (2.5) 式，可得到输出信号为：

$$y(t) = \left(a_0 + \frac{a_2}{2} A^2 \right) + \left(a_1 + \frac{3}{4} a_3 A^2 \right) A \cos(\omega x) + \frac{a_2}{2} A^2 \cos(2\omega x) + \frac{3}{4} a_3 A^2 \cos(3\omega x) + \dots \quad (2.7)$$

根据式 (2.7)，输出的基频分量为 a_3 的函数，由 a_3 的正负决定失真是增益压缩还是增益扩张。通常，增益压缩用 1dB 压缩点度量。当晶体管放大器信号增大出现饱和后，使增益比线性放大器增益下降 1dB 所对应的输入信号幅度值 V_{in} 称为 1dB 压缩点（1dB Gain Compression Point）。若输入输出均用 dB 表示，1dB 压缩点如图 2-3 所示。

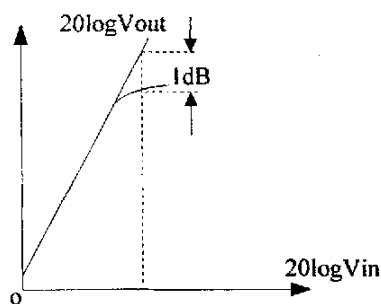


图 2-3 1dB 压缩点

若输入信号是振幅为 A ，频率分别为 ω_1 和 ω_2 的两个正弦量，代入 (2.5)，可得输出信号为（忽略 3 阶以上的分量）：

$$\begin{aligned}
 y(t) = & \left(a_0 + a_2 A^2 \right) + \left(a_1 + \frac{9}{4} a_3 A^2 \right) A [\cos(\omega_1 t) + \cos(\omega_2 t)] \\
 & + \frac{a_3}{2} A^2 [\cos(2\omega_1 t) + \cos(2\omega_2 t)] + \frac{a_3}{4} A^3 [\cos(3\omega_1 t) + \cos(3\omega_2 t)] \\
 & + a_2 A^2 [\cos(\omega_1 + \omega_2)t + \cos(\omega_1 - \omega_2)t] \\
 & + \frac{3}{4} a_3 A^3 [\cos(\omega_1 \pm 2\omega_2)t + \cos(2\omega_1 \pm \omega_2)t] + \dots
 \end{aligned} \quad (2.8)$$

由式 (2.8) 可见，当两个频率十分接近的信号输入放大器时，由于器件的非线性产生的许多组合频率分量中，有可能落在放大器频带内的频率分量除了基波外，还可能有组合频率 $\omega_1 \pm 2\omega_2$ 和 $2\omega_1 \pm \omega_2$ 。我们称此组合频率 $\omega_1 \pm 2\omega_2$ 和 $2\omega_1 \pm \omega_2$ 为三阶互调量，如图 2-4 所示。由于三阶互调量和基频相近，会严重干扰输出信号，所以通常以三阶互调失真表示非线性干扰失真，以“三阶截止点 IP3”（third-order intercept point）来描述三阶互调失真的程度。如果不考虑基频中的 $9a_3 A^3 / 4$ 项，随着信号幅度 A 的增大，三阶互调功率达到和基波功率相等时，所对应的输入信号幅度或功率称为输入三阶互调截止点 IIP3，所对应的输出信号幅度或功率称为输出三阶互调截止点 OIP3（一般在放大器中常用 OIP3 做参考）。如图 2-5 所示。

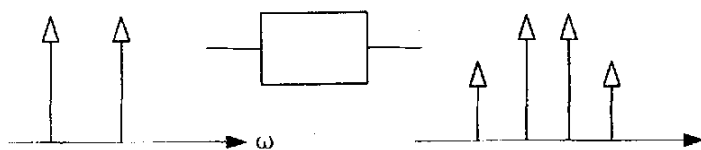


图 2-4 非线性系统的三阶交调

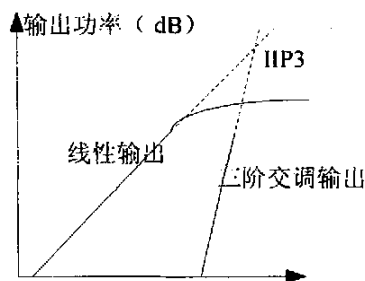


图 2-5 三阶互调截至点

由式 (2.8), 可得:

$$|a_1 A| = \left| \frac{3}{4} a_3 A^3 \right| \Leftrightarrow A^2 = \frac{4}{3} \left| \frac{a_1}{a_3} \right| \quad (2.9)$$

以信号幅度表示的 IIP3 点为:

$$IIP3 = \frac{4}{3} \left| \frac{a_1}{a_3} \right| \quad (2.10)$$

此时的幅度 A_{IIP3} 可表示成:

$$A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{a_1}{a_3} \right|} \quad (2.11)$$

三阶互调失真又可以 dBm 形式表示如下:

$$IIP3 = 10 \log \frac{2}{3} \frac{1}{R_s} \left| \frac{a_1}{a_3} \right| \quad (2.12)$$

2.4.2 多级级联系统的非线性

对于多级级联组成的射频系统, 系统总的非线性也可以用单级非线性表示出来。其实, 系统总的非线性与每一级的非线性关系如何, 如何将每一级的非线性折算到系统的输入端, 这是很重要的问题。

现以两级系统为例来说明, 如图 2-6 所示。

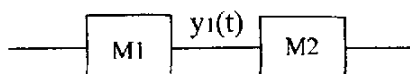


图 2-6 级联的非线性示意图

由式 (2.5), 忽略三阶以上的非线性, 可以将 M_1 和 M_2 的非线性性表示为:

$$y_1(t) = a_1 x(t) + a_2 x^2(t) + a_3 x^3(t) \quad (2.13)$$

$$y_2(t) = \beta_1 x(t) + \beta_2 x^2(t) + \beta_3 x^3(t) \quad (2.14)$$

其中, α, β 分别为泰勒级数的系数。将式 (2.14) 代入 (2.13) 得:

$$y_2(t) = a_1 \beta_1 x(t) + (a_2 \beta_1 + a_1^2 \beta_2) x^2(t) + (a_3 \beta_1 + 2a_1 a_2 \beta_2 + a_1^3 \beta_3) x^3(t) \quad (2.15)$$

由式 (2.10) 可知, 级联系统的三阶截止点为:

$$IIP3^2 = \left| \frac{4}{3} \frac{a_1 \beta_1}{a_3 \beta_1 + 2a_1 a_2 \beta_2 + a_1^3 \beta_3} \right| \quad (2.16)$$

式 (2.16) 中, 分子和分母可以为正值或负值, 考虑最坏情况, 设均为正值, 有:

$$\begin{aligned} \frac{1}{IIP3^2} &= \frac{4}{3} \left| \frac{a_3 \beta_1 + 2a_1 a_2 \beta_2 + a_1^3 \beta_3}{a_1 \beta_1} \right| = \frac{4}{3} \left| \frac{a_3}{a_1} + \frac{2a_2 \beta_2}{\beta_1} + \frac{a_1^2 \beta_3}{\beta_1} \right| \\ &= \frac{1}{IIP3_1^2} + \frac{3a_2 \beta_2}{2\beta_1} + \frac{a_1^2}{IIP3_2^2} \end{aligned} \quad (2.17)$$

其中, $IIP3_1$ 、 $IIP3_2$ 分别为第一级和第二级的输入三阶互调截点。式 (2.17) 中, 如果增益 a 远大于 1, 则第二级的线性度所占的比例远大于第一级。因此, 级联系统中, 后级电路的线性度要求更严格, 与噪声系数正好相反。这也说明了对低噪声放大器对线性度的要求并不是很高。

对于多级级联系统, 可以通过类推得到其非线性的一般表达式。以信号幅度表示的级联系统的总的 $IIP3$ 点可表示为:

$$\frac{1}{IIP3^2} = \frac{1}{IIP3_1^2} + \frac{a_1^2}{IIP3_2^2} + \frac{a_1^2 a_2^2}{IIP3_3^2} + \dots \quad (2.18)$$

以信号功率表示的级联系统的总的 $IIP3$ 线性度可表示为^[6]:

$$IIP3(dB) = -\log \left[\frac{1}{IIP3_1} + \frac{1}{IIP3_2 / A_1^2} + \frac{1}{IIP3_3 / (A_1^2 A_2^2)} + \dots \right] \quad (2.19)$$

其中 $IIP3_i$ 是第 i 级电路的 $IIP3$, A_i 是第 i 级电路的电压增益。

由 (2.19) 式可以看出, 如果低噪声放大器以共源共栅结构实现, 则可以将该结构分为两级, 对第一级须进行噪声优化, 而第二级需进行线性度优化以便达到最优的性能。另外, 由于低噪声放大器所接收到的信号一般都较弱, $-1dB$ 压缩点往往不是很严重的线性度问题, 而在有用信号频率附近不可避免地存在干扰

信号, 因此, 三阶互调在电路设计时必须要考虑。因此在本文后续章节中主要讨论 IIP3。有了系统的 IIP3, 通过换算, 也能得到表示线性度的其他参数。

2.5 电感源极负反馈的共源共栅 LNA

根据前面章节对 RF LNA 的基本结构的分析比较, 以及 2.4GHz 无线局域网 RF 前端芯片的性能要求, 本文应选用的结构为电感源极负反馈的共源共栅放大器。这种结构的最大好处就是不必引入一个真正的电阻, 从而既实现了阻抗匹配, 又满足了 LNA 的低噪声的要求。这种结构在输入 MOS 管的栅极和源极引入了两个电感, 通过选择适当的栅极电感值, 使得输入回路在工作频率附近产生谐振, 从而抵消掉输入阻抗的虚部, 再通过选择适当的偏置条件和源极电感值, 使得输入阻抗得到一个 $50\ \Omega$ 的实部, 这个实部并不是真正的电阻, 因而它不会引入噪声。

但是场效应管极间电容 C_{gd} 的存在, 使工作于射频频段的共源放大器的性能受到了很大的影响。因此在射频波段时, 由 C_{gd} 引起的导纳不能被忽略, 即栅漏间不能被视为开路。该导纳值随着频率的升高或 C_{gd} 的增大而增加, 这便使得输入与输出端之间的相互影响增大。这一切最终会引起放大器增益减小, 噪声系数变大, 稳定性变差等一系列危害。为减小极间电容 C_{gd} 的影响, 我们采用共源共栅组合, 即共源共栅 (Cascode) 结构。共栅级起反向隔离的作用, 使得后接混频器的本征泄漏减小, 输出端到输入端的反馈减小, 电路的稳定性增强, 因此这种结构不仅减小了 C_{gd} 带来的 Miller 效应的影响, 同时也提高了 LNA 的增益和隔离度。整个电路的第一级起电压放大和输入匹配的作用; 第二级以电感为负载主要起输出阻抗匹配的作用。同时为了减小 LNA 的直流功耗和实现输出级的匹配, 输出级采用了输出缓冲级与输入放大级堆叠 (stack) 的电路结构^[7]。此外输出级的设计还可以采用跨阻输出级的设计方法^[8]。

如图 2-7 所示为共源共栅、源极采用电感负反馈形式的 LNA 交流通路图。

M_1 的源极反馈电感 L_s 和栅极电感 L_g 共同组成了输入匹配网络, C_{out}, L_d 和负载电容构成输出匹配网络, 两者均谐振于工作频率 ω_0 。虽然共栅极 M_2 有很低的输入阻抗, 它使 M_1 的电压增益 A_{v1} 很低, 接近于 1, 但共源极 M_1 有较高的电流

增益, 而 M_2 有较大的电压增益, 所以共源共栅级联放大器的功率增益较大。由于采用谐振回路作负载, 因此它是窄带放大器, 其带宽取决于电感 L_s 和 L_d 的 Q 值。

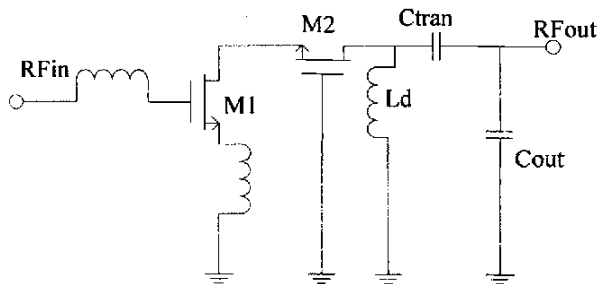


图 2-7 共源共栅 LNA 交流通路图

在忽略 M_2 体效应时, 共源共栅结构的 LNA 的交流等效电路图, 如图 2-8 所示。其中 C_{m1} 和 C_{m2} 分别为共源管电容 C_{gd} 根据米勒效应折算到栅、漏极的等效电容。电容 C_1 包含了共栅管中栅漏电容 C_{gd2} 及负载电容等。

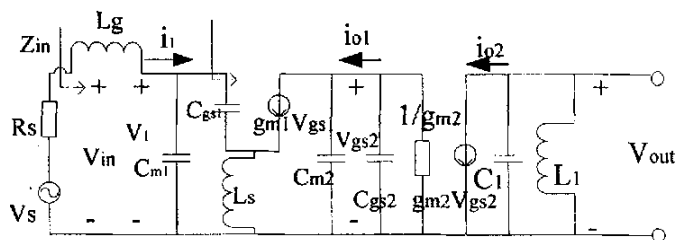


图 2-8 共源共栅等效电路图

考虑到 C_{gd} 对 Z_{in} 和 ω_T 的影响, 输入阻抗的表达式可修正:

$$Z_m = \frac{\omega_i L_s}{1 + 2 \frac{C_{gd}}{C_{gs}}} = \omega_{T,eff} L_s \quad (2.20)$$

可见, 使得输入阻抗变小, 截至频率也变小了。

2.6 小结

本章首先讨论了 CMOS 低噪声放大器的几种基本的电路拓扑结构, 并对其进行分析比较, 说明最后选择电感源极负反馈的共源共栅结构的 CMOS 低噪声放大器的缘由, 并在第五节简单分析介绍了该结构的放大器。其次讨论了 CMOS 低噪声放大器的几个主要的性能指标, 以及改善这

些性能指标的基本方法。

第三章 MOS 管的高频噪声

低噪声放大器位于接收通道的第一级,它的噪声特性将大大影响整个系统的噪声特性。噪声是低噪声放大器设计中的主要考虑因素,这也是低噪声放大器一词的由来。另外,从总体上来说,CMOS 器件的噪声特性比双极型器件(Bipolar)或 GaAs 器件的噪声特性差,因此,对于 CMOS 低噪声放大器的设计,噪声性能的优化更是设计的重点和难点。为了进一步优化低噪声放大器的噪声系数,有必要深刻理解各元件的噪声产生机理,并精确的模拟电路中各元件产生的噪声,估计系统的输出端噪声,这对电路的设计也是十分重要的。

目前,随着先进的亚微米 CMOS 工艺应用于射频芯片设计, MOSFET 的高频噪声模型显的更为重要,对亚微米 MOSFET 的高频噪声进行建模也是近年来的一个研究热点,因此本文对 RFIC 中 MOS 管的高频噪声模型的并结合本文所采用的工艺进行分析总结。

本章的第一节介绍噪声的基础理论;第二节则重点讨论 MOSFET 的高频噪声。

3.1 噪声的理论基础

有用信号之外的任何信号都可称之为噪声。电子系统中的噪声分为两类:人为噪声和固有噪声。人为噪声可以通过屏蔽系统减弱甚至彻底消除,而固有噪声,顾名思义,是系统所固有的,是不可消除的。因此,本文只讨论固有噪声。

本节主要讨论噪声的基础理论知识,为后续讨论 MOS 晶体管的高频噪声和整个 LNA 的噪声特性作准备。

3.1.1 噪声的表示和计量方法

噪声是一个随机过程,即在同一时间内,这一次观察和下一次观察会得出不同的结果。对于随机过程,不可能用某一确定的时间函数来描述。但是,它却遵循某一确定的统计规律,可以利用其本身的概率分布特点来充分地描述它的特性。一般采用噪声电压或噪声电流的平均值、方差、功率谱密度来描述。至于这

些基本的概念和数学方法，在相关的书中都有详细的说明，这里就不再赘述了。本文只简单介绍一些噪声系数的概念。

有噪系统的噪声性能可用噪声系数的大小来衡量。噪声系数定义为系统输入信噪功率比 $(SNR)_i=P_i/N_i$ 与输出信噪功率比 $(SNR)_o=P_o/N_o$ 的比值：

$$F = \frac{\text{输入端的信噪比}}{\text{输出端的信噪比}} = \frac{(SNR)_i}{(SNR)_o} = \frac{P_i/N_i}{P_o/N_o} \quad (3.1)$$

用分贝数表示：

$$NF(dB) = 10 \lg \frac{P_i/N_i}{P_o/N_o} = 10 \lg F \quad (3.2)$$

从上式可以看出，噪声系数表征了信号通过系统后信号噪声比变坏的程度。

3.1.2 电子器件中的噪声

这里所提及的电子器件主要是电阻、晶体管（包括双极型晶体管和场效应晶体管）以及电抗元件（电容和电感）等。在这些电子器件中存在的噪声，按照噪声的来源可以分为：热噪声、散射噪声（shot noise）、闪烁噪声、散弹噪声（popcorn noise）等。

热噪声 导体中电荷载流子（电子、空穴）无序热运动所产生的噪声。由于几乎没有绝对零度的环境，因而导体中的热噪声无法避免。这种噪声最早是 Johnson 于 1928 年由实验观察得到，其后 Nyquist 又从理论角度进行了定量的分析。计算一个有噪电阻在频带宽度为 Δf 的线性网络内的噪声时，可以看作是阻值为 R 的理想无噪电阻与一有噪声电流源并联，或阻值为 R 的理想无噪电阻与一个噪声电压源串联，如图 3-1 所示。根据 Nyquist 的定义，噪声均方电压或电流的表达式为^[3]：

$$\overline{v^2} = 4k_B TR \Delta f \quad (3.3)$$

$$\overline{i^2} = \frac{4k_B T \Delta f}{R} \quad (3.4)$$

式中 k_B 为玻尔兹曼常数，约为 $1.38 \times 10^{-23} \text{J/K}$ ， T 是绝对温度，一般为 290K， Δf 是噪声带宽。

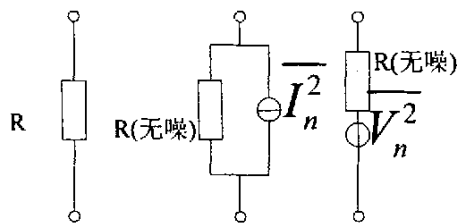


图 3-1 电阻的热噪声及等效电路

散射噪声 (shot noise) 散射噪声起源于载流子的粒子性, 是由 Schottky 于 1918 年最先提出来的。载流子越过一个能量势垒产生了一个不连续的电流脉冲, 造成直流电流的波动, 从而产生散射噪声。可见产生这种噪声必须满足的两个条件是: 1) 必须有直流电流流过; 2) 要有载流子可越过的势垒。对存在电位势垒的要求意味着散射噪声只与非线性器件有关, 线性电阻不会产生散射噪声, 但并不是所有非线性器件一定都显示出散粒噪声。散射噪声电流的大小取决于电子电荷、总的直流电流 (I_D) 以及带宽 Δf 。因此, 用来衡量该噪声的均方电流值为^[9]:

$$\overline{i^2} = 2qI_D\Delta f \quad (3.5)$$

式中的 I_D 是流过导体或器件的直流电流。

在 MOS 器件中栅漏电流 (I_D) 就会引起散射噪声。由于这一栅电流通常是非常小, 因此它不是一个显著的噪声源。

闪烁噪声 发现于所有的有源器件和一些分立的无源器件当中。闪烁噪声的起源随器件的不同而有所区别。对于双极型晶体管、场效应管而言, 由于在器件的制备过程中, 不可避免会引入一些污染杂质、晶体缺陷。这些杂质与缺陷会以一种随机而无序的方式捕获或释放载流子, 使得电流的大小发生无规则的微小的变化, 从而产生噪声。由于没有统一的理论, 这种噪声的定量公式包含了经验常数^[10]:

$$\overline{i^2} = K \frac{I^a}{f^b} \Delta f \quad (3.6)$$

其中 K 是经验参数, 与特定的器件有关, 也与器件所加的偏压有关; a 是常数, 取值范围为 $0.5 \sim 2$; b 也是常数, 值接近于 1。从 (3.6) 可看出, 闪烁噪声与 $1/f$ 成比例。因此, 闪烁噪声也称作 $1/f$ 噪声, 在高频情况下, 这种噪声往往可忽略。

散弹噪声 (popcorn noise) 除了以上几种主要的噪声源外, 许多硅晶体管, 尤

其是那些平面扩散的器件，还存在散弹噪声（popcorn noise）。所谓散弹噪声，其实是一种复合噪声，典型的表现形式是不等长，但等高的随机脉冲，有时这些脉冲相互叠加在一起。其均方电流值可以表示为^[10]：

$$\overline{i^2} = K \frac{I_c}{1 + \left(\frac{f}{f_c}\right)^2} \Delta f \quad (3.7)$$

K 是与器件有关的常数；c 也是常数，取值范围为 0.5~2； f_c 是一特定的频率。从 (3.7) 可看出，散弹噪声（popcorn noise）同闪烁噪声一样，也是低频噪声。

3.1.3 经典二端口网络噪声理论

图 3-2 为一个噪声源驱动一个有噪声的二端口网络，噪声源可以用一个容纳为 Y_s 与噪声电流为 $\overline{i_s}$ 并联的电路来等效。如果只关心整体的输入输出特性，就没有必要去跟踪所有内部的噪声源。这些噪声源就可以由置于输入端的两个噪声源来等效：一个和信号源串联的噪声电压源 $\overline{V_n^2}$ 和一个并联的噪声电流源 $\overline{I_n^2}$ ，而把该二端口网络看作一个无噪网络（其内部的所有器件均是理想无噪的），如图 3-3 所示。其中 $\overline{V_n^2}$ 是当输入端短路时，有噪网络的输出噪声功率等效到输入端的值，而 $\overline{I_n^2}$ 是当输入端开路时有噪网络的输出功率等效到输入端的值。

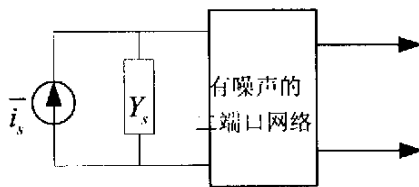


图 3-2 有噪声的二端口网络和噪声源

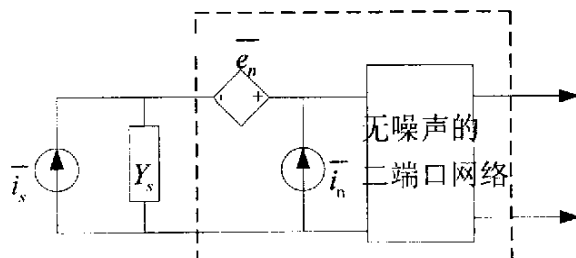


图 3-3 有噪声的二端口网络的等效噪声模型

根据一个系统的噪声系数定义：

$$NF = \frac{\text{总的噪声输出功率}}{\text{由于源噪声所引起的噪声输出功率}} \quad (3.8)$$

对于图 3-3 所示的等效噪声模型，如果源噪声 $\bar{i}_s$ 与二端口内部噪声无关，那么该二端口的噪声系数可以表示为：

$$NF = \frac{\overline{i_s^2} + \overline{[i_n + Y_s e_n]^2}}{\overline{i_s^2}} \quad (3.9)$$

通常情况下，二端口网络的噪声电流 i_n 和噪声电压 e_n 是相关的，因此将噪声电流 i_n 分为与 e_n 相关的部分 i_c 和与 e_n 不相关的部分 i_u 之和，即

$$i_n = i_c + i_u \quad (3.10)$$

由于 i_c 与 e_n 相关，所以 i_c 可表示为：

$$i_c = Y_c e_n \quad (3.11)$$

其中， Y_c 称为相关导纳。

由公式 (3.9—3.11) 可得噪声系数为：

$$NF = \frac{\overline{i_s^2} + \overline{[i_u + (Y_c + Y_s)e_n]^2}}{\overline{i_s^2}} = 1 + \frac{\overline{i_u^2} + \overline{e_n^2} |Y_c + Y_s|^2}{\overline{i_s^2}} \quad (3.12)$$

(3.12) 表达式包含了三个独立的噪声源，每个都可以看成是由一个等效电阻或电导产生的热噪声，即有：

$$R_n = \frac{\overline{e_n^2}}{4kT\Delta f} \quad (3.13)$$

$$G_u = \frac{\overline{i_u^2}}{4kT\Delta f} \quad (3.14)$$

$$G_s = \frac{\overline{i_s^2}}{4kT\Delta f} \quad (3.15)$$

$$NF = 1 + \frac{G_u + |Y_c + Y_s|^2 R_n}{G_s} = 1 + \frac{G_u + [(G_c + G_s)^2 + (B_c + B_s)^2]}{G_s} \quad (3.16)$$

因此，二端口噪声网络的噪声特性就由 G_c 、 B_c 、 R_n 和 G_u 四个参数来表征。对

(3.16) 式求源噪声导纳的一阶导数并使其为零得到:

$$B_s = -B_c = B_{opt} \quad (3.17)$$

$$G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} = G_{opt} \quad (3.18)$$

可见, 要得到最小的噪声系数, 源噪声的电纳要等于相关电纳的负值, 而源噪声的电导可用 (3.18) 式表示。

此时取的最小噪声系数为:

$$NF_{min} = 1 + 2R_n[G_{opt} + G_c] = 1 + 2R_n\left[\sqrt{\frac{G_u}{R_n} + G_c^2} + G_c\right] \quad (3.19)$$

因此, 噪声系数可表示为:

$$NF = NF_{min} + \frac{R_n}{G_s}[(G_s - G_{opt})^2 + (B_s - B_{opt})^2] \quad (3.20)$$

从方程 (3.20) 可看出, 为了实现最小噪声系数, 源阻抗必须满足特定的条件, 也就是说输入阻抗必须进行特定的匹配。另一方面, 为了满足最大传输功率, 一般输入输出都要做到 50Ω 的阻抗匹配。尽管使噪声因素最小化, 一定程度上有助于传输最大功率, 但是两个匹配成立的噪声源导纳一般并不相同, 可见噪声匹配和功率匹配之间是有矛盾的。在实际的设计中, 由于 50Ω 的阻抗匹配是硬性指标, 所以必须牺牲最小噪声系数, 即在 50Ω 的阻抗匹配的情况下, 设计噪声系数 (NF), 使得其在系统可接受的范围之内, 因此, 此时的噪声系数 (NF) 并不是最小噪声系数 (NFmin)。

以上讨论的二端口噪声理论是建立在给定一个有确定噪声源和确定参数的系统, 然后可得到该系统的最小噪声系数。然而在集成电路设计中, 系统尺寸的大小会影响到系统的噪声特性, 但是这一因素并未反映在二端口噪声理论中。另一方面, 功率损耗这一因素即是系统的一个重要指标, 同时又能影响系统的噪声特性, 但这一因素同样未能反映在以上讨论的二端口理论中。

3.1.4 多级线性网络级联的噪声系数

在接收机中, 射频信号经诸如滤波器、低噪声放大器、混频器及中频放大器单元模块, 由于每个单元都有固有噪声, 经传输后都将输入信噪比变差。因此

本节主要研究多级线性网络级联情况下的噪声系数。

以两级线性网络级联为例。对于图 3-4 所示的两级级连网络的噪声模型，第一级输入端的噪声功率可表示为：

$$V_{n,m1}^2 = [i_{n1}(R_s \parallel R_{m1}) + V_{n1} \frac{R_{m1}}{R_s + R_{m1}}]^2 + V_{R_s}^2 \frac{R_{m1}^2}{(R_s + R_{m1})^2} \quad (3.21)$$

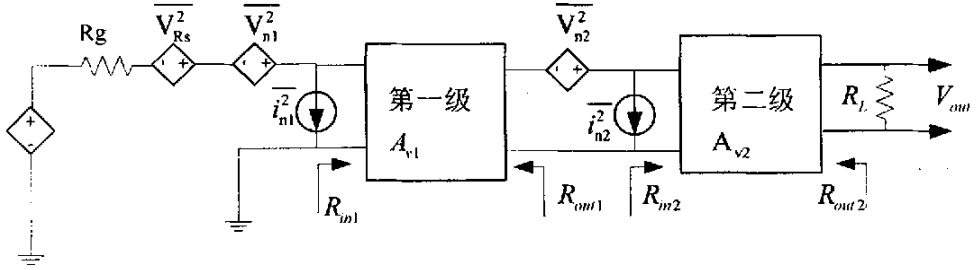


图 3-4 两级级联的噪声网络

而第二级输入端的噪声功率为：

$$V_{n,m2}^2 = V_{n,m1}^2 A_{v1}^2 \left(\frac{R_{m1}}{R_s + R_{m1}} \right)^2 + [i_{n2}(R_{out1} \parallel R_{m2}) + V_{n2} \frac{R_{m2}}{R_{out1} + R_{m2}}]^2 \quad (3.22)$$

因此，总的噪声输出功率为：

$$V_{n,out}^2 = \frac{A_{v2}^2 V_{n,m2}^2 R_L^2}{(R_L + R_{out2})^2} \quad (3.23)$$

由于这种两级网络总的电压增益为：

$$A_{v,tot} = \frac{R_{m1}}{R_s + R_{m1}} A_{v2}^2 \left(\frac{R_L}{R_L + R_{out2}} \right)^2 V_{n,m2}^2 \frac{1}{4kTR_s} \quad (3.24)$$

因此，该两级网络总的噪声系数为：

$$NF_{tot} = \frac{1}{A_{v,tot}^2} A_{v2}^2 \left(\frac{R_L}{R_L + R_{out2}} \right)^2 V_{n,m2}^2 \frac{1}{4kTR_s} \quad (3.25)$$

将公式 (3.21) (3.22) 代入 (3.25) 式，(3.25) 式可以简化为：

$$NF_{tot} = \frac{4kTR_s + (i_{n1}R_s + V_{n1})^2}{4kTR_s} + \frac{(i_{n2}R_{out1} + V_{n2})^2}{A_{v1}^2} \frac{1}{\left(\frac{R_{m1}}{R_s + R_{m1}} \right)^2} \frac{1}{4kTR_s} \quad (3.26)$$

根据二端口噪声理论，噪声系数可表示为：

$$\begin{aligned}
 NF &= \frac{\overline{V_{RS}^2} + \overline{(V_n + i_n R_s)^2}}{V_{RS}^2} = \frac{4kTR_s + \overline{(V_n + i_n R_s)^2}}{4kTR_s} \\
 &= \frac{A_v^2 \left[4kTR_s + \overline{(V_n + i_n R_s)^2} \right]}{A_v^2} \frac{1}{4kTR_s} = \frac{V_{n,out}^2}{A_v^2} \frac{1}{4kTR_s}
 \end{aligned} \quad (3.27)$$

可见, (3.26) 式中的第一项可以表示为第一级的噪声系数 NF_1 。而对于 (3.26) 式的第二项, 当 $R_s=R_{in1}=R_{out1}=R_{in2}$ 时, (3.26) 式可表示为:

$$NF_{tot} = NF_1 + \frac{\overline{(i_{n2} R_s + V_{n2})^2}}{A_v^2} \frac{1}{4kTR_s} = NF_1 + \frac{NF_2 - 1}{A_{v1}^2} \quad (3.28)$$

一般情况下, 公式 (3.26) 可利用可获功率增益的概念来简化。可获功率增益定义为输入输出端共轭匹配时, 输出端的可获功率比上输入端的可获功率。则图 3-4 中第一级的可获输出功率可表示为:

$$P_{out,av} = V_m^2 \left(\frac{R_{m1}}{R_s + R_{m1}} \right)^2 A_{v1}^2 \frac{1}{4R_{out1}} \quad (3.29)$$

而可获输入功率为:

$$P_{source,av} = \frac{V_{in}^2}{4R_s} \quad (3.30)$$

则可获功率增益为:

$$A_p = \left(\frac{R_{m1}}{R_s + R_{m1}} \right)^2 A_{v1}^2 \frac{R_s}{R_{out1}} \quad (3.31)$$

而以 R_{out1} 为源电阻的第二级的噪声系数为:

$$NF_{2,R_{out1}} = 1 + \frac{\overline{(i_{n2} R_s + V_{n2})^2}}{4kTR_{out1}} \quad (3.32)$$

从而公式 (3.36) 可写为:

$$NF_{tot} = NF_{1,R_s} + \frac{NF_{1,R_{out1}} - 1}{A_p} \quad (3.33)$$

利用可获功率增益的概念后, 所得到的公式 (3.33) 并未像公式 (3.28) 那样, 假设 $R_s=R_{in1}=R_{out1}=R_{in2}$, 从而更具有有一般性。

实际上对于 m 级级联网络, 其总的噪声系数为:

$$NF_{tot} = 1 + (NF_1 - 1) + \frac{NF_2 - 1}{A_{p1}} + \dots + \frac{NF_m - 1}{A_{p1} \dots A_{p(m-1)}} \quad (3.34)$$

从 (3.44) 式可以看出, 如果 m 级级连网络中每一级的增益都大于 1 的话, 则第一级的噪声系数对整个网络的影响最大, 同时如果第一级的增益足够大的话, 则后面几级的噪声系数对整体的影响很小, 可忽略不计。这就是为什么在低噪声放大器的设计中, 噪声系数和增益必须仔细考虑的原因。同时, 从 (3.44) 式中还可看出, 如果 m 级级连网络中, 有一级的增益小于 1, 即存在损耗, 则它将增大整体的噪声系数, 尤其是当此损耗出现在第一级时, 比如天线和低噪声放大器之间的滤波器。这也就是前面提到的, 纯容性或纯感性器件虽然不会自己产生噪声, 但是它会增大噪声系数的原因。

3.2 MOS 管的高频噪声

现有的 MOSFET 的模型 (BSIM3, Model9, EKV) 的侧重点是在直流漏电流、跨导和固有的电荷电容效应上^[10], 在模拟 MOSFET 噪声时最根本的问题是只考虑漏极电流噪声, 忽略了栅感应噪声, 它们只能用于工作频率比较低的电路 (低于 100MHz)。在 CMOS 射频集成电路中, MOSFET 的工作频率范围是 1~3GHz。由于栅感应噪声以及源 (漏) 与衬底耦合而引起的寄生效应等因素, 使得实际测量结果与利用 Cadence 仿真工具模拟的结果误差很大, 必须对 MOSFET 的低频模型进行修正。因此, 对亚微米 MOSFET 的高频噪声模型进行建模是近年来的一个研究热点。本节对近年来 RFIC 中 MOS 管的高频噪声模型并结合本文所采用的工艺进行分析总结。

3.2.1 MOS 管的射频模型

对于短沟道 MOS 管来说, 简单的平方率模型已经变得不精确。随着低压电路的广泛应用, MOS 管的中、弱反型区变得越来越重要, 要求 MOS 管模型不仅有合理的 I-V 关系精确度, g_m 、 g_{mb} 、 g_{ds} 和电容值在任何电压下均连续, 而且要求 I-V 关系的第二、三阶导数在强反型区、中反型区和弱反型区均连续^[11]。对于广泛应用的 BSIM3V3 模型, 较好的处理了这些问题。随着电路工作频率的提高, 到射频和微波频段时, MOS 管的寄生参数变得非常重要, 要求提供 MOS 管的射频模型。

如果将 RF MOS 管的所有寄生效应都以等效电路的形式加入到 MOS 管的模型中, 模型会变得非常复杂。而且, 很多表示这些寄生效应的元件参数很难甚至

不能提取，子电路也会包含很多内部节点，使仿真时间大大增加。因此，需在仿真精度和效率之间作折中处理。目前提出一种比较好的等效电路模型^{[11][12]}，如图 3—5 所示。为了使修正后的 MOSFET 的高频模型同时满足低频状态，在不改变低频模型内核的基础上进行修正得到整个高频模型。因此，对射频电路中的 MOSFET 进行模拟时，可以将整个高频的 MOS 管模型看成由低频模型与子电路共同组成的。该等效模型广泛用于 RF IC 设计中，如本文所用的中芯国际代工厂（Foundry）所提供的射频模型就采纳这种形式。

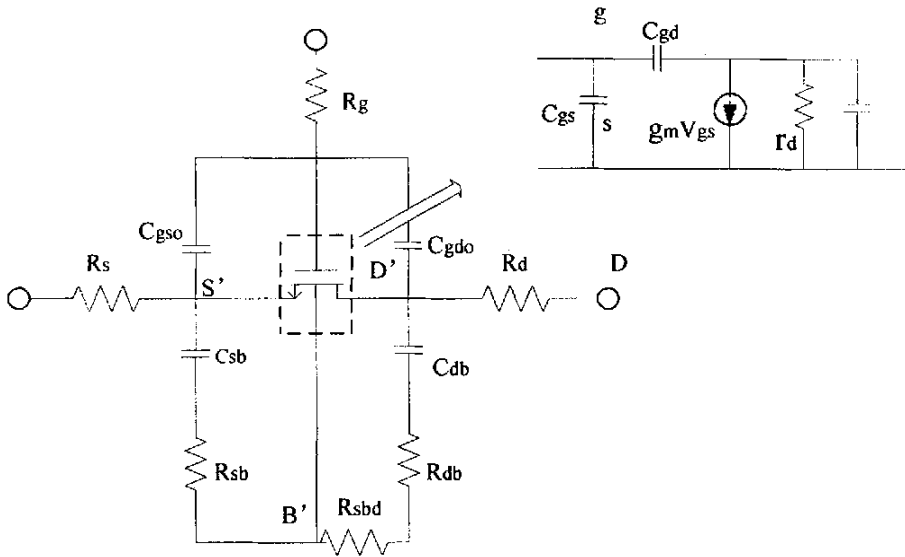


图 3—5 MOS 管的等效电路模型

为了将等效电路运用在通用的 SPICE 仿真器中，将所有的外部元件从原来通用的 MOS 管模型中抽取出来形成子电路，而 MOS 管符号只代表 MOS 管的本征部分。

源、漏串联电阻也加入外部子电路，只在计算直流工作点时计入本征 MOS 管，交流分析时不产生任何极点。栅电阻 R_g 在低频模型中通常是可以忽略的，但是，在高频状态下，沟道中电压的波动会通过氧化层电容耦合到栅极，从而引起输入信号的失真^{[13][14]}，因此，它是高频模型中的一个重要元件，需加入子电路中。由于信号耦合，衬底电阻 R_{dsb} 、 R_{sb} 、 R_{db} 也应加入到子电路中。源——衬底和漏——衬底电容一般包含在通用 MOS 管模型中，它们的正极连接在同一个衬底点上，因此是截止的。由于源、漏之间存在衬底电阻，所以源——衬底电容 C_{sb} 和漏——衬底电容 C_{db} 也加入子电路中。本征衬底节点须连接在衬底电阻 R_{dsb}

的某一点^[15]，然而，研究表明，将本征衬底节点连接在 R_{dsb} 靠近源或漏端对 MOS 管的 Y 参数影响不大，故将本征衬底节点连接在 R_{dsb} 靠近源端点。图 3-5 中，受电压影响的电容 C_{gs0} 和 C_{gd0} 也加入子电路中，虽然在通用的 MOS 管模型如 BSIM3V3 中已经存在，把它们提取出来有助于提高短沟道 MOS 管的本征电容的精度。

下面分析栅电阻、源、漏电阻，衬底耦合效应以及寄生电容的模型。在高频时 R_g 由两部分组成^[15]：多晶硅栅电极电阻 $R_{g,poly}$ 和沟道电阻 R_{gch} ，如图 3-6 所示。从图 3-7 可以看出，源、漏电阻包含过孔电阻 R_{via} ，硅化层电阻 $R_{silicide}$ ，硅化物与硅化物接触电阻 R_c 以及轻掺杂源漏区方块电阻 R_{idd} 。信号耦合在 MOS 管的源极比较明显，如图 3.8 所示。图 3-9，给出了 MOS 寄生电容的示意图。

栅电阻 R_g 以及衬底寄生电阻 R_{subs} (R_{subd}) 都是随着偏置的变化而变化的，但是忽略偏置的因素也并不影响模拟结果^[16]。高频下电容的充放电现象是一个不容忽视的因素。因此，模型中的栅源(漏)电容 C_{gs} (C_{gd}) 是低频模型中的 C_{gsi} (C_{gdi}) 再附加上随频率变化的电容 C_{gs0} (C_{gd0}) 构成的。同时， C_{gs0} (C_{gd0}) 也可以弥补低频模型在模拟短沟道器件时出现的误差。在通常的模型中，栅漏电容 C_{gd} 与漏源电容 C_{ds} 是相等的，这样会引入很大的误差。因此，在模型中，栅漏电容 C_{gd} 需要新提取^[16]。

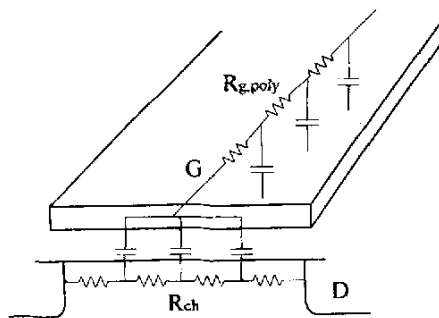
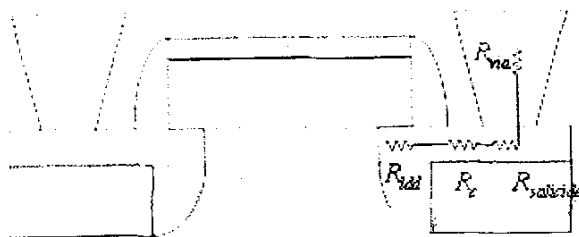


图 3-6 栅分布电阻的示意图



$$R_{s,d} = R_{via} + R_{silicide} + R_c + R_{idd} \sim R_c + R_{idd}$$

图 3-7 源漏电阻的示意图

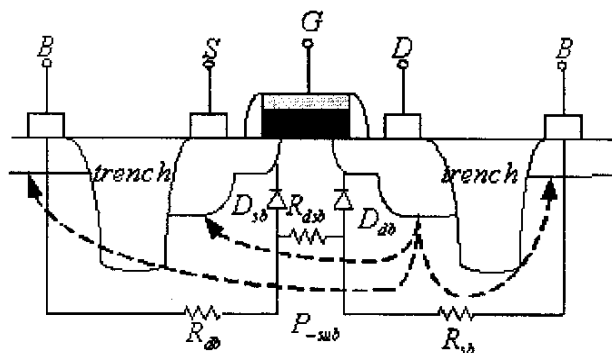


图 3-8 衬底耦合的示意图

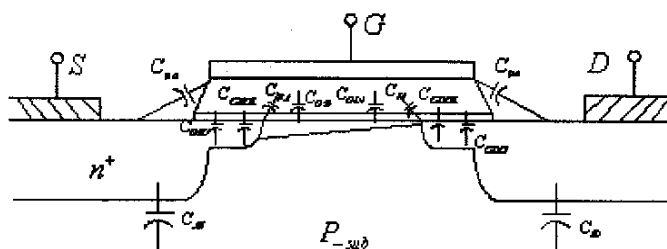


图 3-9 MOS 管的寄生电容示意图

3.2.2 MOS 管的高频噪声模型

一、MOS 管沟道热噪声

热噪声是载流子和热振动的原子间的随机碰撞引起的，根据欧姆定律，会产生随机噪声电压，从而在两端口产生噪声电流。MOS 管从本质上是一个压控电阻，所以存在热噪声，称为沟道热噪声，其等效电路如图 3-10 所示。通常，长沟道 MOS 管的沟道热噪声均方电流可以表示为^[3]：

$$\overline{i_{nd}^2} = 4kTg_{do}\gamma\Delta f \quad (3.35)$$

其中 g_{do} 表示漏、源极间偏置为零时（即 $V_{ds}=0$ 时）的漏、源跨导，且此时的 γ 等于 1，但在饱和状态时， γ 减小为 2/3。对于短沟道器件或 V_{gs} 和 V_{ds} 比较高时， γ 等于 2 或更大。沟道热噪声这一模型非常好地预测了长沟道 MOS 管中的沟道热噪声。但是当沟道长度不断缩短，尤其对于工作在射频段的短沟道器件，热噪声远高于长沟道 MOS 管的热噪声， γ 可以高达 6^[17]。因此，对于短沟道 MOS 管的热噪声需要更精确的表达式。到目前为止，已经提出了很多种解释短沟道 MOS

管的热噪声模型，其中有从速度饱和、热载流子效应等角度考虑得出的，然而，均没能很好的与测量结果相符合，还有待于今后的进一步研究。

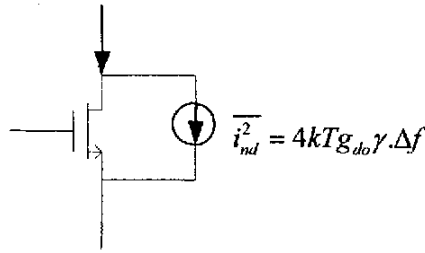


图 3-10 长沟道 MOS 管中沟道热噪声的等效电路图

二、MOS 管的栅感应噪声

目前，相对于漏极噪声电流的建模，亚微米 MOSFET 的栅噪声研究是较少一些。沟道中载流子数目的涨落，或迁移速率的无序波动，都会产生噪声，从而导致沟道电势的波动。在低中频情况下，栅与沟道之间的容性阻抗非常大，这种电势波动通过氧化层电容耦合到栅极上所产生的感应栅噪声相当小，往往被忽略。但是当频率高到 GHz 的范围，栅电容阻抗往往只有几百欧，这时应该考虑栅感应电流噪声。可见，栅感应噪声是由于沟道电子不规则运动导致的电势起伏会被氧化层电容耦合到栅极而产生。这一噪声源可表示为一与 C_{gs} 并联的电流源，如图 3-11 所示。在长沟道 MOS 管中，MOS 管栅感应噪声均方电流可表示为^[9]：

$$\overline{i_{ng}^2} = 4kT\delta g_g \Delta f \quad (3.36)$$

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{do}} \quad (3.37)$$

对于长沟道器件， δ 取 $4/3$ ，是 γ 的两倍。对于短沟道器件，该值将增大，而且在 V_{gs} 和 V_{ds} 较高的情况下，该值还将增大。栅感应噪声也可以用另外一种等效电路来表示，即可表示为一个与 C_{gs} 串联的电压源，如图 3-12 所示。根据戴维南等效变换可以得出：

$$\overline{V_{ng}^2} = 4kT\delta r_g \Delta f \quad (3.38)$$

$$r_g = \frac{1}{5g_{do}} \quad (3.39)$$

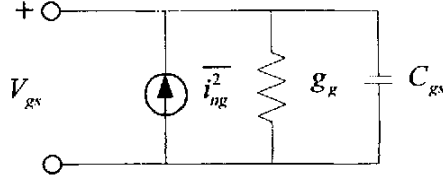


图 3-11 栅感应噪声的等效电路图

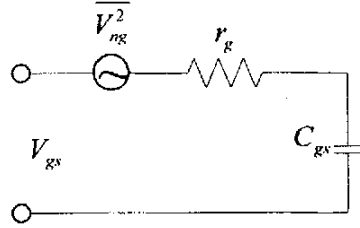


图 3-12 图 3-11 的戴维南等效电路图

两者互换的条件是 C_{gs} 的 Q 值远大于 1, 即 $\omega^2 r_g^2 C_{gs}^2 = 1$, 此时有:

$$C_{gs} = \frac{2}{3} C_{ox} W_{eff} L_{eff} \quad (3.40)$$

其中 W_{eff} 和 L_{eff} 分别为 MOS 管有效宽度和长度。

对于工作于射频段的短沟道 MOS 管, 栅感应噪声更加复杂, M.Jamal Deen 提出了一个适用于渐进沟道区的较为精确的 i_{ng} 的表达式^[18]:

$$\Delta i_{ng}(x_0) = \frac{j\omega W L_{elec} C_{ox}}{I_{ds}} \cdot \frac{g(V_0) \Delta V(x_0)}{L_{elec}} [V_{ox} - V(x_0)] \quad (3.41)$$

$$V_{ox} = V_{Dsat} - \frac{\frac{1}{2}(V_{GS} - V_{TH})V_{Dsat} - \frac{1}{6}V_{Dsat}^2}{V_{GS} - V_{TH} - \frac{1}{2}V_{Dsat}} \quad (3.42)$$

由式 (3.41) 可知栅感应噪声 $\Delta i_{ng}(x_0)$ 与沟道热噪声 $\Delta i_{nd}(x_0)$ 是全相关的。

同样, 在线性区时, 可用 V_{DS} 代换 V_{DSsat} 。

对于速度饱和区产生的栅感应噪声比较复杂, 因此, 速度饱和区的栅感应噪声模型还有待于研究。

短沟道 MOS 管整个沟道区的栅感应噪声还应包含隧道效应的影响 (衬底感应也会影响总沟道噪声)。通常, MOS 管的栅氧化层可看作载流子的势垒, 栅极和沟道区没有电流。然而, 存在的隧道效应使能量在费米能级附近的氧化层电子从禁带穿透到导带, 这种现象就是 Fowler-Nordheim 隧道效应。大多数实际情况

中, Fowler-Nordheim 隧道效应很小, 可以忽略。然而, 当栅氧化层厚度小于 4nm 时 (国内 0.18 μm CMOS 工艺的栅氧化层厚度通常为 4.42nm), 存在一种直接隧道效应, 使栅泄漏电流急剧增加。如图 3-13 所示, 栅隧道电流主要包含栅与沟道之间的电流 $I_{gc}(=I_{gcs}+I_{gcd})$, 栅和衬底之间的电流 I_{gb} 以及由于交叠引起的栅、源和栅、漏电流 I_{gs} 和 I_{gd} 。

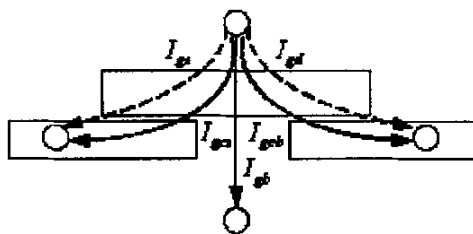


图 3-13 栅隧道效应引起的隧道电流

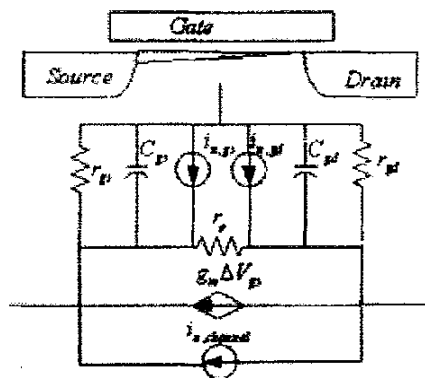


图 3-14 MOS 管沿沟道方向的局部小信号等效电路图

(直接隧道效应明显情况下)

图 3-14 中 r_{gs} 和 r_{gd} 分别表示靠近源极和靠近漏极的隧道效应。在射频段, MOS 管沿沟道的每一段栅极会由隧道效应产生散射噪声, 由于这种散射噪声与沟道热噪声和栅感应噪声无关, 所以会在沟道产生明显的沟道散射噪声。当 MOS 管栅氧化层厚度低于 2nm 时, 产生的沟道散射噪声可以达到与沟道热噪声和栅感应噪声相当的程度。然而, 计算这种隧道效应的前提是精确的直接隧道效应电流模型, 这需要解多维薛定谔方程。目前还没有解决这一问题。

三、MOS 管闪烁噪声

闪烁噪声 (1/f 噪声) 的来源依然还在研究。由于对闪烁噪声的产生机理没有统一的解释, 所以闪烁噪声模型包含的经验参数比热噪声和散射噪声多。目前,

主要有两种模型解释闪烁噪声的来源——载流子数目波动模型和迁移率波动模型。第一种模型中，闪烁噪声来源于载流子的随机俘获和释放。电荷的波动导致表面电势的波动，进而影响沟道可动载流子密度。假设沟道和氧化层表面陷阱可通过隧道效应交换能量。第二种模型依赖于一种经验的假说，即认为闪烁噪声由体迁移率的波动引起。

在 MOS 管中，栅氧化层与硅衬底之间的“悬挂键”产生了额外的能级，使载流子的移动过程中可能被俘获，在某些时刻又被释放，因此产生了沟道中载流子数目和迁移率的变化。这一现象与其他一些未知的原因引起 MOS 管中的闪烁噪声。MOS 管的闪烁噪声比其他器件的闪烁噪声高的多，这主要是因为 MOS 管是一种表面器件。大的 MOS 管呈现更小的闪烁噪声，因为大的栅氧化层电容平缓了沟道电荷的波动。MOS 管闪烁噪声电流表达式为：

$$\overline{i_n^2} = \frac{k}{f} \cdot \frac{g_m^2}{WLC_{ox}} \Delta f \quad (3.43)$$

其中 k 取决于工艺参数的常数。通常认为 PMOS 的 $1/f$ 的噪声要比 NMOS 的小，然而这也不能一概而论。

3.2.3 MOSFET 二端口网络噪声

根据亚微米 MOS 管的高频噪声模型，运用经典二端口噪声理论，四个等效的二端口网络噪声参数可以表示为：

$$R_n = \frac{\overline{e_n^2}}{4kT\Delta f} \quad (3.44)$$

$$G_n = \frac{\overline{i_n^2}}{4kT\Delta f} \quad (3.45)$$

$$Y_c = \frac{i_c}{e_n} = G_c + jB_c \quad (3.46)$$

漏极噪声电流等效到输入端后，等效的噪声电压为：

$$\overline{e_n^2} = \frac{\overline{i_{nd}^2}}{g_m^2} = \frac{4kTg_{do}\gamma\Delta f}{g_m^2} \quad (3.47)$$

由上式可得，等效噪声电阻为：

$$R_n = \frac{\overline{e_n^2}}{4kT\Delta f} = \frac{g_{d0}\gamma}{g_m^2} \quad (3.48)$$

仅仅上面的等效噪声电压并不完全表示漏极的噪声电流。因为当输入开路时，而且在忽略栅电流噪声的情况下，仍然有漏极噪声电流在流动，我们将该条件下的漏极噪声电流用 i_{nl} 表示。该等效噪声电流为：

$$\overline{i_{nl}^2} = \frac{\overline{i_{nd}^2}(j\omega C_{gs})^2}{g_m^2} = \overline{e_n^2}(j\omega C_{gs})^2 \quad (3.49)$$

上式是在假设 MOSEFT 的输入为纯容性的情况下得到的。如果采用高频时的版图技术，使栅电阻减到最小，那么对于工作频率比截止频率 (ω_T) 低很多的情况下，上述假设是很好的近似。另外，栅噪声电流包括两部分，一部分是与漏极电流噪声相关的部分 (i_{ngc})，另一部分则是与漏极电流噪声不相关的部分 (i_{ngc})。可见，等效输入电流噪声为 i_{nl} 等效到输入端的漏极电流噪声再加上其所引起的栅电流噪声 i_{ngc} 之和，所以相关导纳为：

$$Y_c = \frac{i_{nl} + i_{ngc}}{e_n} = j\omega C_{gs} + g_m \frac{i_{ngc}}{i_{nd}} \quad (3.50)$$

为了简化 Y_c 的表达式，对 (3.50) 中的第二项进行简化，得到：

$$g_m \frac{i_{ngc}}{i_{nd}} = g_m \frac{\overline{i_{ngc} \cdot i_{nd}^*}}{\overline{i_{nd} \cdot i_{nd}^*}} = g_m \frac{\overline{i_{ngc} \cdot i_{nd}^*}}{\overline{i_{nd}^2}} \quad (3.51)$$

再将 (3.51) 代入 (3.50) 中可得：

$$\begin{aligned} Y_c &= j\omega C_{gs} + g_m \frac{\overline{i_{ngc} \cdot i_{nd}^*}}{\overline{i_{nd}^2}} = j\omega C_{gs} + g_m \cdot C \sqrt{\frac{\overline{i_{ng}^2}}{\overline{i_{nd}^2}}} \\ &= j\omega C_{gs} + g_m \cdot C \sqrt{\frac{\delta \omega^2 C_{gs}^2}{5\gamma g_{d0}^2}} = j\omega C_{gs} \frac{g_m}{g_{d0}} \cdot C \sqrt{\frac{\delta}{5\gamma}} \omega C_{gs} \end{aligned} \quad (3.52)$$

如果假设在短沟道情况下 C 仍为纯虚数，那么 (3.52) 又可以改写为：

$$Y_c = j\omega C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (3.53)$$

其中，

$$\alpha = \frac{g_m}{g_{d0}} \quad (3.54)$$

对于长沟道器件 α 为 1, 随着沟道长度逐渐变短, α 也将逐渐减小。从 (3.53) 可以看出, Y_c 为纯虚数, 因此 $G_c=0$ 。另外, 从这里也可以看到, Y_c 确实不等于 C_{gs} 的导纳, 而是它的某个倍数, 因此我们不能同时使功率传输最大而又使噪声系数最小。

利用相关系数的定义, 我们可以将栅极噪声电流表示为:

$$\overline{i_{ng}^2} = (\overline{i_{ngc} + i_{ngu}})^2 = 4kT\Delta f \delta g_k |c|^2 + 4kT\Delta f \delta g_g (1 - |c|^2) \quad (3.55)$$

由 (3.55) 的第二项可得到:

$$G_u = \frac{\overline{i_u^2}}{4kT\Delta f} = \frac{4kT\Delta f \delta g_k (1 - |c|^2)}{4kT\Delta f} = \frac{\delta \omega^2 C_{gs}^2 (1 - |c|^2)}{5g_{d0}} \quad (3.56)$$

从而就获得了二端口网络的四个参数, 总结于表 3.1。

表 3.1 MOSFET 二端口网络的四个参数

参数	表达式
G_c	0
B_c	$\omega C_{gs} \left(1 + \alpha c \sqrt{\frac{\delta}{5\gamma}} \right)$
R_n	$\frac{\gamma g_{d0}}{g_m^2} = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m}$
G_n	$\frac{\delta \omega^2 C_{gs}^2 (1 - c ^2)}{5g_{d0}}$

利用以上参数可以得到, 使噪声系数最小的信号源阻抗为:

$$B_{opt} = -B_c = -\omega C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (3.57)$$

$$G_{opt} = \sqrt{\frac{G_u}{R_n} + G_c} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (3.58)$$

显然只有在输入为特定信号源的情况下, MOSFET 才会得到最小的噪声系数。一般情况下, 输入信号源为 50Ω , 与最小噪声系数所要求的信号源不一致, 因此噪声系数必定会有所牺牲。但当前的一个研究方向就是在设计中使最小噪声系数所要求的信号源与 50Ω 一致, 文献[19]已经将这一思想成功的应用在双极型 (Bipolar) 工艺上, 而对 CMOS 工艺还尚未有成功应用。

由 (3.57)、(3.58) 可得 MOSFET 的最小噪声系数为:

$$F_{\min} = 1 + 2R_n [G_{opt} + G_c] \approx 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma\delta(1-|c|^2)} \quad (3.59)$$

从 (3.59) 中可以看出: 如果忽略栅极噪声电流, 即 $\delta = 0$, 那么最小噪声系数就为 1; 提高漏和栅电流之间的相关性可以改善噪声系数; 随着工艺尺寸的缩小, ω_T 的改善会改善任一给定频率时的噪声系数。如果假定在短沟道情形下, $|c|$ 仍等于 0.395; 而短沟道效应使 γ 和 δ 增至 3 倍, 即 $\gamma = 2/3$, $\delta = 4/3$, 则可得出最小噪声系数的估算如表 3.2 所示。从表 3.2 可以看出, 最小噪声系数相当令人满意。

表 3.2 最小噪声系数的估算

ω_T / ω	$F_{\min} (dB)$
20	0.5
15	0.6
10	0.9
5	1.6

运用经典二端口网络噪声理论, 可以求得最优参数 G_{opt} , B_{opt} , 以及 MOS 管相应的最小噪声系数 $F_{\min}$ 。但是 LNA 的输入信号一般来自于本征电阻为 50 欧姆的天线, 求得的 G_{opt} , B_{opt} 一般不满足实现最大传输功率时所需的阻抗匹配条件, 因此我们必须在 LNA 功率传输和噪声性能之间求取一个最优的折衷。为此可以在 LNA 的输入电压和输入电流之间引入一个相位差, 通过一定的电容和电感的组合, 实现对 50 Ω 源电阻的阻抗匹配。由于电感、电容不引入噪声, 对 LNA 的噪声性能没有损害。

3.3 小结

本章的第一节介绍了噪声的理论基础: 噪声的表示方法和计算方法, 电子器件中的主要噪声源, 经典的二端口网络噪声理论, 多级级联的线性网络中噪声如何计算以及各级对整个系统的噪声的贡献情况。第二节则从 MOSFET 的模型出发, 总结了 MOS 管的射频模型。在射频电路中, 可以将整个高频的 MOS 管看成低频模型与由寄生效应引起的子电路共同组成的。另外给出了 MOS 管的两个

主要噪声：沟道热噪声和栅感应噪声，它们产生的机理及均方电流表示。最后总结了由二端口噪声理论得出的 MOSFET 的二端口网络噪声。

第四章 片上平面螺旋电感

4.1 引言

尽管在 CMOS 工艺上集成晶体管、二极管和电阻都很容易，但要实现单片 CMOS 射频集成电路仍有一定的困难。这主要是因为射频集成电路的所有关键子单元中都要用到电感，电感占据了芯片的很大部分面积，其性能好坏也直接影响射频集成电路的总体性能，而要实现高性能的片上集成电感是 CMOS 工艺面临的又一个难题。因此，如何实现片上集成电感是 CMOS 射频集成电路中一个非常重要的研究课题。

集成无源电感有两种形式：第一种是键合线电感，由于这种电感的感值受限，且存在耦合干扰、可靠性不高等缺点，因而很少被采用；另一种是被广泛采用的平面螺旋电感，它是利用标准 CMOS 工艺的两层（或多层）金属层来实现的电感元件，其中一层螺旋式电感线圈，另一层当作内圈的引线。人们的研究也主要集中于这种形式的电感器。平面螺旋电感的形状主要有图 4-1 的四种。（图中 d_{in} , d_{out} 分别表示内径和外径）。由于方形螺旋电感的版图最容易生成，所以应用最为广泛。典型的平面正方形电感的纵向剖面图如图 4-2 所示。为了降低电感和衬底间的氧化层电容，对于多层金属工艺，我们总是使用顶层的金属层来做电感，而且在深亚微米 CMOS 工艺中，顶层金属一般比其他金属层要厚一些，这样有助于减小电感的串联电阻。

本章首先从片上平面螺旋电感的损耗机制出发，引出平面螺旋电感的模型，并总结了几种电感感值的计算方法；给出了平面螺旋电感 Q 值的表达式，并分别从工艺和设计两个角度总结了提高 Q 值的有效方法；还重点研究了金属线厚度对平面螺旋电感品质因素（ Q 值）的影响，最后用仿真的结果说明了当金属线厚度超过 $10\mu\text{m}$ 时，通过调节电感的内径仍可以进一步改善平面螺旋电感的 Q 值。这些研究都有助于片上平面螺旋电感的优化设计。

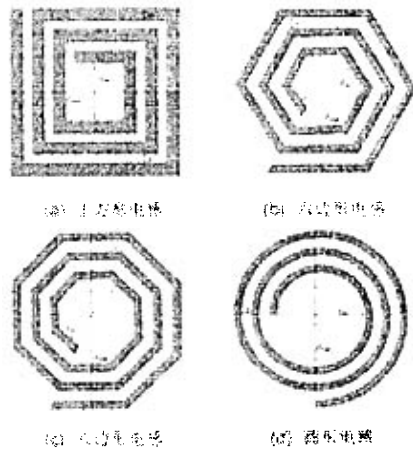


图 4-1 平面螺旋电感几种常见的平面结构图

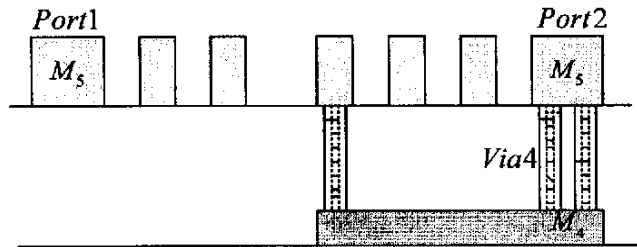


图 4-2 平面方形电感的纵向剖面图

4.2 平面螺旋电感的物理模型

4.2.1 平面螺旋电感的损耗机制

在硅基工艺中，平面螺旋电感的建模和品质因数都与其损耗机制有着必然的联系，因此有必要分析电感的损耗机制。

平面螺旋电感的损耗主要包括以下几种损耗：金属线损耗；涡流损耗；衬底损耗和寄生电容损耗。

一、金属线损耗

由于形成电感的金属层的电导率是有限的，因此金属层本身会存在电阻，会引起损耗。在高频时，趋肤效应使电流集中于金属线外圈而呈不均匀分布，使得通过导线的有效截面积变小，电阻值变大，造成损耗更加严重。图 4-3 为趋肤效应的示意图。

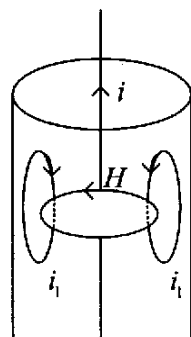


图 4-3 趋肤效应的示意图

由于电流大部分只在趋肤深度内流动, 因此为了减少电感的能量损耗, 我们可以加大金属的宽度和厚度, 增加电流流过的横截面积, 以减小电阻, 但是如此一来, 又会增加同一电感线圈中金属条之间的寄生容抗, 使得谐振频率下降。

二、涡流损耗

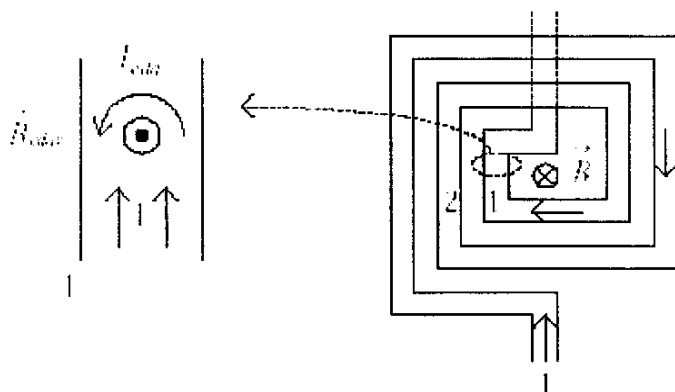


图 4-4 涡流效应的示意图

由于平面螺旋电感的环径由大到小的布局, 使平面螺旋电感的磁场是从中心向外逐渐减小的, 如图 4-4 所示。在靠近中心的金属线 1 会受到较大的感应磁场, 而此感应磁场 ($\vec{B}_{eddy}$) 会在金属线 1 感应出涡流 (I_{eddy})。原来金属线上的电流是向上的, 而产生的涡流抵消了金属线左边的电流, 使得流经金属线的截面积进一步变小, 电阻变大, 损耗进一步增加, 并且金属线越宽, 产生的感应电流就越大, 这和前面加大金属线宽度的做法相抵触。尤其在高频时, 涡流效应会更明显。

三、衬底损耗

衬底对片上电感的质量有很重要的影响, 它可通过三种方式引起损耗: 一种是通过电场耦合引入的电流引起的损耗; 第二种方式是通过磁场耦合在衬底中引

入的涡流引起的损耗；第三种是电磁场辐射引起的损耗（在目前的应用情况下，这种损耗一般可以忽略不计）。衬底损耗与衬底掺杂浓度有很密切的关系，在衬底轻度掺杂时（原子密度小于 10^{13}atom/cm^3 ，电阻率大于 $10\text{ k}\Omega\cdot\text{cm}$ ）衬底损耗很小，电感的质量主要由金属线引入的损耗决定；当衬底重掺杂时（原子密度大于 10^{20}atom/cm^3 ，电阻率小于 $0.001\text{ k}\Omega\cdot\text{cm}$ ），衬底损耗将成为决定电感质量的主要因素。现在的标准 CMOS 硅工艺一般采用外延型衬底，衬底电阻率很小，衬底损耗使得集成的片上电感的品质因数一般都在 10 以下。高频时，非绝缘的衬底和电感间电磁场的相互作用在衬底引起的损耗是影响电感 Q 值的主要因素。

四、寄生电容损耗

金属层和衬底之间会产生寄生电容，构成电感的多圈金属线之间也有横向耦合电容，这些电容损耗相当于一部分电磁能量，同时也限制了片上电感的自谐振频率。

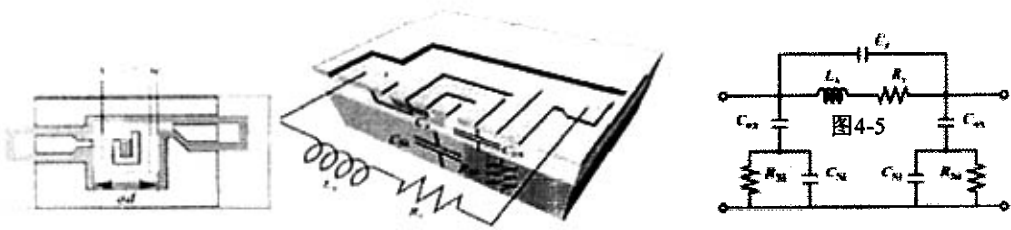
4.2.2 平面螺旋电感的物理模型

对硅基平面螺旋电感进行建模和仿真方法很多，但总的来说，有三种主要建模和仿真方法：一是用电磁场仿真工具对硅基平面螺旋电感进行建模和仿真；用基于数值求解 Maxwell 方程的通用全波电磁场仿真工具可以仿真硅基集成电感，比如 Ansoft, EM-Sonnet 都是这样的工具。这些工具非常精确，但仿真速度很慢，需要的内存很大，特别是在仿真结构比较复杂的硅基集成螺旋电感时；另外这些仿真工具非常昂贵，使用也比较复杂，需要使用者有一定的经验。为了提高仿真速度，出现了专门用于仿真螺旋电感和变压器的仿真器。它们通过一定的等效和近似，将电磁场问题等效为静电场和静磁场的问题，加快了求解的速度。比如 ASITIC^[20]。二是用分段等效的电路模型对硅基平面螺旋电感进行建模和仿真。分段等效的电路模型比用电磁场仿真工具简单一些，但是组成螺旋电感的金属线段比较多时，它的规模往往比较大也比较复杂。实际上用分段电路模型求解比用 ASITIC 等工具来做更加麻烦。三是紧凑的集总模型对硅基平面螺旋电感进行建模和仿真。这种方法非常方便、迅速，因此该模型在电感电路的设计和优化时具有显著的优势。

本文在分析研究金属线厚度对电感 Q 值的影响时，是用电磁场仿真工具

Ansoft 进行实验的, 发现 Q 值的变化情况与电感内径的大小有很大的关系。但由于集总参数物理模型的便捷性, 及其广泛的应用, 因此下面将主要讨论平面螺旋电感的集总参数物理模型。

在对电感的各种损耗机制有了比较深入的理解后, 人们提出了多种电感的集中元件式模型, 其中斯坦福大学的 C.Patrick Yue 等在文献[21]中提出的集成电感的集总参数物理模型是最为广泛使用的一种模型, 即为图 4-5 (c) 所示。图中 L 和 R 为金属连线的串联电感和电阻; C_m 为金属层间的电容, C_{ox1} 和 C_{ox2} 是金属连线和衬底间的寄生电容, R_{si1} R_{si2} 和 C_{si1} C_{si2} 分别为衬底本身的寄生电阻和寄生电容。有时为了模拟测量中的真实情况, 还在模型中加上片上电感的输入、输出焊盘的等效电路。图 4-5 (a) 为集成电感的平面图: S 为金属条间距, W 为金属线宽度, D_{in} 为电感的内径, D_{out} 为电感的外径, N 为线圈数。在高频时, 由于涡流效应和硅衬底损耗, 电感在储存磁场能量的同时, 还有通过欧姆损耗消耗能量的寄生电阻和储存电场能量的寄生电容, 这些电阻和电容值称为寄生参数。图 4-5 (b) 为该物理模型的三维立体图。



(a) 平面螺旋电感的平面图 (b) 平面螺旋电感的三维立体图 (c) 电感的集总参数物理模型

图 4-5 平面螺旋电感

下面给出物理模型中各个参数的解析表达式并加以说明。

1. 串联电感 L_s

在高频段, 金属线可以当作电感。螺旋电感可以看作是由多根金属线连接构成的, 因此其串联电感包括金属导体自电感以及导体间的互电感 (用 Greenhouse 算法计算), 自电感的计算公式为:

$$L_{self} = 2l \left(\ln \frac{2l}{w+t} + 0.5 + \frac{w+t}{3l} \right) \quad (4.1)$$

其中, l 为金属导体的长度, w 为金属导体的宽度, t 为金属导体的厚度, 对于一个 N 圈的螺旋电感, 其自电感将会包括 $4N$ 项。互电感则用下面公式计算:

$$M = 2lM_f \quad (4.2)$$

其中 M 为互电感, M_f 是互电感参数, 计算公式如下:

$$M_f = \ln \left[\frac{l}{GMD} + \sqrt{1 + \left(\frac{l}{GND} \right)^2} \right] - \sqrt{1 + \left(\frac{GMD}{l} \right)^2} + \frac{GMD}{l} \quad (4.3)$$

GMD 是指金属导体间的几何距离, 它近似等于导体中线间距, 其准确计算公式为:

$$\ln GND = \ln d - \frac{w^2}{12d^2} - \frac{w^6}{168d^6} - \frac{w^8}{360d^8} - \frac{w^{10}}{660d^{10}} - \dots \quad (4.4)$$

其中 d 为导体中线间距, 互电感有正负之分, 如果两根导体的电流方向一致, 则他们之间的互电感为正, 反之为负。因此, 对于一个 N 圈的螺旋电感, 它的互电感将包括 $2N(N-1)$ 个正项和 $2N^2$ 个负项。

综上, 串联电感为:

$$L_s = L_{self} + M_+ - M_- \quad (4.5)$$

2. 串联电阻 R_s

在 RF 频段, 由于涡旋电流的存在, 导体中流过的电流不再均匀。而且涡流产生的磁场与导体原先的场相反, 因而涡流会减小流过导体的净电流, 换句话说就是会增加电阻。串联电阻可以写成:

$$R_s = \frac{\rho l_{total}}{w \delta (1 - e^{-l/\delta})} \quad (4.6)$$

其中: ρ 表示金属导体的电阻率, l_{total} 表示螺旋电感的总长度, δ 为趋肤深度。

3. 串联电容 C_s

串联电容 C_s 主要来自两个方面: 一是电感邻近线圈之间的电容, 二是电感与其下通道间的电容 (即版图中交迭的两层金属间的电容)。由于电感邻近线圈间的电容可以通过增大线圈间距得到极好的抑制, 因此对串联电容来说, 可以只考虑金属层间的电容:

$$C_s = n \cdot w^2 \cdot \frac{\epsilon_{ox}}{t_{ox, M_1-M_2}} \quad (4.7)$$

其中: n 表示交迭区域的数量, 对于一个 N 圈的电感, 他等于 $(N-1)$; ϵ_{ox} 表示氧化层的介电常数, 对于 SiO_2 来说, 它等于 $4\epsilon_0$ (ϵ_0 为空气的介电常数), 单位

是 F/m ; $t_{oxM1-M2}$ 表示两层金属间的氧化层厚度。

4. 衬底寄生参数

在本文采用的物理模型中,衬底的特性用 C_{ox} 、 C_{si} 、 R_{si} 三个参数来描述。 C_{ox} 表示氧化层的电容, C_{si} 和 R_{si} 分别表示衬底的电容和电阻。它们可以用以下的公式近似计算:

$$C_{ox} = \frac{1}{2} l_{total} w \frac{\epsilon_{ox}}{t_{ox}} \quad (4.8)$$

$$C_{si} = \frac{1}{2} l_{total} w C_{sub} \quad (4.9)$$

$$R_{si} = \frac{2}{l_{total} w G_{sub}} \quad (4.10)$$

其中: C_{sub} 和 G_{sub} 分别代表硅衬底单位面积的电容 (F/m^2) 和电导 (S/m^2)。

4.3 平面螺旋电感感值的计算

在模型中,寄生电容、电阻已经给出了物理起源,其值的大小是很好测算的,主要的问题是怎样正确的估算理想电感的感值。对于电感值的计算,解麦克斯韦方程是一个很好的途径,例如可以利用 MagNet 三维有限元模拟器来对螺旋电感进行求解,它的结果误差很小,但是在计算过程中需消耗大量的时间和资源。因此在设计电感时,都希望有一个简洁而精确的感值表达式。在这方面,很多学者做了大量的工作,具有代表性的有 Crol、Vooman、Dil 等人。他们都取得了很好的结果,但是误差还是在 20% 以上,精度不够。

七十年代, H.M.Greenhouse 给出了很精确的平面矩形螺旋电感直流电感量的计算公式^[22]。平面方形螺旋电感总的电感值可表示为组成电感本身的各段导体自感量与各段间互感量之和。如果一个矩形电感由 N 圈 $4N$ 条金属段组成,那么总共要计算 $4N$ 个自感值, $2N(N-1)$ 个正互感值和 $2N^2$ 个负互感值。

$$L_{total} = L_{self} + M_+ - M_- \quad (4.11)$$

式中: L_{self} : 各段导体自感量

M_+ : 所有与各段导体电流同向的互感量之和。

M_- : 所有与各段导体电流相反的互感量之和。

各段导体自感量的计算公式：

$$L_{self} = 2l \left[\ln \left(\frac{2l}{w+t} \right) + 0.5 + \frac{w+t}{3l} \right] \quad (4.12)$$

式中： L_{self} 自感量的单位 nH,

l : 为导体长度, 单位 cm,

w : 为导体宽度, 单位 cm,

t : 为导体厚度, 单位 cm

各段导体互感量的计算公式为：

$$M = 2IP \quad (4.13)$$

$$\text{式中: } P = \ln \left[\frac{l}{GMD} + \left(1 + \frac{l^2}{GMD^2} \right)^{1/2} \right] - \left(1 + \frac{GMD^2}{l^2} \right)^{1/2} + \frac{GMD}{l},$$

$$\ln GMD = \ln d - \left\{ \frac{1}{12 \left(\frac{d}{w} \right)^2} + \frac{1}{60 \left(\frac{d}{w} \right)^4} + \frac{1}{168 \left(\frac{d}{w} \right)^6} + \frac{1}{360 \left(\frac{d}{w} \right)^8} + \dots \right\}$$

GMD 称为几何平均距离, d 为相邻段中心间距。

图 4-6 是一由 8 段金属线组成的 2 圈螺旋电感, 其电感值为:

$$L = L_1 + L_2 + L_3 + L_4 + L_5 + L_6 + L_7 + L_8$$

$$+ 2(M_{1,5} + M_{2,6} + M_{3,7} + M_{4,8})$$

$$+ 2(M_{1,3} + M_{1,7} + M_{2,4} + M_{2,8} + M_{3,5} + M_{4,6} + M_{5,7} + M_{6,8}) \quad (4.14)$$

通过以上分析可以看出, 通过 Greenhouse 方法计算电感感值, 虽然平面螺旋电感集总参数物理模型中各参数都由直观明确的意义, 大多数参数还有简单准确的表达式, 对于圈数较少的螺旋电感仍然可行, 但如果圈数较多时计算便显得繁杂。而且它也有着很明显的缺点: 首先, R_s 的表达式没有包括由于邻近效应引起的阻值增加; 其次没有包括衬底中的涡流损耗; 最后, 虽然用 Greenhouse 方法求解 L_s 足够的精确, 但是它不能直接从螺旋电感的几何参数来计算总的电感值。集总参数物理模型中没有一个简单准确的表达式来计算平面螺旋电感的总感值, 其应用受到有了一定的限制。

为了快速、精确计算硅基平面螺旋电感的总电感值 L_s (1999 年 Mohan 提出了三种简单精确的表达式来计算正方形、六边形、八边形和圆形的平面螺旋电感总的电感值。第一种是采用面电流近似的方法; 第二种是多项式拟合的方法; 第

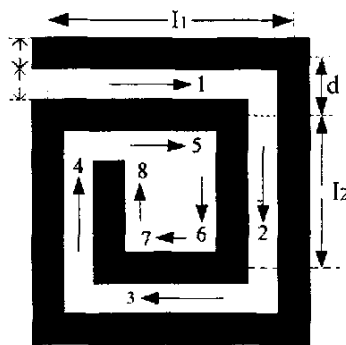


图 4-6 两圈的平面方形螺旋电感

三种是改进型Wheeler表达式。这三种表达式计算的电感值与电磁场仿真工具得到的电感值相比较，能够达到2—3%精确度。可见，这三种简单精确表达式非常适合于电感的设计和优化。

1. 面电流近似表达式

由于平面螺旋电感的各圈的电流变化不大，我们可以从整体来考虑整个电感的电流，将同一边的分段金属线中的面电流看作是一整条面电流。这样整个多圈平面螺旋电感就可以近似为一圈平面电感。因此，平面螺旋电感的总电感值可以表示为：

$$L = \frac{\mu n^2 d_{avg} c_1}{2} \left[\ln(c_2 / \rho) + c_3 \rho + c_4 \rho^2 \right] \quad (4.15)$$

其中， $d_{avg} = 0.5(d_{out} + d_{in})$ ； n 是螺旋电感的圈数， μ 为磁介质常数，对于图4-1中所示各种形状的螺旋电感，参数 C_i 见表格4.1； $\rho = (d_{out} - d_{in}) / (d_{out} + d_{in})$ 称为填充系数，它表示平面螺旋电感中间空洞程度， ρ 很小， $d_{out} \approx d_{in}$ ，即表示平面电感中心无金属圈， ρ 很大， $d_{out} \gg d_{in}$ ，即表示平面电感中心几乎填满了金属圈。对于两个平均直径 $d_{avg} = 0.5(d_{out} + d_{in})$ 相同的电感，填充系数小的电感比填充系数大的电感感值要大。因为填充系数大的电感存在更多金属内圈，内圈的金属条对总感值贡献的负耦合电感大于正耦合电感。

表4.1 面电流近似表达式中的参数C_i列表

	C ₁	C ₂	C ₃	C ₄
四方形	1.27	2.07	0.18	0.13
六边形	1.09	2.23	0.00	0.17
八边形	1.07	2.29	0.00	0.19
圆形	1.00	2.46	0.00	0.20

2. 多项式拟合表达式

第二种简单精确表达片上平面螺旋电感总电感值L_s的方法是采用数学中的多项式拟合技术。该多项式拟合表达式为：

$$L = \beta d_{out}^{\alpha_1} \omega^{\alpha_2} d_{avg}^{\alpha_3} n^{\alpha_4} s^{\alpha_5}$$
 (4.16)

其中，β和α_i是与电感形状有关的系数。其值可以参见表4.2。

表4.2 多项式拟合表达式中的系数列表

形状	β	α ₁ (d _{out})	α ₂ (ω)	α ₃ (d _{avg})	α ₄ (n)	α ₅ (s)
四方形	1.62×10 ⁻³	-1.21	-0.417	2.40	1.78	-0.030
六边形	1.28×10 ⁻³	-1.24	-0.174	2.47	1.77	-0.049
圆形	1.33×10 ⁻³	-1.21	-0.163	2.43	1.75	-0.049

与面电流近似表达式一样，多项式拟合表达式非常精确而且非常简单。在实际应用中，它能够作为电感的设计和优化的电感模型。

3. 改进型Wheeler表达式

H.Wheeler提出了几种分立平面螺旋电感的模型。将该模型进行简单的改进可以得到适合于片上平面螺旋电感的模型：

$$L = K_1 \mu_o \frac{n^2 d_{avg}}{1 + K_2 \rho}$$
 (4.17)

其中K₁和K₂是与电感形状有关的系数，其值如表4.3所示。

用三种简单精确表达式计算的电感值和用仿真工具ASITIC计算得到的结果很接近，一样的精确。可见，用Mohan提出的简单表达式可以精确计算电感值。

表4.3 改进型Wheeler表达式中的系数列表

形状	K_1	K_1
四边形	2.43	2.75
六边形	2.33	3.82
圆形	2.25	3.55

4.4 平面螺旋电感的 Q 值

品质因素(Q)是表征电抗元件的能量损耗情况,它是衡量电感性能的重要标志。因此,Q值是衡量平面螺旋电感品质的重要物理量。本小节讨论平面螺旋电感Q值的定义以及如何提高平面螺旋电感的Q值。

4.4.1 关于 Q 值

Q值是针对电抗元件而言的,实际上是表征电抗元件的能量损耗情况。它的定义为:

$$Q = \frac{2\pi(\text{电抗元件储存的能量})}{\text{一周期内电抗损耗能量}} \quad (4.18)$$

在宽频带范围内,实际电感可用图4-7(a)等效,其中 R_{Ls} 表征电感的损耗,它包括由电感线圈的直流电阻、高频时的趋肤效应以及线圈对其中磁场非理想束集引起的全部损耗。在频率不是很高时, R_{Ls} 可认为是不变的。也可用一理想电感与 R_{Lp} 相并联来等效。

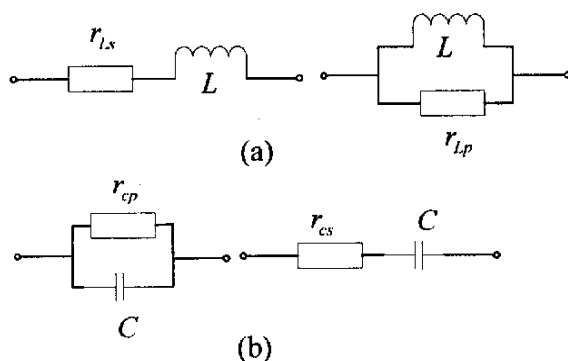


图4-7 (a) 实际电感的等效电路图 (b) 实际电容的等效电路图

按上式定义。电感Q值可以表示为:

$$Q = \frac{\omega L}{rL_s} \text{ 或 } Q = \frac{rL_p}{\omega L}$$

同样的道理, 实际电容可用图 4-7 (b) 等效电路来等效。其中 R_{Cp} 和 R_{Cs} 表征电解质非理想绝缘和电容对其中电场非理想束缚引起的损耗。电容的 Q 值表示为:

$$Q = \omega C r C_p \text{ 或 } Q = \frac{1}{\omega C r C_s}$$

Q 值应是频率的函数。调谐回路 Q 值是对其谐振频率 $\omega_0 = 1/\sqrt{LC}$ 而言的。

对并联谐振回路:

$$Q_r = \frac{R}{\omega_0 L} = \omega_0 R C = \frac{R}{\sqrt{\frac{L}{C}}} \quad (4.19)$$

对串联谐振回路:

$$Q_r = \frac{\omega_0 L}{R} = \frac{1}{\omega_0 R C} = \frac{\sqrt{\frac{L}{C}}}{R} \quad (4.20)$$

4.4.2 平面螺旋电感的 Q 值

Q 值的定义同样适用于平面螺旋电感, 为了方便定量地表达平面螺旋电感的 Q 值, 我们将 Patrick Yue 的模型简化为便于计算 Q 值的等效模型, 如图 4-8 所示。

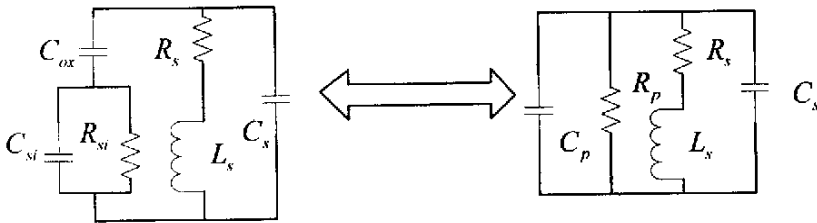


图 4-8 计算电感 Q 值的电感集总参数简化模型

根据附录一, 很容易导出两个模型的参数之间的变换关系为:

$$R_p = \frac{1}{\omega^2 C_{ox}^2 R_{si}} + \frac{R_{si}(C_{ox} + C_{si})^2}{C_{ox}^2} \quad (4.21)$$

$$C_p = C_{ox} \cdot \frac{1 + \omega^2 (C_{ox} + C_{si}) C_{si} R_{si}^2}{1 + \omega^2 (C_{ox} + C_{si})^2 R_{si}^2} \quad (4.22)$$

Q 值的表达式^[23]

$$Q_{\text{电感}} = \frac{2\pi(\text{磁场峰值能} - \text{电场峰值能})}{\text{一个周期内的能量损耗}} \quad (4.23)$$

电场峰值能和磁场峰值能分别由 (4.24), (4.25) 式决定^[23]:

$$E_{\text{电场峰值能}} = \frac{V_0^2 (C_m + C_p)}{2} \quad (4.24)$$

$$E_{\text{磁场峰值能}} = \frac{V_0 \cdot L}{2[(\omega L)^2 + R_s^2]} \quad (4.25)$$

一个周期内的能量损耗为^[23]:

$$E_{\text{一个周期损耗的能量}} = \frac{2\pi}{\omega} \times \frac{V_0}{2} \times \left[\frac{1}{R_p} + \frac{R}{(\omega L)^2 + R^2} \right] \quad (4.26)$$

其中:

$$R_p = \frac{1}{\omega^2 C_{ox}^2 R_{si}} + \frac{R_{si} (C_{ox} + C_{si})^2}{C_{ox}^2} \quad (4.27)$$

$$C_p = C_{ox} \cdot \frac{1 + \omega^2 (C_{ox} + C_{si}) C_{si} R_{si}^2}{1 + \omega^2 (C_{ox} + C_{si})^2 R_{si}^2} \quad (4.28)$$

V_0 为通过电感端口的峰值电压。将 (4.24) ~ (4.26) 式代入 (4.23) 式可得:

$$Q = \frac{\omega L}{R} \times \frac{R_p}{R_p + [(\omega L/R)^2 + 1]R} \times \left[1 - \frac{R^2 (C_m + C_p)}{L} - \omega^2 L (C_m + C_p) \right] \quad (4.29)$$

(4.29) 式表明 Q 值由等式右边的三项因子决定, 其中: 第一项表征存储的磁场能和串联电阻上的能量损耗; 第二项表征衬底损耗因素, 即在半导体衬底上的能量损耗; 第三项表征自谐振因素, 描述了峰值电场能随频率上升而造成 Q 值的下降, 在自谐振频率时的 Q 为零, 当频率超过自谐振频率时, 电感没有静磁场能输出, 此时表现为容性。

4.4.3 提高平面螺旋电感 Q 值的方法

提高品质因数是片上平面螺旋电感设计和优化的中心议题。要提高螺旋电感的 Q 值, 主要是降低它的寄生元件的能量损耗。从上面品质因数 Q 的表达式 (4.29) 可以看出, 集成螺旋电感的损耗大致来源于三个方面: 一是电感线圈的电阻损耗, 线本身细, 再加上高频时产生的趋肤效应, 加大了电阻值; 二是电感线圈与衬底之间的寄生电容将电感中的一部分能量耦合到衬底消耗了; 三是电感

中的电流所产生的磁场将一部分能量耦合到衬底中形成电流消耗。因此, Q 值的改善主要是从这三个方面进行优化。例如, 减小金属连线本身的串联电阻, 增大衬底电阻率, 减小寄生电容, 都是提高 Q 值的有效方法。

为了克服或者减小这些寄生效应的影响, 总的来说, 可以从工艺和电感设计两个角度来实现。从工艺的角度上来讲, 可以采用各种各样的办法: 例如, 为了减小金属线的损耗, 可以串并联多层金属来制作电感或者使用电阻率更低的铜导线; 为了减小衬底的影响, 可以使用顶层的金属层来制作电感加大电感与衬底之间的氧化层的厚度、采用轻掺杂的衬底或者将电感下的衬底用刻蚀的办法掏空。这些工艺都要求进行特殊的加工, 增加了成本, 并且与标准工艺不兼容。另外, 可以从优化电感的设计来减小寄生效应的影响, 提高 Q 值。例如, 优化电感的版图设计; 选择合适的内径、间距等以达到优化设计。另外还有一种不需要特殊工艺支持的制作高质量电感的方法是在电感下使用最底层金属或者用多晶硅制作网格保护层, 它可有效的将电感和衬底隔离, 使得由衬底引起的损耗减少。

下面归纳一些常用的提高平面螺旋电感 Q 的方法:

(1) 用铜互连技术降低金属连线的电阻率

从电感 Q 值的计算公式可以看出, 电感的 Q 值是与金属线圈电阻成反比的, 减小金属线的电阻是增加 Q 值最有效的方法^[24]。增加金属线宽度和厚度都可以降低电阻, 但是增加线宽会影响集成度, 同时也会增加寄生电容, 从而影响其工作频率, 增大电感和衬底之间的耦合。金属线的厚度也不能无限制的增加, 当铝线的厚度超过 $3\mu\text{m}$ 后, 线条就很容易断裂, 同时会给刻蚀工艺带来很大的难度。因此我们可以采用低电阻率的铜 ($1.7\mu\Omega\cdot\text{cm}$) 代替铝 ($2.7\mu\Omega\cdot\text{cm}$) 以降低串联电阻。铜的电阻率比铝的低, 而且由于铜互连工艺采用大马士革结构的镶嵌工艺和化学机械抛光 (CMP) 平坦化代替了刻蚀工艺, 因此铜线可以比铝线做的更厚, 超过了 $3\mu\text{m}$ 也不会发生断裂。

目前, 国际上铜互连技术已经应用于深亚微米集成电路工艺中, 所以在 CMOS RF IC 中, 采用铜电感已经成为首选。当然, 铜互连技术也存在工艺上的难点, 如 CMP、抑制铜原子在硅和二氧化硅中的扩散等问题。

(2) 使用远离衬底的金属层来制作电感

使用远离衬底的金属层来制作电感可以提高电感的品质因数。这是由两方面

的原因引起的，顶层金属的电阻率很小，可以减少热损耗；顶层金属与衬底之间的相隔最远，可以减少衬底和电感之间的电磁场相互耦合在衬底中引起的损耗。

(3) 采用多层布线技术减小寄生电容、串联电阻和衬底损失

多层布线技术在超大规模集成电路中已经被普遍采用。目前，6 到 8 层的金属布线技术也已经成熟，这又为制作高 Q 值电感提供了一条重要的途径。

我们知道，金属线圈的串联电阻是导致 Q 值减小的重要原因。前面已经讨论过，靠增加宽度和厚度来减小金属线圈的电阻是有限的。因此要解决这个问题的有效方法是利用多层布线技术，用多层金属做一个尺寸完全相同并在位置上对准的电感，并用大量的金属间通孔将这多层电感连接起来，就相当于一个更厚的、电阻率更低的金属线圈。图 4-9 是三层金属的电感，其中 M_2 和 M_3 做电感线圈，最下层的 M_1 用作引线。多加一层金属效果就非常明显：利用三层金属线做的电感的 Q 值比两层金属线提高了 15%^[25]。

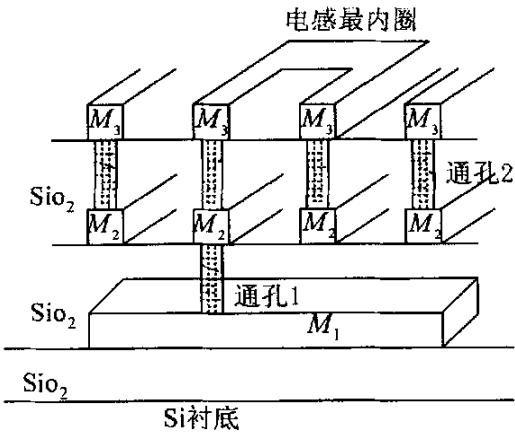


图 4-9 用三层金属布线制作的电感

(4) 使用低 κ 介质，减小寄生电容

在电感的模型中，金属间电容 C_m 和金属连线与衬底之间的寄生电容 C_{ox1}, C_{ox2} 都与介质层的介电常数 ϵ_{ox} 成正比，与介质层厚度成反比。因此要降低这两种寄生电容，有两条途径：一是增加介质层的厚度，将介质层厚度增加一倍，能使电感 Q 值增加 20%^[25]；二是采用低 κ 材料的介质层。介质层不能无限制的加厚，如果太厚了，会严重影响接触孔和通孔工艺。采用低 κ 材料的介质层则能有效的降低这些寄生电容，从而提高电感的 Q 值。

与铜互连技术一样，采用低 κ 介质已经成为深亚微米集成电路互连工艺的一

个研究热点。硅 CMOS 集成电路中,传统的介质材料是 SiO_2 ,其介电常熟一般在 4 到 4.5 之间。目前,低 κ 值材料的开发重点是 κ 值为 2.5 到 3 的介质材料。显然,使用这种低 κ 材料,能使寄生电容 C_m 和 C_{ox} 减小 25%到 40%。

(5) 对衬底进行处理,减小衬底损失,提高 Q 值

在常规的 CMOS 和 BiCMOS 工艺中,有许多方法可以减小电感衬底的损失,提高 Q 值。比如在衬底上挖一系列的密集的深沟,然后填上 SiO_2 ,将电感做在这种隔离区上;使用注入的方法,在电感下面的衬底中形成 pn 结,也可以减小衬底损失,使电感 Q 值提高 40%^[26];采用沟道阻止注入,在氧化硅下面形成扩散屏蔽,可使电感的 Q 值提高 79%^[27];在电感和衬底间加一层接地的屏蔽层也可减小衬底损失,采用图形化的多晶硅接地屏蔽可使 Q 值提高 33%,且不用增加工艺步骤^[28]。以上这些方法都能减小衬底的涡流效应,从而减小衬底损失,提高电感的 Q 值。

另外,还可以采用接地的保护层,来减小衬底的损耗。接地的保护层是不对工艺作任何特殊要求的,是提高电感的品质因数的一种很有效的方法,尤其是在重掺杂的衬底中。通过引入接地的保护层,可以减少电感与衬底之间电磁场的相互作用,减少衬底损耗,提高其品质因数。引入保护层的不好之处在于它降低了电感的自谐振频率。使用保护层减少了电感值,但是提高了电感的品质因数。当使用重掺杂衬底时,可以发现其对品质因数的改善是很大的。

(6) 通过优化版图来提高 Q 值

可以通过改变电感的版图尺寸来寻找最优结果,即通过优化版图来提高 Q 值。对于最常用的方形螺旋电感,可以自由选择几何量共有四个:边长 L ,金属线的宽度 W ,金属线间的间距 S 和电感的圈数 N ,在各种优化技术或者模拟技术的支持下,可以找出最高质量的电感。在目前有两种方法可以用来进行电感的尺寸优化。一种是用各种模拟工具或者通过实际制作的电感来测量在各种几何参数情况下的感值和寄生参数,并从中找出优化的结果。目前我们对各种损耗机制还没有完全弄清的情况下,这种办法在是最可靠的,但是却得花大量的时间,在很多情况下是不可接受的。另外一种办法是利用分析化的电感和各种寄生参数表达式,在某一限制下(如 Q 最高或者 L 最大)对电感版图的各个几何尺寸进行优化。这种情况得到的结果不是很可靠,一般还要经过模拟工具或者实际制作

来进行校准,但是它却给出了一种比较快的对电感进行优化的方法,可以比较快的设计出近似优化的电感。

电感工作在射频频段时,涡流效应会很明显。图 4-10 所示,从上到下表示由内到外的三条金属线圈, I_{coil} 为电感线圈中流过的交流电流,此电流会产生一个交变磁场 B_{coil} 。此磁场越靠近电感线圈的中心,密度越大,如果电感线圈中心的线圈很密,感应磁场的磁通量将有很大一部分穿过中心线圈。由法拉第定律可知,交变磁场 B_{coil} 会在线圈内部产生涡旋电流 I_{eddy} ,而此交变电流又将产生一交变磁场 B_{eddy} ,方向与 B_{coil} 相反。因此,总的磁场强度 $B_{coil}+B_{eddy}$ 变小,总的电感量变小。而且,在线圈靠近内侧的一边, I_{eddy} 与 I_{coil} 方向相同,电流密度变大;在线圈靠近外侧的一边, I_{eddy} 与 I_{coil} 方向相反,电流密度变小,将导致导线中电流密度不均匀,增大了串联电阻。这个效应在射频频段会很明显^[29]。总的来说,靠近中心的线圈对电感量的贡献很小,又增加了射频时的串联电阻,使得电感的 Q 值降低。

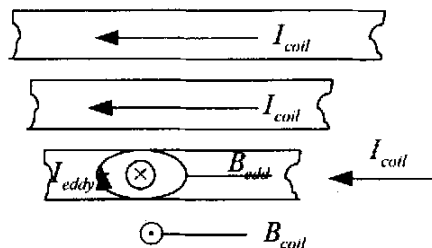


图 4-10 集成电感中的涡流效应示意图

为了提高电感的品质因素,可以将靠近中心的线圈去掉,采用最大中空结构的版图布局,在其他参数都相同的情况下,拥有最大内径的电感将取得最大的品质因素。但是这种结构会增大电感所占的面积,这在优化版图的过程中是必须要考虑的。

其次,影响品质因素的另外一个参数是金属线的宽度。金属线宽度较宽的时,串联电阻小,但衬底耦合带来的衬底损失会更大;而线较窄时,则正好相反。而且,在不同频率时,二者对品质因素的影响程度也是有所不同的。因此,对于不同的工作频率,将又不同的最佳线宽。

另外,工艺参数的不同也会影响到版图的优化,就是说,版图的优化是与工艺参数密切相关的,在工艺参数改变时,必须重新优化版图。

从以上总结的提高电感 Q 值的方法可以归纳出,标准 COMS 工艺中制作平面

螺旋电感的基本原则^[30]:

- ① 限制金属导线的宽度: 由于趋肤效应, 宽导体的中部没有电流流过, 所以采用宽金属线是不划算的;
- ② 相邻导线之间的间距要最小;
- ③ 采用中间挖空结构: 由于高频的涡流效应内部线圈的电阻增大, 而电感值减小, 导致品质因素下降;
- ④ 限制线圈所占面积: 高频时磁场贯通线圈在衬底中产生电流, 导致额外的阻性损耗, 电感值减小。

4.5 金属线厚度对平面螺旋电感 Q 值的影响

金属线厚度增加会减小串联电阻, 因此金属层厚度的增加对提高电感的品质因数非常有效。关于金属线的厚度对品质因数的影响, 过去已经做了大量的研究^{[21], [31]}, 但大多都集中在几个微米的范围内。并有研究表明^{[31], [32]}当金属厚度达到 10 μm 左右, Q 值变化会达到一种饱和状态。这个结论是在仅仅考虑趋肤效应的影响的情况下得到的。实际上, 当金属线厚度增加到一定程度, 金属线间的邻近效应对串联电阻的贡献很大, 也必须考虑^[23]

为了研究平面螺旋电感的金属线厚度对品质因数 Q 值的影响, 并且分析当金属厚度超过 10 μm 后, 电感的内径大小对 Q 值的影响, 本人设计了三组电感并对其中仿真结果进行分析。

4.5.1 电感的设计

本文设计的三组平面螺旋电感, 电感的几何尺寸 (见表 4.4)。

表 4.4 电感的几何尺寸

	$D_{in}/\mu\text{m}$	N	$S/\mu\text{m}$	$W/\mu\text{m}$
组一	240	3	15	5、10、20
组二	100	5	15	5、10、20
组三	240	3	2	5、10、20

4.5.2 参数的提取、转化与计算

采用三维的 EM 仿真软件 Ansoft HFSS 软件作为分析工具, 对三种类型的电

感进行模拟仿真。将电感看作是一个双端口网络，通过 HFSS 仿真后，导出 S 参数，通过微波网络参数转化再将 S 参数转化成 Y 参数。有了 Y 参数就可以通过 (13)、(14) 式求得电感的 Q 值和电感值 L。

$$Q = -\frac{\text{imag}(Y_{11})}{\text{real}(Y_{11})} \quad (4.30)$$

$$L = \frac{1}{\omega} \text{imag}\left[-\frac{1}{Y_{21}}\right] \quad (4.31)$$

(4.30) 和 (4.31) 式均是通过电感的物理模型图 4.5 (b) 得到。由于推导的方法可以多种多样, 本文不再做详细推导。

4.5.3 仿真结果分析

根据以上 (4.30) 的计算结果描出仿真结果的曲线图, 如图 4-11 所示。图 4-11 分别给出了三组平面螺旋电感的 Q 值随频率变化的关系图。横坐标表示频率 (1GHz~5GHz), 纵坐标表示品质因子 Q。

从 (4.31) 式的计算结果发现金属线厚度越厚, 串联电感的大小反而越小。这是由于串联电感的大小主要由于金属线外部的磁通量的大小决定的。如果金属线的厚度越薄, 导线的横截面积就越小, 导线外部的磁通量就越大, 串联电感就越大; 反之, 串联电感就会越小。研究还表明金属线厚度的变化对串联电感值的影响很小^[21]。由于本文主要是关注的 Q 值的变化, 因此就省略了电感值 L 随频率变化的关系图。

当铜线厚度从 5 μm 增加到 10 μm , 根据文献[23]中金属线有效厚度的计算公式:

$$t_{\text{eff}} = \delta_s (1 - e^{-t/\delta}) \quad (4.32)$$

$$\delta = \sqrt{\frac{\rho}{\pi \mu f}} \quad (4.33)$$

可以计算出铜线的有效厚度从 1.26 μm 增加到了 1.53 μm 。金属线有效厚度的增加意味着电感串联电阻的减小, 因此 Q 值随金属线厚度的增加而增大。由于金属线的厚度不是很厚, 邻近效应对串联总电阻的贡献比较小, 没有完全抵消金属线厚度增加对串联总电阻的贡献。因此从图 4-11 (a), (b) 中可以看到, 当金属线厚度从 5 μm 增加到 10 μm , 第一, 二组电感的 Q 值随着金属线厚度的增加而增加, 只是增加的幅度不同。可见仿真的结果和分析结果一致。

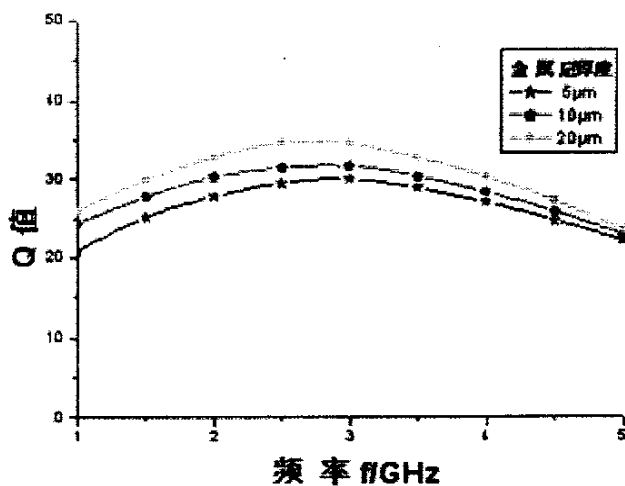


图 4-11 (a) 第一组电感的 Q 值曲线图

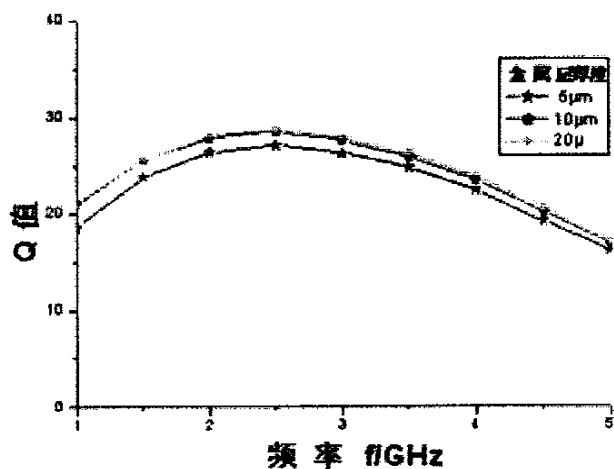


图 4-11 (b) 第二组电感的 Q 值曲线图

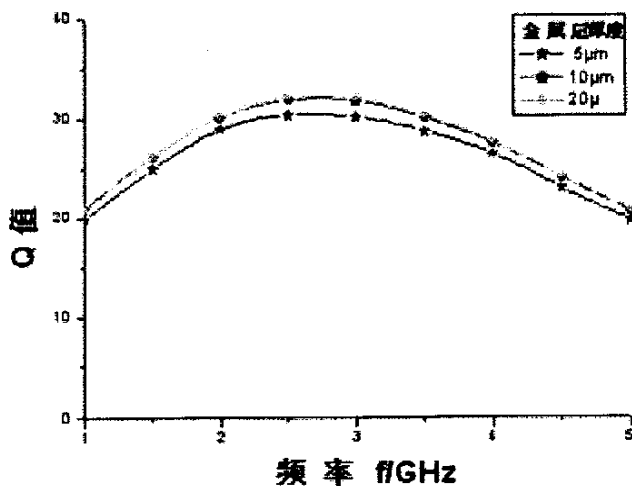


图 4-11 (c) 第三组电感的 Q 值曲线图

过去的研究表明^{[31], [32]}金属线厚度达到 $10\mu\text{m}$ 或者超过 $10\mu\text{m}$ 后, 如果金属线的厚度再增加, Q 值将不会再增加, Q 值的变化将呈现一种饱和状态。图 4—10 (b) (即第二组电感的 Q 值曲线图) 正好与该结论相吻合。但从图 4—11 (a) (即第一组电感的 Q 值曲线图) 发现: 当金属线厚度超过 $10\mu\text{m}$ 后, Q 值并没有达到饱和, 而是随着金属线厚度的增厚而增加。通过比较两组电感的几何参数, 发现最大的不同之处在于内径大小不同。可见当金属线厚度达到 $10\mu\text{m}$ 或者超过 $10\mu\text{m}$ 后, Q 值的变化情况还取决于电感内径的大小。

下面从理论上分析出现上述现象的原由。在过去的研究中^[24], 电感的金属线都是用简单的微带线模型来代替的。在该模型中, 衬底背面会有一个接地板。因此金属线中电流密度的分布情况是: 从底部向上呈递减趋势, 即电流集中分布在金属线的底部。其实这种微带线模型并不适合 RFIC 中的集成电感。因为在集成电感的衬底背面不会有接地板, 加上衬底的厚度远大于金属线的厚度, 即使有接地板, 也不会造成以上所说的电流分布情况。实际上电感金属线中的电流并不是集中分布在金属线的底部, 而是分布在金属线的四周, 分布情况如图 4—12 所示。可见随着金属线厚度的增加, 侧面的高度将越高, 侧面的电流有效面积也将增加, 如果电感内径又比较小, 各金属线之间的邻近效应的影响会很大。从文献[23]中邻近效应对串联电阻影响的实验中也可以看出, 当金属厚度超过 $10\mu\text{m}$, 各金属线之间的间距又很小的情况下, 由邻近效应引起的电阻占总串联电阻的比例很大, 因此在这种情况下必须考虑邻近效应对串联电阻的贡献。

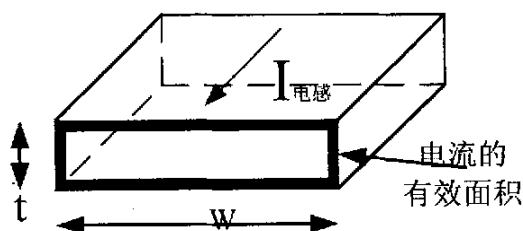


图 4—12 电感中的电流分布情况

(趋肤效应和邻近效应的共同影响)

本实验的两组电感, 由于第一组电感的内径 ($240\mu\text{m}$) 比较大, 即使金属线厚度超过 $10\mu\text{m}$, 邻近效应引起的互电阻占总电阻的比例仍很小, 可以忽略不计。因此随着金属线厚度增加, 串联电阻减小, Q 值呈增加趋势。对于第二组电感由

于其内径 ($100\mu\text{m}$) 比较小, 邻近效应的影响比较大, 并且邻近效应对串联电阻的贡献抵消了金属线厚度增加对串联电阻的贡献, 因此, 当金属厚度超过 $10\mu\text{m}$ 后, Q 值的变化出现了饱和状态。

设计第三组电感的目的是为了验证金属线间的间距对 Q 值变化的影响。因此第三组电感的几何参数, 除了间距变为 $2\mu\text{m}$ 以外, 其他的几何参数均与第一组电感均相同。从图 4-11 (c) 的仿真结果可以看出, 当金属线厚度从 $10\mu\text{m}$ 增加到 $20\mu\text{m}$ 时, Q 值也基本不变。从这个结果可以推断出, 如果金属线间的间距比较小, 邻近效应对总串联电阻的贡献会比较大, 不能忽略。由金属线厚度的增加引起的 Q 值的增加与由邻近效应引起的 Q 值的下降正好抵消, 因此 Q 值呈饱和状态。

通过以上对仿真结果的分析可以看出: 当金属线厚度超过 $10\mu\text{m}$ 后, 随着金属线厚度的增加, Q 值是否增加主要取决于邻近效应的影响。如果邻近效应的影响比较小, 那么 Q 值将随着金属线厚度的增厚而增加。在实验中, 通过增大电感内径来减小邻近效应带来的影响, 从而进一步改善了电感的 Q 值。即为第一组电感的情况。如果金属线厚度足够厚, 电感的内径很小或者金属线间的间距比较小, 那么邻近效应对总的串联电阻的贡献会很大, 其抵消了金属线厚度增加对总的串联电阻的贡献, 因此 Q 值的变化出现了饱和状态。这正是第二、三组电感仿真结果说明的情况。

另外, 电感的内径也并不是可以无止境的随意增大。虽然在其他参数都相同的情况下, 拥有最大内径的电感将取得最大的品质因素。但在实际应用中, 内径不能太大, 因为内径增大的同时增大电感所占的面积。在高频时, 衬底的寄生效应应占主导作用, 面积越大, 衬底的损耗会越大, 从而使得 Q 值降低。可见, 内径大小的选择要综合考虑两方面的因素, 这在优化版图的过程中是必须考虑的。就本实验, 从实验结果上来看, 在本文的内径大小范围内, 增大内径对电感的 Q 值带来的负面影响相对是比较小的。

4.5.4 结论

通过模拟分析金属线厚度对电感 Q 值的影响, 发现当金属线厚度超过 $10\mu\text{m}$ 后, 是否要考虑邻近效应对电感总的串联电阻的贡献取决于电感内径的大小。因

此随着金属线厚度的增加, Q 值的变化情况与电感内径的大小有很大的关系。当金属线厚度超过 $10\mu\text{m}$ 时, 通过调节电感的内径仍可以进一步改善电感的 Q 值。

4.6 小结

本章从片上平面螺旋电感的损耗机制出发, 引出平面螺旋电感的模型, 并总结了几种电感感值的计算公式; 给出了平面螺旋电感 Q 值的表达式, 并分别从工艺和设计两个角度总结了提高 Q 值的有效方法; 本章的最后一节得出了当金属线的厚度超过 $10\mu\text{m}$ 时, 通过调节电感内径的大小仍可以进一步改善平面螺旋电感的 Q 值, 并以仿真结果证明了该结论的正确性。

这些研究对于设计高性能平面螺旋电感具有重要的指导意义。

第五章 2.4 GHz CMOS 低噪声放大器的设计

自 1997 年斯坦福大学的 Shaeffer 设计出 1.5GHz 的 CMOS LNA 以来^[7], 每年都有文章^{[34][35][36][3]}介绍 CMOS LNA 的研究工作, 有的以噪声系数作为研究的重点, 有的着重于改善线性度, 有的则是在众多的性能指标中获取尽可能好的折衷方案。这些文献的共同点都是研究单片集成的 LNA。本文所讨论的是集成在无线局域网 (Wireless LAN) 收发器中, 满足实用要求的 2.4GHz CMOS LNA。本章首先介绍二端口网络的 S 参数, 然后介绍 LNA 的电路设计, 最后给出完整的电路图以及仿真结果和版图。

5.1 双端口网络的 S 参数

对于一个双端口或多端口网络, 可以用阻抗矩阵 Z , 导纳矩阵 Y , 链式矩阵 A 以及杂化矩阵 H 来描述端口电压与端口电流之间的关系。对低频电路, 这些描述方法应用于不同场合, 并能通过测量得到各个参数。然而, 对于工作在射频、微波频段的多端口网络, 用 S 参数来表征其特性更为合理, 也更为有效。这是因为频率很高时, 已经无法通过简单的短路或开路的办法去完成 Z 、 Y 参数的测量, 而 S 参数则基于波传播概念, 能完整表述射频及微波的特性。

散射参数 (scattering), 简称 S 参数, 是一种理论定义的网络参数。假定在双端口网络输入端口 1 加入射波 a_1 , 如图 5—1 所示, 在输出端口 2 得到输出 b_{21} , 这是正向传输。设正向传输系数为 S_{21} , 则:

$$b_{21} = S_{21}a_1 \quad (5.1)$$

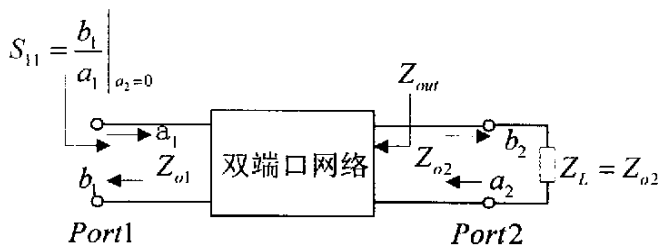


图 5-1 双端口网络及 S 参数

入射波 a_1 在网络的输入端可能会产生反射，一部分信号返回输入端口 1，设反射波分量为 b_{11} ，则反射系数为 S_{11} 为：

$$b_{11} = S_{11}a_1 \quad (5.2)$$

类似地，在输出端口 2 加入射波 a_2 ，经网络传输到输入端口 1，则产生输出分量 b_{12} 为：

$$b_{12} = S_{12}a_2 \quad (5.3)$$

式中 S_{12} 为反向传输系数。同样，入射波 a_2 在端口 2 也会产生反射分量，设为 b_{22} ，则有：

$$b_{22} = S_{22}a_2 \quad (5.4)$$

其中 S_{22} 为输出端的反射系数，这样，双端口网络的输入端反射波 b_1 和输出端反射波 b_2 同输入端的入射波 a_1 和输出端的入射波 a_2 之间有以下关系：

$$\begin{aligned} b_1 &= S_{11}a_1 + S_{12}a_2 \\ b_2 &= S_{21}a_1 + S_{22}a_2 \end{aligned} \quad (5.5)$$

写成矩阵形式为：

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (5.6)$$

其中矩阵称为 $[S]$ 散射矩阵：

$$[S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \quad (5.7)$$

传输系数 S_{12} 、 S_{21} 和反射系数 S_{11} 、 S_{22} 简称 S 参数，分别定义如下：

入射端反射系数 S_{11} 为：

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (5.8)$$

其中 $a_1=0$ 表明输入端阻抗匹配, 没有反射。

正向传输系数 S_{21} 为:

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (5.9)$$

显然, 只要网络的输入端和输出端正确连接, 阻抗匹配, 就很容易测得网络的 S 参数。比如图 5-1 所示的网络, 要测量其 S_{11} , 只要令负载阻抗 Z_L 等于传输线的特性阻抗 Z_{02} , 使 $a_2=0$ 即可, 而不必使网络的输出阻抗 Z_{out} 等于 Z_{02} 。在端口 1 处的情况与此类似, 不再赘述。

5.2 电路的设计

RF LNA 最重要的性能指标参数是: 噪声系数、输入输出阻抗匹配、增益及线性度。对于移动通信等便携式无线通讯设备, 低功耗也是一个非常重要的指标。电路设计的目的是选取合适的电路结构、器件尺寸、偏置条件, 以获取所需要的性能。下面从分别 LNA 的各项主要的性能指标入手, 进行电路设计。

5.2.1 噪声的优化

在本文的第三章已经对 MOSFET 的高频噪声作了详细的分析研究。本节是在第三章所作的分析的基础上, 着重讨论本文所采用的电感源极负反馈的共源共栅放大器的噪声优化。

通过对电感源极负反馈的共源共栅放大器的噪声特性及噪声计算公式的详细分析, 发现在输入管 M_1 的栅、源两端并联一个电容 C_0 , 可以减小放大器的噪声系数。

下面从理论上进行详细的分析。在输入管 M_1 栅、源两端并联一个电容 C_0 , 使得该电容与 M_1 的本征栅电容并联, 如图 5-2 所示。可见该电路噪声源有: 源内阻的热噪声 (i_{n,R_s}); 沟道热噪声 ($i_{n,d}$); 栅感应噪声 ($i_{n,g}$) 以及电感 L_g 的串联电阻和栅的体电阻产生的电阻热噪声。

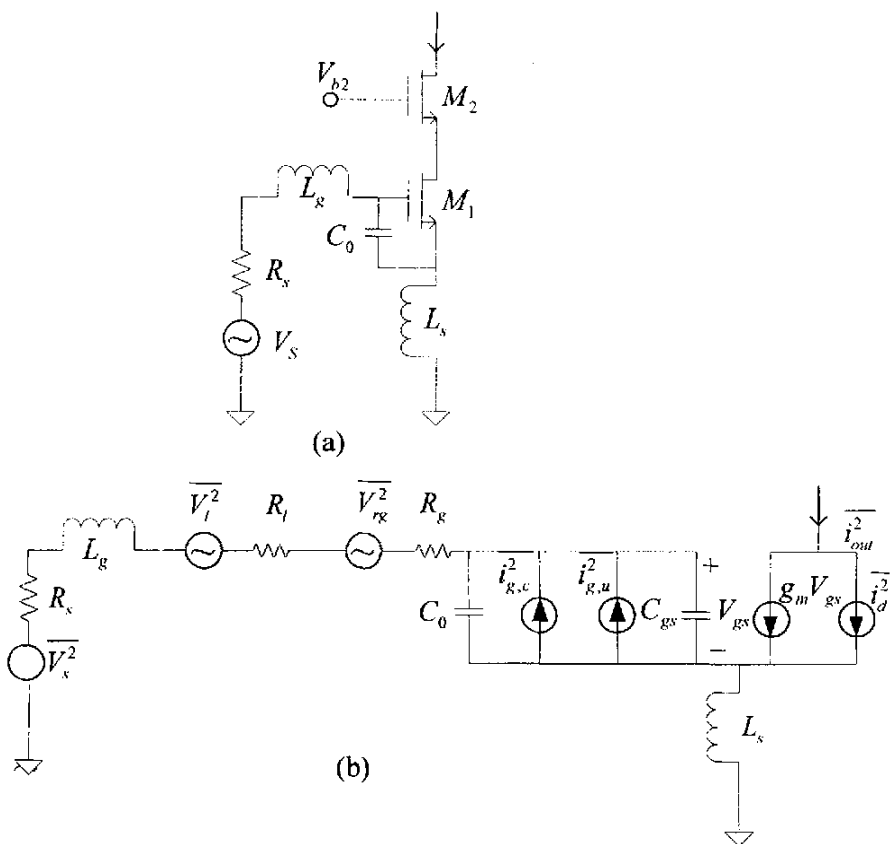


图 5-2 (a) LNA 的简单电路结构图 (b) LNA 噪声计算的小信号模型

由图 5-2 (b)，源内阻的均方热噪声电流 $\overline{i_{n,R_s}^2}$ 为：

$$\overline{i_{n,R_s}^2} = \frac{4kT\Delta f}{R_s} \quad (5.10)$$

电感 L_g 的串联电阻 R_l 以及 M_1 的栅电阻 R_g 产生的热噪声为：

$$\overline{i_{n,R_l+R_g}^2} = \frac{4kT\Delta f}{R_l + R_g} \quad (5.11)$$

M_1 的均方沟道热噪声电流 $\overline{i_{nd}^2}$ 为：

$$\overline{i_{nd}^2} = 4kT\gamma g_{d0}\Delta f \quad (5.12)$$

M_1 的均方栅感应噪声电流 $\overline{i_{ng}^2}$ 为：

$$\overline{i_{ng}^2} = 4kT\delta_{eff} g_g \Delta f \quad (5.13)$$

其中, $g_g = \frac{\omega^2 C_{gs1}^2}{5g_{d0}}$; $\delta_{eff} = \delta \cdot \left(\frac{C_{gs1}^2}{C_i} \right)$; $C_i = C_{gs1} + C_0$

由于栅感应噪声电流和漏极噪声电流的相关性, 可以将栅感应噪声电流 i_{ng} 分成与漏极噪声电流相关的部分 i_{ngc} 和不相关的部分 i_{ngu} 。

相关系数 c 可表示为:

$$c = \overline{i_{ng} i_{nd}^*} / \sqrt{\overline{i_{ng}^2} \overline{i_{nd}^2}} \quad (5.14)$$

通常 c 的虚部比实部大 10 倍以上, 所以 c 取虚部, 计算时取 $c=j0.395$ 。

因此, 栅感应噪声可以表示为:

$$\frac{\overline{i_g^2}}{\Delta f} = 4kT\delta g_g(1-|c|^2) + 4kT\delta g_g|c|^2 \quad (5.15)$$

漏极噪声电流及相关部分的栅感应噪声电流两者之和的均方噪声电流 $\overline{i_{d,igc}^2}$ 为:

$$\overline{i_{d,igc}^2} = 4kT\gamma\kappa g_{d0}\Delta f \quad (5.16)$$

其中

$$\kappa = \frac{\delta\alpha^2}{5\gamma}|c|^2 + \left[1 + |c|Q_L \sqrt{\frac{\delta\alpha^2}{5\gamma}} \right] \quad (5.17)$$

$$Q_L = \frac{\omega_0(L_s + L_g)}{R_s} = \frac{1}{\omega_0 R_s C_i} \quad (5.18)$$

与漏极噪声电流不相关部分的栅感应噪声电流 $\overline{i_{gu}^2}$ 为:

$$\overline{i_{gu}^2} = 4kT\gamma\xi g_{d0}\Delta f \quad (5.19)$$

其中

$$\xi = \frac{\delta\alpha^2}{5\gamma}(1-|c|^2)(1+Q_L^2) \quad (5.20)$$

根据放大器噪声系数的定义^[37]:

$$F = \frac{\text{总的输出噪声}}{\text{由信号源产生的总的输出}} \quad (5.21)$$

再将 (5.10~13), (5.16), (5.19) 就可以得到噪声系数 F 的表达式为^[7]:

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \gamma \chi g_{d0} R_s \left(\frac{\omega_0}{\omega_T} \right)^2 \quad (5.22)$$

其中,

$$\chi = \kappa + \xi = 1 + 2|c|Q_L \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma} (1 + Q_L^2) \quad (5.23)$$

从 (5.18) (5.22) (5.23) 可以看出, 在输入管 M_1 的栅、源两端并联一个电容 C_0 后, Q_L 将减小, 故放大器的噪声系数可以减小; 由于增加了并联电容 C_0 , 所需要的 M_1 的栅宽 W_1 减小, 那么根据 g_{d0} 和 W_1 的关系, g_{d0} 将减小, 同样也意味着噪声系数将减小, 同时还降低了功耗; 另外, 并联电容 C_0 , 不仅使得 C_{gs1} 将减小 (即意味着有小的栅感应噪声), 而且由输入匹配关系式可以看出, L_g 和 L_s 寄生影响也最小化了。因此, 可以通过在输入管 M_1 的栅、源两端并联一个电容 C_0 来改善电感源极负反馈的共源共栅放大器的噪声特性。图 5-3 为没有 C_0 和添加 C_0 两种情况下仿真曲线的对照图。可见仿真结果和理论分析正好相符。

值得注意的是, 在实际情况中, 方程式中的 C_{gs1} 一般是忽略交叠电容 C_{gso} 的, 但是这个电容又是肯定存在的。因此该电容 C_{gso} 也可以归结到 C_0 中去。

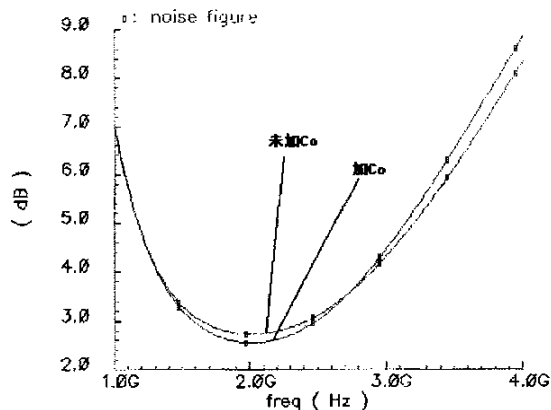


图 5-3 增加 C_0 与未加 C_0 两种情况下的噪声对照图

5.2.2 输入阻抗匹配

对于图 5-4 所示采用电感源极负反馈的匹配方式输入回路, 输入阻抗为:

$$Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + \frac{g_m}{C_{gs}} L_s \quad (5.24)$$

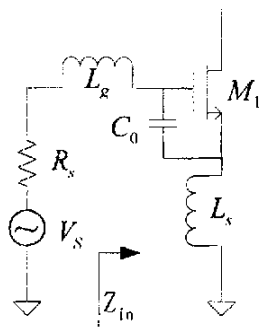


图 5-4 基本的输入回路

这是一个常见的公式。该公式表明源极电感 L_s 能产生一个实电阻，在栅端引入电感 L_g ，使 $(L_g + L_s)$ 与 C_{gs} 谐振在合适的频率下，此时，输入阻抗就等于：

$$Z_m = \frac{g_m}{C_{gs}} L_s = R_s \quad (5.25)$$

当 MOSFET 的尺寸、偏置条件确定， g_m 、 C_{gs} 也就是确定了，而 R_s 一般为 50Ω ，通过式 (5.25) 就能决定 L_s 的感值。

由于

$$\omega_T = \frac{g_m}{C_{gs} + C_{gd}} \approx \frac{g_m}{C_{gs}} = 2\pi f_T$$

故：

$$Z_m = 2\pi f_T L_s = R_s \quad (5.26)$$

一般来说， f_T 的值很大，故 L_s 的值会很小，以至于在现代的工艺水平下很难集成如此小的片上集成电感，或者集成的片上集成电感误差会比较大，从而影响输入匹配。为了改善输入匹配，可以采用如图 5-5 的结构来实现，即在 M_1 的栅和地之间加一个电容 C_g 。

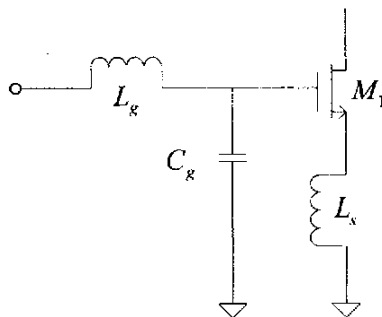


图 5-5 改善 LNA 输入匹配的电路结构

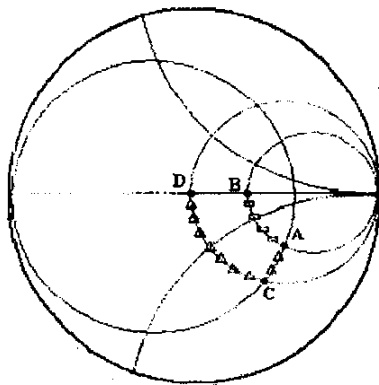


图 5-6 输入阻抗的 Smiths 图

如果 LNA 采用图 5-4 所示的传统结构, 由于片上平面螺旋电感能实现的 L_s 值比较大, 因此, 在 Smith 图中, 没有加 L_g 之前, 电路的输入阻抗位于图 5-6 的 A 点。当加了 L_g 后, 输入阻抗自然会移到实轴上, 即移到 B 点。如果 LNA 采用图 5-5 所示的结构, 那么在 Smith 图中, 输入阻抗的变化会是图 5-6 的 CD 曲线, 实现了 50Ω 的输入阻抗匹配, 即电路实现了最大传输功率的匹配。可见, 即使在 MOSFET 的 f_T 很大的情况, 仍然可是实现 50Ω 的输入阻抗匹配。

通过以上的分析可以看出, 在 M_1 的栅和地之间并联一个电容 C_g , 可以改善放大器的输入匹配, 但并联了电容 C_g 后, 对放大器的噪声性能和增益会有什么影响呢? 下面着重分析电容 C_g 对 LNA 的增益和噪声性能带来的影响。

一、电容 C_g 对 LNA 增益的影响

跨导 G_m 定义为:

$$G_m = \frac{i_D}{v_{in}} \quad (5.27)$$

其中 i_D 表示 MOSFET 的漏电流, V_{in} 为输入电压。

没有加 C_g 时的跨导 G_{m0} 为:

$$G_{m0} = \frac{g_m}{\omega \cdot C_{gs} \cdot R_{in}} = Q_{s0} \cdot g_m \quad (5.28)$$

其中, g_m 为 MOSFET 的跨导; R_{in} 为输入阻抗, 在此为 50Ω ; Q_{s0} 为输入回路的品质因数, 其定义为:

$$Q_{s0} = \frac{1}{\omega \cdot C_{gs} \cdot R_{in}} \quad (5.29)$$

加了 C_g 后, LNA 输入回路的等效电路, 图 5-7 所示。(由于 L_s 的值很小, 在此

忽略不计。)

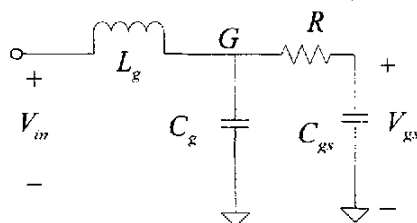


图 5-7 输入回路的等效电路图 (添加 C_g)

级点 G 的电压为:

$$v_g = v_m \cdot \left(1 - \frac{j\omega L_g}{R_m} \right) = (1 - jQ_g) \cdot v_m \quad (5.30)$$

其中 Q_g 为输入回路品质因数, 定义为:

$$Q_g = \frac{\omega L_g}{R_m} = \frac{1}{\omega C_{g,eq} R_m} \quad (5.31)$$

其中 $C_{g,eq}$ 为结点 G 和地之间电容的总和。

MOSFET 的栅源电压 V_{gs} 为:

$$v_{gs} = v_g \cdot \frac{1/j\omega C_{gs}}{R + 1/j\omega C_{gs}} = \frac{v_g}{1 + j/Q_s} \quad (5.32)$$

其中 Q_s 为:

$$Q_s = \frac{1}{\omega C_{gs} R} \quad (5.33)$$

$$R = \omega_T L_s \quad (5.34)$$

根据 (5.27) (5.30) 和 (5.32) 可以得到增益的大小为:

$$|G_m| = g_m \left| \frac{v_{gs}}{v_m} \right| = g_m Q_s \sqrt{\frac{1 + Q_g^2}{1 + Q_s^2}} \quad (5.35)$$

定义 k 为不匹配因子:

$$k = \frac{R}{R_m} \quad (5.36)$$

显然, 不匹配因子总是大于 1。 Q_s 可以重新写为:

$$Q_s = \frac{1}{\omega C_{gs} R} = \frac{1}{\omega C_{gs} R_m k} = \frac{Q_{s0}}{k} \quad (5.37)$$

R 和 C_{gs} 的串联电路可以被转换为并联网络, 那么等效电阻可以被写为:

$$R_p = (1 + Q_s^2) \cdot R \quad (5.38)$$

放大器的输入电阻为:

$$R_m = \frac{R_p}{1 + Q_g^2} = \frac{1 + Q_s^2}{1 + Q_g^2} R \quad (5.39)$$

根据 (5.36) (5.39), 可以得到:

$$\frac{1 + Q_s^2}{1 + Q_g^2} = k \quad (5.40)$$

把 (5.37) (5.40) 代入 (5.35) 中, 我们发现放大器的增益是不匹配因子的函数, 为:

$$G_m = \frac{g_m \cdot Q_{so}}{\sqrt{k}} = \frac{G_{m0}}{\sqrt{k}} \quad (5.41)$$

从 (5.41) 可以看出, 随着输入匹配的改善, 即 k 的增加, 增益下降的很缓慢。可见, C_g 对放大器增益的影响很小。

二、电容 C_g 对 LNA 的噪声性能的影响:

加了 C_g 后的 LNA 的噪声等效电路, 图 5—8 所示。

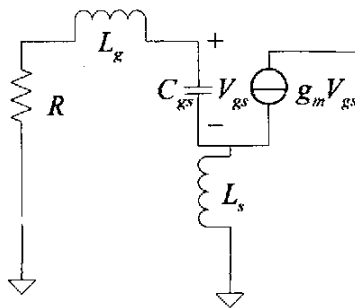


图 5—8 噪声等效电路图 (加 C_g)

可见, 该结构与传统的 LNA 结构没有什么区别, 并且两种结构所对应的元件参数几乎是相等的^[7]。因此, 该电路在加了 C_g 后对噪声系数的影响很小。

由于本文所采用的中芯国际的 $0.25\mu\text{m}$ CMOS 的工艺中, 能实现本文所需要的源极电感 L_s , 故在实际设计的电路中没有并联该电容 C_g 。但是作者认为该结果对设计高性能的低噪声放大器有一定的指导意义, 因此本文还是将该研究结果展现在这里。

值得注意的是, 源和衬底间的结电容会产生一个负电阻 $-\omega_T / \omega^2 C_{jsb}$, 抵消了部分由 L_s 产生的正电阻 $(g_m / C_{gs})L_s$ [T.H.Lee], 因而 L_s 的值要大于计算值; 如果再考虑 Pad 的 ESD 电路以及封装效应, L_s 的实际值还要增大。

5.2.3 增益

如果仅仅从接收通道噪声性能的角度来讨论 LNA 的增益 (如无特殊说明, 本文指的是电压增益), 为了抑制后级电路对整个系统的噪声贡献, 通常情况下第一级电路 (LNA) 的增益越大越好。但同时考虑到系统的线性度, LNA 的增益又不能过大。

LNA 的增益由输入级电路的总跨导 G_m 和输出端负载决定。图 5-9 是 LNA 的基本电路及它的小信号等效电路。(这里忽略了沟道调制效应)

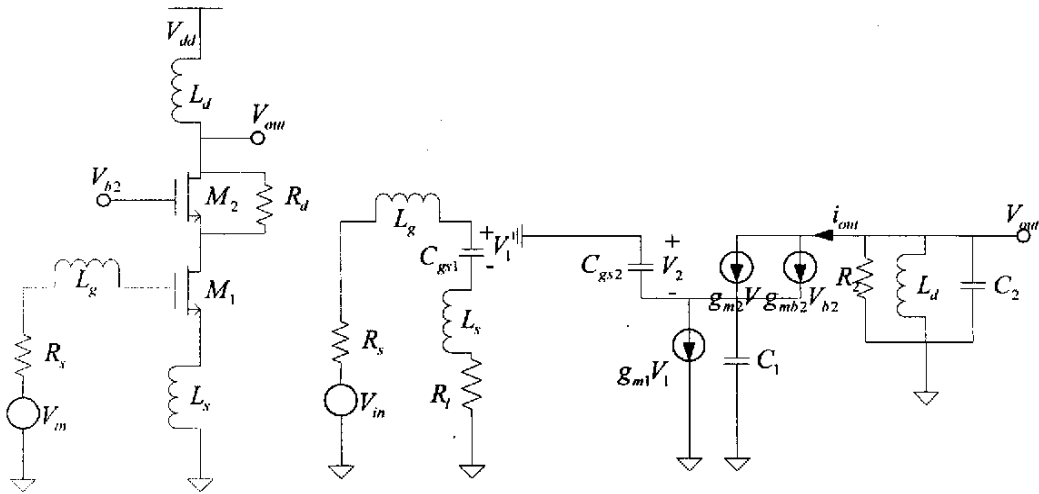


图 5-9 (a) LNA 的基本电路

(b) LNA 的小信号等效电路图

图 5-9 (b) 中的 R_s 是信号源内阻, $R_1 (\approx \omega_T L_s)$ 是 LNA 输入阻抗的实部, 当输入回路谐振在工作频率 ω_0 时, 电感或电容两端的电压是回路电阻压降的 Q 倍, 那么输入级电路的总跨导 G_m 与 M_1 跨导 g_{m1} 的关系为:

$$G_m = Q \cdot g_{m1} \quad (5.42)$$

这里的 Q 为谐振回路的品质因数:

$$Q = \frac{1}{\omega_0 (R_s + R_1) C_{gs}} = \frac{1}{\omega_0 (R_s + \omega_T L_s) C_{gs1}} \quad (5.43)$$

当 MOSFET 的 C_{gd} 很小时, 可认为 $\omega_T = g_m / C_{gs}$, 再结合(5.42)、(5.43)两式, 得到:

$$G_m = \frac{\omega_T}{\omega_0(R_s + \omega_T L_s)} \quad (5.44)$$

M_1 的小信号电流 $g_{m1}V_1$ (或 $G_m V_{in}$) 一部分经流 M_2 , 另一部分流经电容 C_1 , 该电容是 M_1 的漏与 M_2 的源的结合点的寄生电容, 可表示为:

$$C_1 = C_{db1} + C_{sb2} \quad (5.45)$$

因而流过 M_2 的电流为:

$$i_{out} = G_m v_{in} \frac{(g_{m2} + g_{mb2}) / j\omega C_1}{1 + (g_{m2} + g_{mb2}) / j\omega C_1} \quad (5.46)$$

如果以串联的电容、电感来模拟 M_2 漏端的负载, 这个感性负载与 M_2 漏端总电容 C_2 可构成图 5-9 (b) 中的 RLC 并联谐振网络, 当电感 L_d 与 C_2 谐振在工作频率 ω_0 时, M_2 的负载就是电阻 R_2 , 这个电阻的阻值为:

$$R_s \approx Q_L \omega_0 L_d \quad (5.47)$$

电压增益为^[38]:

$$|A_v| = \frac{G_m R_2 (g_{m2} + g_{mb2}) / j\omega C_1}{1 + (g_{m2} + g_{mb2}) / j\omega C_1} \quad (5.48)$$

从该式可以看出电容 C_1 越大, 从放大管 M_1 流出的小信号电流有更多部分为此电容充电, 相应地, LNA 输出端的电流就越小, 其后果不仅降低增益, 还会恶化系统的噪声特性。Fuimoto^[39]等人提出在设计版图的时候, 采用 Dual-gate 结构, 可以减小 M_1 漏与 M_2 源的结点的面积, 以减小 C_1 。当电容 C_1 相当小时, 即 $(g_{m2} + g_{mb2}) / j\omega C_1 \gg 1$, 方程 (5.15) 可写成^[39]:

$$|A_v| = G_m R_2 = \frac{\omega_T Q_L L_d}{(R_s + \omega_T L_s)} \quad (5.49)$$

其中, Q_L 是电感的品质因素。要获得高增益, 电感的 Q 值要大, G_m 越大, 增益也越大。然而, G_m 和增益的大小与源极电感 L_s 的值成反比关系, 因此, 增大 L_s 抵消寄生电容效应获得良好阻抗的同时, 增益下降。实际设计中, 在满足特性要求的同时, 可牺牲一定的匹配获得所需的增益。

改善放大器增益的方法之一就是采用正反馈。一般来说, 对于一个系统应该

尽量避免用正反馈, 因为这样会使系统易受工艺、周围环境的影响而变得不稳定^[40]。但是, 对于孤立的放大器如果利用部分正反馈并不会造成系统的不稳定, 除非用的太多^[41]。因此在本文中我们用了一个很简单的正反馈来改善 LNA 的增益。这个正反馈是通过很简单的 poly 电阻 R_d 来实现。如图 5-10 所示:

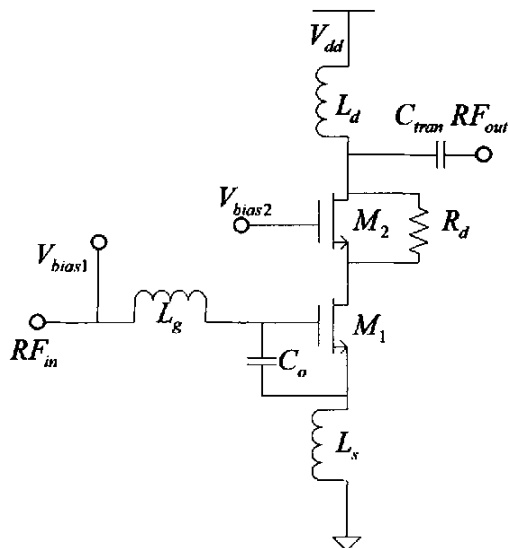


图 5-10 LNA 的拓扑结构图 (加 R_d)

为了使 M_2 能工作于饱和区, R_d 的值要足够大, 同时也要能维持其稳定。值得注意的是: 由于 R_d 在第二级上, 对整体噪声系数的影响可以忽略不计。仿真的结果对照请见图 5-11。

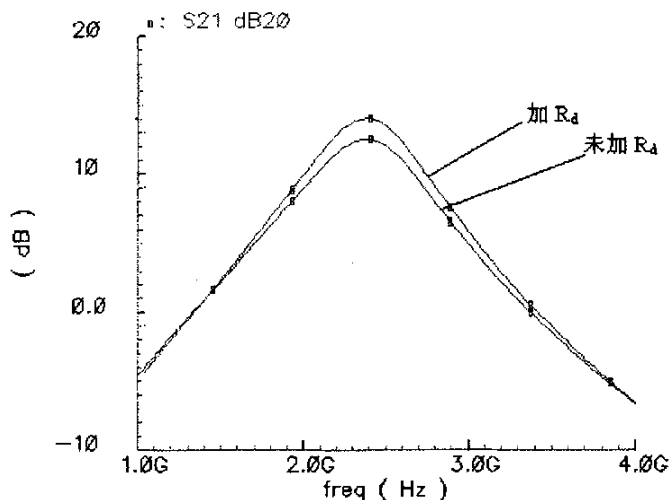


图 5-11 添加 R_d 与未加 R_d 两种情况的增益对照图

5.2.4 线性度的优化

MOSFET 的栅源间的过驱动电压越大, 宽度越宽 (或器件越大), IIP3 的值越大, 说明线性度越好, 抗干扰性越强。此外, 源极电感 L_s 的值越大, 对线性度越有利。前面讨论过, LNA 的增益与 L_s 的值成反比关系。因此, 良好的线性度与高增益、低功耗之间存在着矛盾。最终的设计方案应该是各项性能指标间的折衷。

为了改善线性度, Ding^[42]引入了一种新的结构, 即用两个 LNA 并联的形式, 使得三阶互调乘积项正好有效的被抵消掉了。该结构的关键就是抵消了三阶互调。方程 (2.5) 中, 忽略二次项 (因为二次项经常是落在频带外的), 即有:

$$y(x) = Ax(1 + \alpha_2 x^2) \quad (5.50)$$

如果有一个 βx 的辅助信号也正好通过这个系统, 那么主信号的输出将减去辅助信号的输出的 $1/\beta^3$ ^[42], 即为方程 (5.51):

$$\begin{aligned} y_{\text{main}}(x) &= Ax(1 + \alpha_2 x^2) \\ y_{\text{aux}}(\beta x) &= A\beta x(1 + \alpha_2 \beta^2 x^2) \end{aligned} \quad (5.51)$$

$$y(x) = y_{\text{main}}(x) - \left(\frac{1}{\beta^3}\right) y_{\text{aux}}(\beta x) = A \left[1 - \left(\frac{1}{\beta^2}\right) \right] x$$

可见, 三阶互调项被抵消了。

从理论上来说, 由三阶项引起的三阶互调可以被完全的抵消了。然而, 由于器件的不匹配, 实际上是不能完全抵消的。从 (5.51) 也可以看出, 主 LNA 的增益减小了 $[1 - (1/\beta^2)]$ 倍。图 5-12 即为高线性度的 LNA 简单电路图。

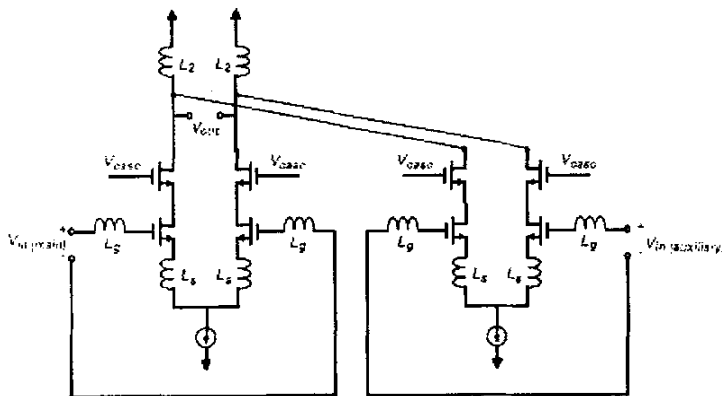


图 5-12 简化的高线性度的 LNA 结构图

由于辅助的 LNA 仅仅贡献了 $1/8$ 的输出噪声, 因此该结构使电路的噪声额外增加至多 0.2dB 。从方程 (5.51) 可以看出, 要实现该功能, 要求主 LNA 的增益是辅助 LNA 的增益的 $1/8$, 为了实现好的匹配, 两个 LNA 的尺寸和漏电流应该是相等的, 但是以输出电流为主, 输出电流减去辅助输出电流, 其中的辅助输出电流是主输出电流的 $1/8$ 。因此, 该结构消耗了 2 倍的功耗。该电路的另外一个缺点是, 功率增益远远小于电压增益, 说明, 它的输出阻抗十分大且没有匹配到 50Ω 。因此, 在本文设计的低噪声放大器中没有采用该结构以改善线性度。但是该结构确实是改善线性度的好办法, 在适当的情况下可以采用。

5.3 2.4GHz CMOS 低噪声放大器的电路设计

5.3.1 电路结构

单端 LNA 的性能受源端电感 L_s 的影响很大。信号源的接地回路认为是和源极负反馈电感的下端位于相同的电位, 但实际上这两个电位之间存在不可避免的差别, 由于这两点之间总存在某一不为零的阻抗, 而且本身负反馈电感的值就很小, 因此, 在这两个接地点之间, 即使有很小的附加寄生电抗也有可能对 LNA 的性能产生很大的影响。它有可能使从后几级来的与信号相关的电流调制接地点, 形成寄生反馈回路, 从而不稳定。

而采用差分结构的 LNA 不仅有抑制共模干扰的优点; 同时差分结构能使对称点的增量接地, 它与偏置电流源串联的任何寄生电抗基本都是不相干的, 因为一个电流源和一个阻抗串联还是电流源, 所以输入阻抗的实部只由电感 L_s 来控制, 而不会受电流源接地回路中寄生参数的影响。但为取得和单端 LNA 同样的噪声系数, 差分 LNA 几乎要双倍的功耗和面积, 由于差分 LNA 的那些不可取代的优势, 因此我们最终还是选择了差分结构的 LNA。

根据上一节的分析, 图 5-13 所示, 即为差分结构的 2.4GHz CMOS LNA 的核心电路。 M_1, M_2 是主放大管, M_1, M_2 和 M_3, M_4 形成共源共栅结构。如果没有 M_3, M_4 , 由于栅漏间电容 C_{gd} 的存在, 使得输入回路与输出回路耦合, 其后果将会增益降低、中心频率下降, 还有可能引起振荡。直观来看, M_3, M_4 将 RF_{out} 和 RF_{in} 隔离开, 起到了所谓的退耦的作用。从电路的角度分析, 在 M_1, M_2 的漏端级联共栅的 M_3, M_4 后, 增益可近似表示为:

$$|A_v|_{M_{1,2}} \approx \frac{g_{m1,2}}{g_{m3,4}} \quad (5.52)$$

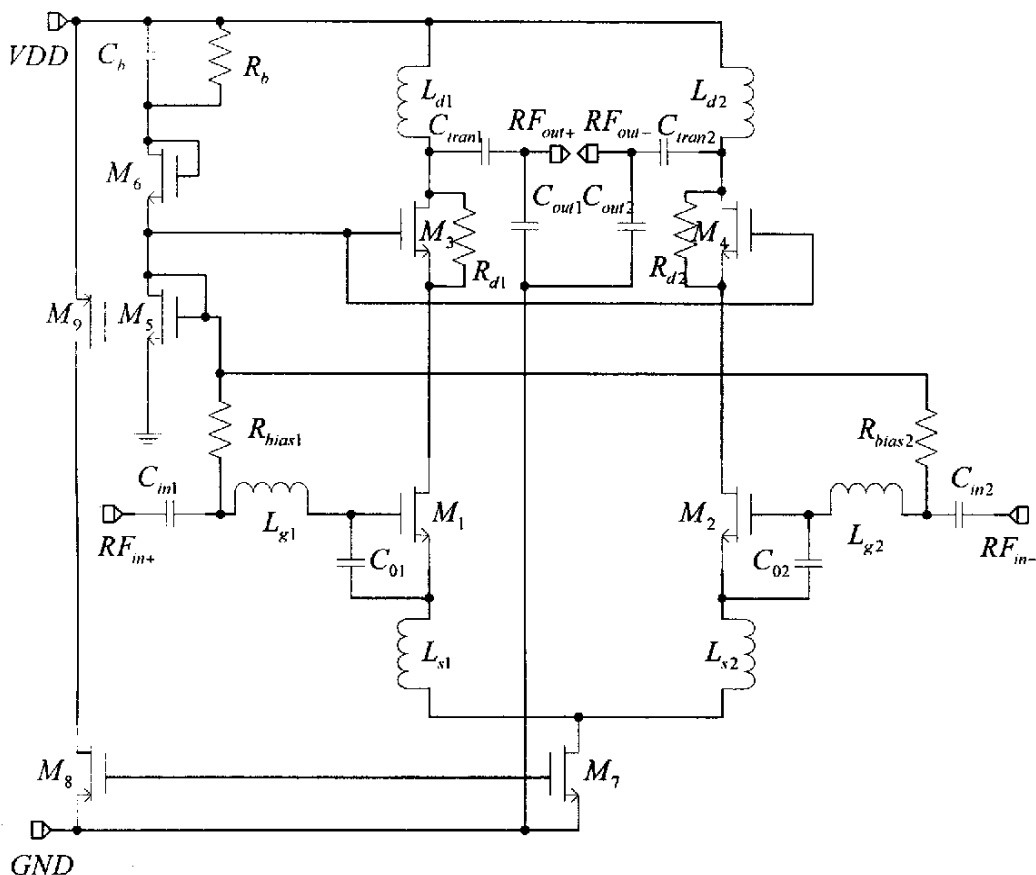


图 5—13 2.4GHz CMOS 低噪声放大器完整的电路图

可见, M_3 , M_4 的尺寸越大, g_{m3} , g_{m4} 就越大, M_1 , M_2 的增益也就越小, 但是由 C_{gd1} , C_{gd2} 引起的密勒效应得到了抑制, 降低了 C_{gd1} , C_{gd2} 对输入阻抗匹配和 M_1 , M_2 噪声性能的恶化程度。然而, M_3 , M_4 的尺寸并不是越大越好, 尤其是在考虑高频下的 M_3 , M_4 自身噪声性能情况下。在本文中, M_1 , M_2 与 M_3 , M_4 的尺寸相同, 在获得上述的效果之外, 还有利于版图的设计。

R_{bias1} , R_{bias2} , R_b , M_5 , M_6 , 是为 M_1 , M_2 与 M_3 , M_4 提供偏置电压的偏置电路。 R_{bias1} , R_{bias2} 称作退耦电阻。这里的退耦有两重含义: 1) R_{bias1} , R_{bias2} 具有足够大的阻值, 使得射频信号尽可能进入 M_1 , M_2 的栅极, 而不会通过 R_{bias1} , R_{bias2} 影响偏置电路; 2) R_{bias1} , R_{bias2} 又能抑制偏置中的 MOSFET 产生的噪声传递到 LNA 的核心电路。 C_b 使共栅管 M_3 , M_4 的栅极为交流地。 L_d 和 C_{out} 组成输出回路, 该电路的输出中心频率由 L_d 、 C_{out} 的并联回路决定。在这里 C_{out} 和 M_2

漏端的所有寄生电容之和与 L_d 谐振于所需频率 2.4GHz 处。如果没有 C_{out} , 输出频率极大地依赖 MOSFET 的寄生电容, 这样很不可靠。 C_{in1} , C_{in2} , C_{tran1} , C_{tran2} 为隔直电容。电路中的电感 L_s 和 L_g 均采用片上平面螺旋电感来实现。 C_{01} , C_{02} 和 R_{d1} , R_{d2} 分别起到改善噪声系数和改善增益大小的作用。 M_1 , M_2 与 M_3 , M_4 为差分的 LNA 提供尾电流。

5.3.2 性能仿真

电路的性能仿真是在 Cadence 环境中利用 Spectre RF 仿真器完成的。LNA 的阻抗匹配、增益等性能参数可以通过仿真 S 参数得到。图 5-14 (a)、(b)、(c)、(d) 分别是 LNA 的 S 参数 S_{11} 、 S_{22} 、 S_{21} 和 S_{12} 的仿真结果 (TT、25、2.5V)。

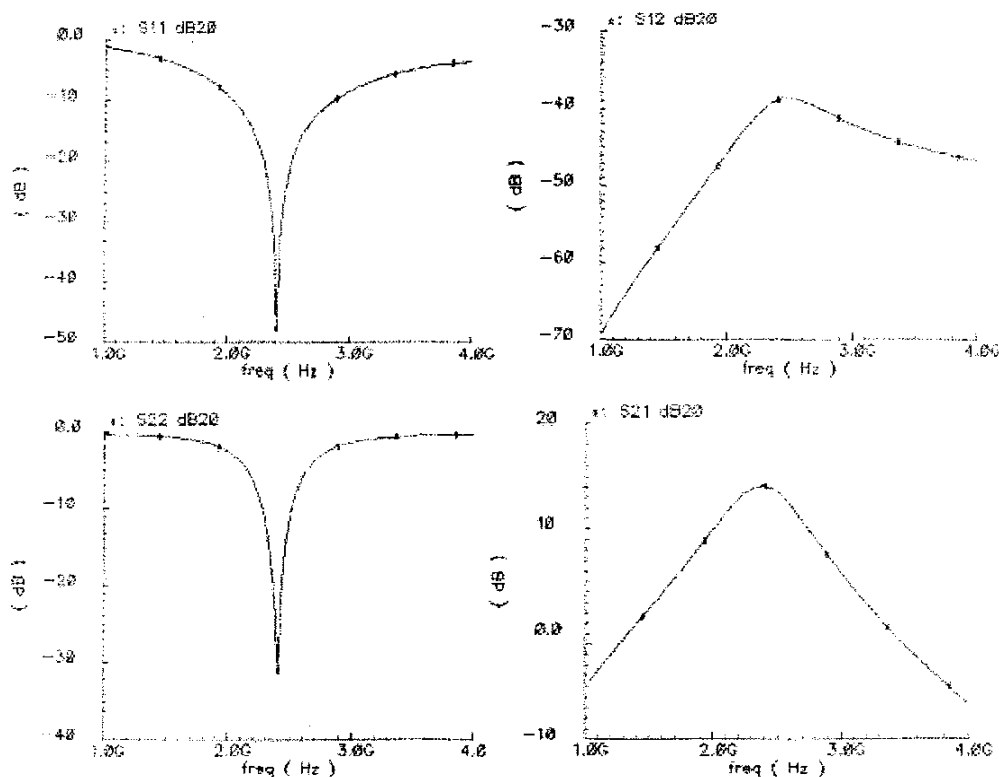


图 5-14 LNA 的 S 参数仿真曲线图

Spectre 的 PSS 和 Pnoise 分析还可以仿真噪声系数 NF。图 5-15 即为其噪声系数的仿真曲线图。由于这是个窄带放大器, 频带范围为 2.4~2.4835GHz。

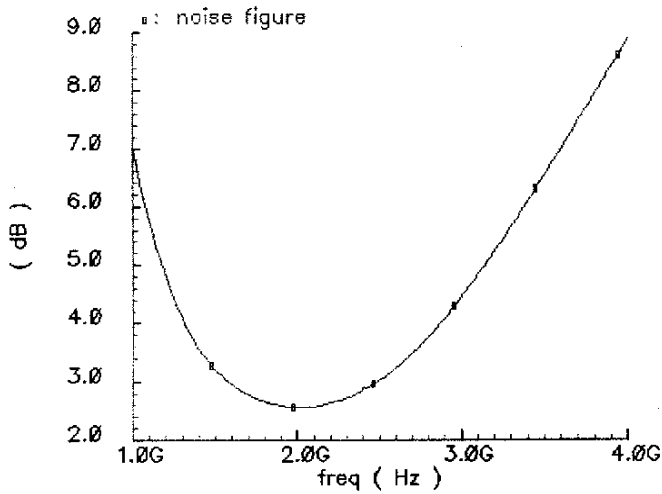


图 5-15 LNA 噪声系数的仿真曲线图

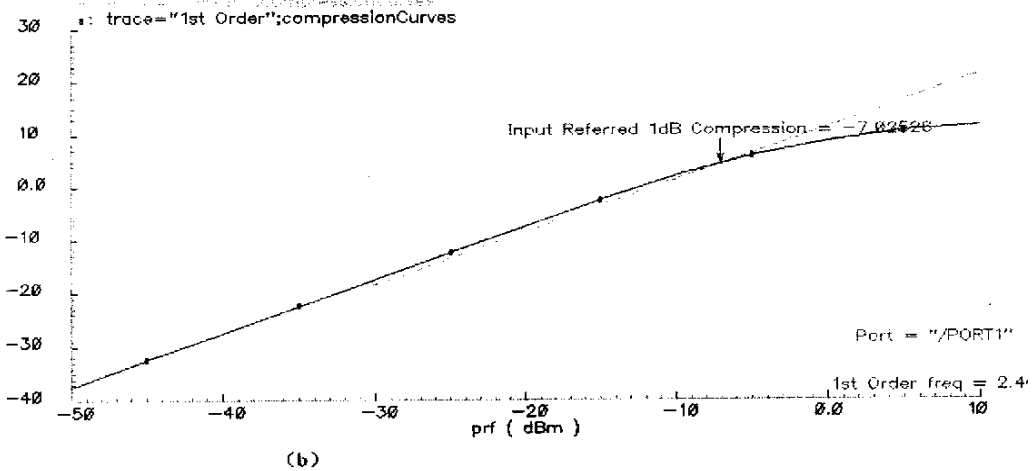
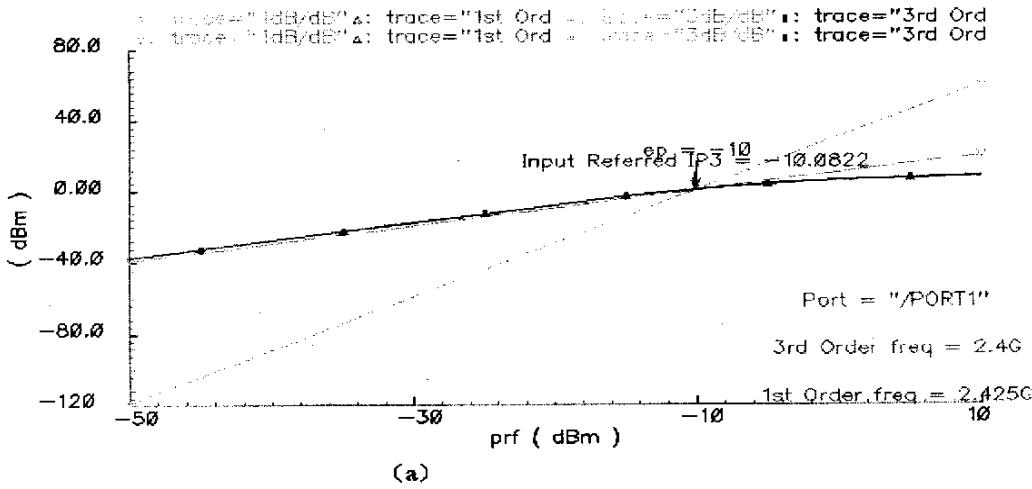


图 5-16 (a) LNA 的 IIP3 仿真曲线图 (b) LNA 的 -1dB 抑制点仿真曲线图

最后利用 Spectre RF 的 PSS 分析仿真电路的-1dB 压缩点、IIP3 点。仿真曲线图分别为图 5-16 (a) (b)。

LNA 电路的相关参数和仿真得出的性能指标，请参见表 5.1。

表 5.1 LNA 的参数和性能指标

Supply voltage	2.5V
Supply current	8.2mA
S11	-47.43dB
S22	-31.01dB
S12	-38.89dB
S21	15.01dB
Noise Figure	2.893dB
1dB compression(input)	-7.0dBm
IIP3	-10.08@25M

仿真得到的性能指标完全符合 WLAN 对低噪声放大器的指标要求。

5.3.3 版图设计

在 RFIC 的设计中，版图的设计是十分重要的^[43]。LNA 的版图设计,要从减小寄生、隔离干扰等方面进行，需要注意以下几个问题：

(1) Cascode 结构虽然提高了增益和稳定度，但是，为了使 Cascode 器件引起的噪声最小，Cgs 必须最小化：可以将输入器件的漏区与 Cascode 器件的源区合并实现；田字形的衬底加足够的接触孔，以减小管子的衬底电阻^[44]。

(2) 为了减小分布效应所产生的栅电阻 R_g ，可以将很宽的高频管用多个窄管并联实现，也称为插指结构 (multiple finger layout)，每个窄管叫作一个 finger。栅分布电阻和各因素的关系式为^[7]：

$$R_g = \frac{RW}{3n^2L}$$

(5.53)

其中， $R_{\square}$ 是栅的方块电阻；n 是 finger 的个数；W、L 分别是一个 finger 的栅宽及栅长。理论上 n 越多， R_g 越小，有利于获得较好的噪声特性，但同时也必须考虑芯片的面积以及源、漏端由此产生的寄生电容。中芯国际 0.25 μ m CMOS 工艺要求插指数 (finger 数) 的最小值为 8，最大值为 24，且插指必须为偶数，栅

的宽度固定为 $10\mu\text{m}$, 栅长固定为 $0.24\mu\text{m}$ 。本文将 $320/0.24$ 的大管子分成 40 个 $80/0.24\text{finger}$ 。器件四周的衬底接触孔应尽可能的多, 以减小背栅电阻。

(3) 差分电路的不对称性会引入输入参考失调电压, 因而限制可检测的最小电平。尽管一些失配不可避免, 但如果不充分注意版图的对称性, 就可能产生大的失配电压, 同时对称性设计还可以抑制共模噪声和偶次非线性效应, 故版图的对称性设计非常重要。同时我们所关心的器件周围的环境也必须进行对称性设计。首先最好将要求对称的晶体管的栅放在一条直线上, 这是由于在光刻及圆片加工的许多步骤中, 沿不同轴向的特性不一样, 栅在一条直线不会产生大的失配; 同时如果要求对称的晶体管周围的环境不同, 可以在晶体管两边加上两个“虚拟”晶体管的方法加以改进, 这样可以使两个对称管周围的环境几乎一致; 对于大的晶体管, 为了减小失配, 可以采取“共中心”的布局方法, 大的晶体管其宽度都比较大, 这样沿宽度方向的梯度就会引起明显的失配, 我们把要求对称的晶体管都分成宽度为原来一半的晶体管, 将其沿对角线放置且并联连接, 这样纵向和横向的梯度效应就会相互抵消了, 这就是“共中心”的布局方法。

(4) 为了避免高频信号对低频电路的影响, 所有高频器件, 即四个电感和 M_1 、 M_2 、 M_3 、 M_4 、 M_7 、 M_8 、 M_9 的外围都加上阱环; 同时低频的偏置电路尽可能的远离高频器件, 使高频信号的走线与低频走线相隔较远, 低、高频线相间处, 也尽可能垂直, 不可平行。此外, 凡高频走线、高频结点处, 尽量使用高层金属作互连线, 在电流允许的情况下, 金属线宽可窄一些, 但放大管 M_1 、 M_2 的输入端的金属线不可太窄, 否则互连线的电阻又会降低输入射频信号的传递效率。

图 5-17 为 2.4GHz CMOS 低噪声放大器的版图。 2.4GHz CMOS 低噪声放大器的版图设计基本是按照以上的原则来设计的, 但是由于工艺上的限制, 有些要求很难得以实现。另外, 由于时间仓促, 版图的设计不是最优化的, 仍有待于在今后的工作中进一步完善。

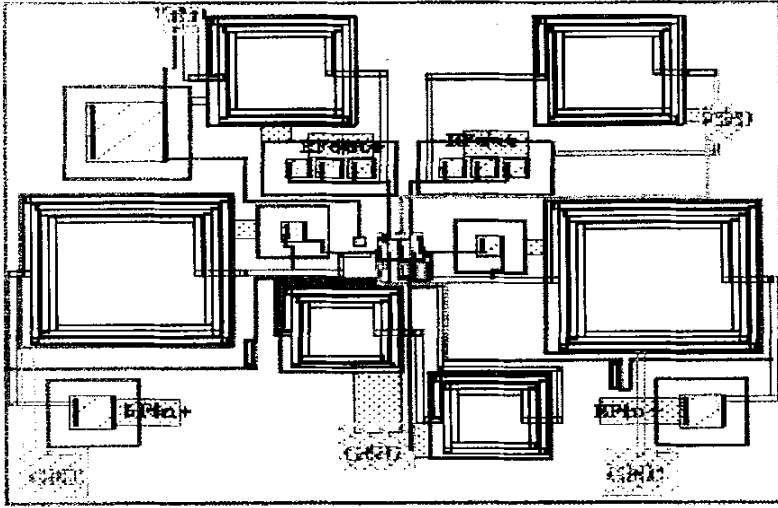


图 5-17 2.4GHz CMOS 低噪声放大器的版图

5.4 小结

本章第一节给出了二端口网络 S 参数的简单定义及各个参数的物理含义。第二节则主要从 CMOS LNA 的几个主要性能参数着手,来阐述适用于无线局域网,采用中芯国际 0.25 μm CMOS 工艺的 2.4GHz CMOS LNA 的核心电路的设计,使其有较好的性能。在本章的第三节给出了完整的电路结构,并给出了用 Cadence Spectre RF 仿真的结果,最后总结了射频集成电路版图设计中值得注意的几个问题,且给出本文的 2.4 GHz CMOS 低噪声放大器的版图。

第六章 总结与展望

6.1 本文工作的总结

随着无线通信用户不断上升,使得对射频集成电路的需求越来越大。高集成度的单片集成的射频前端的实现是势在必行的。要想真正的实现单片集成,原来用 GaAs,bipolar 等工艺实现的射频集成电路,需要用低功耗、低成本和容易集成的 CMOS 集成电路来代替。随着工艺水平的不断提高,硅 CMOS 的频率特性和噪声特性也逐渐得到了改善,已经能满足射频集成电路的要求。因此,在 Thomas H. Lee 等教授的倡导下,自 1996 年左右,已经成为国内外学术界的研究热点。

本文主要研究 CMOS 低噪声放大器。重点对 LNA 所需的无源器件——电感,

MOS 管的高频噪声模型, CMOS LNA 进行分析研究。最终设计出符合 IEEE 802.1b 标准规定, 并满足 2.4GHz 无线局域网射频收发机性能指标要求的 CMOS LNA。

亚微米 MOSFET 的高频噪声模型的建模工作是近年来一个研究热点。随着工作频率的不断升高, 原来忽略栅感应噪声和寄生效应的 MOSFET 低频模型已经不适用了。为了能更加准确的对电路进行模拟仿真, 有必要对低频模型进行修正, 建立适合高频电路的 MOSFET 的射频模型。因此, 本文的重点工作之一, 就是结合本文所采用的工艺 (SMIC 0.25 μm 工艺), 对近年来 RFIC 中 MOS 管的高频噪声模型进行分析总结。

无源器件在射频集成电路设计中起着至关重要的作用, 尤其平面螺旋电感器性能的提高是单片射频 IC 设计的一个瓶颈。本文用 Ansoft HFSS 软件进行 FET (finite element method) 仿真, 对平面螺旋电感作了一些研究。研究发现: 当金属线厚度超过 10 μm 后, 是否要考虑邻近效应对电感总的串联电阻的贡献取决于电感内径的大小; 当金属线厚度超过 10 μm 时, 通过调节电感的内径仍可以进一步改善电感的 Q 值, 即为本文的成果之一。

本文工作的另一项成果是完成了 2.4GHz CMOS 低噪声放大器优化设计。通过在输入管 M_1 的栅、源两端并联一个电容 C_0 , 来减小放大器的噪声系数; 在输入管 M_1 的栅和地之间并联电容 C_g 来改善低噪声放大器的输入匹配; 通过在共栅管的漏、源两端并联一个大的 poly 电阻 R_d , 以改善放大器增益。在本文的第五章分别从理论的角度进行分析阐述, 并用 Cadence 环境中的 Spectre RF 仿真器进行仿真, 仿真的结果证明理论分析是正确的。

但是, 本文的设计还只停留在电路设计, 电路仿真和版图设计阶段, 还没有最终流片, 故所得到的系统指标只是理论的结果, 还须电路流片后对芯片进行测试才能得到更可靠的结论。而且在电路设计中几乎没有考虑 I/O pad, 封装及流片后测试等将会带来的各种寄生影响。

6.2 对今后工作的展望

静电放电 (ESD) 保护是 CMOS 电路设计中的一个重要问题, 也是实用的 CMOS 射频集成电路必须解决的问题之一。在电路前端, 来自天线的带内有用信号通过射频滤波器进入 LNA, 而目前很难将射频滤波器与 CMOS 电路集成, 都

是通过管脚与 LNA 的输入端相连，因此最常用的 CMOS LNA 都是从栅极输入，而栅极氧化层是 CMOS 电路中最易受到 ESD 破坏的。随着 CMOS 电路的尺寸缩小，MOSFET 栅氧的厚度越来越薄，ESD 也就越发重要，而高频的 ESD 电路设计更有讲究，是今后很值得做的事。另外，在电路设计中，还应该尽可能多的考虑 I/O pad, ESD 电路，封装测试等将会给主电路带来的影响。

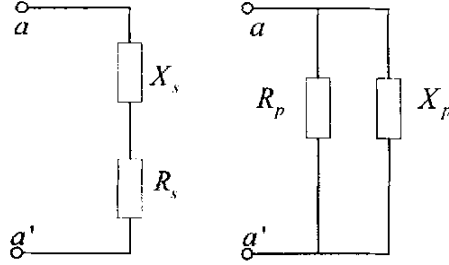
其次，在本文中，并没有实现增益可控。其实 LNA 从天线接收到的信号是时强时弱的，这就要求 LNA 的增益最好是可以控制的。在做课题期间，曾做过这方面的研究工作，可最终没能实现，这也将是今后要做的一项重点工作。

另外，电感的建模工作也是一项很有意义的工作，也很有挑战性，这一点本文做的还很不够。

附录一

串、并联网络的相互转换

图附 1 所示串并联是相互等效的，如果 aa' 端阻抗 $Z_{aa'}$ 相等的话，即



图附 1 串并联电路的相互等效

$$R_s + jX_s = \frac{jX_p \otimes R_p}{R_p + jX_p}$$

比较上式两边实部和虚部，得

$$R_s \otimes R_p = X_s \otimes X_p$$

$$X_s \otimes R_p + R_s \otimes X_p = X_s \otimes X_p$$

若记 $Q = R_p / X_p = X_s / R_s$ ，则由上式解得：

$$R_s = \frac{1}{1+Q^2} R_p \approx \frac{1}{Q^2} R_p$$

$$X_s = \frac{Q^2}{1+Q^2} X_p \approx X_p$$

或者

$$R_p = (1+Q^2) R_s \approx Q^2 R_s$$

$$X_p = \frac{1+Q^2}{Q^2} X_s \approx X_s$$

参考文献

- 【1】. Hansen K. Wireless communication devices and technology: future directions [A].Proc the 1998 IEEE Radio Frequency Integrated Circuit Symp [C].Baltimore,USA,1998.1-5.
- 【2】. Larson L E-Integred Circuit Technology options for RFIC's----present status and future directions [J].IEEE J Sol Sta Circ,1998;33(3):387-399.
- 【3】. T.H.Lee. The Design of CMOS Radio-Frequency Integrated Circuit.北京: 电子工业出版社, 1998
- 【4】. 陈邦媛 著, 射频通信电路, 北京, 科学出版社, 2004.
- 【5】. F.Svelto et al Implementation of a CMOS LNA Plus Mixer for GPS Application with No External Components,IEEE Transactions on VLSI Systems,2001,9(1):100
- 【6】. J Chang,"An Integrated 900-MHz Spread_Spectrum Wireless Receiver in 1um CMOS and a Suspended Inductor Technique",Final Report,University of California Los Angeles,Mar.1998
- 【7】. Derek K Shaeffer,Thomas H Lee. A 1.5, 1.5 GHz CMOS Low Nosie Amplifier [J].IEEE J Solid-State Circuit .1997, 32 (5):745-759.
- 【8】. Qiuting Huang ,Palao Orsatti,Francesco Piazza.Broadbag,0.25 μ m CMOS LNAs with Sub-2dB NF for GSM application [A].IEEE CICC [C], USA: 1998, 67-70.
- 【9】. P.R.Dray and R. G. Meyer,Analysisi and Design of Analog Integrated Circuits, 3nd Edition, John Wiley & Sons,1993
- 【10】. Enz C C,Chenf Y-H. MOS transistor modeling for RF IN design [J]. IEEE J Sol Sta Cire,2000;33 (2): 186—201.
- 【11】. C, Enz, Y. Cheng, MOS Transistor Modeling for RF IN Design. IEEE Transactions on Solid-State Circuits, 2000,35(2):186-201
- 【12】. M. J.Deen, C.H.Chen and Y. Cheng. MOSFET Modeling for Low Nosie, RF Circuit Design, RF Ciriut Design. IEEE CICC 2002,Orlando,Florida
- 【13】. Hoc, Green K, Cubertson R,et al. A physical large-signal SiMOSEFT model for RF circuit design [A].IEEE MIT-Sdig [C].1997.391-394
- 【14】. Liu W. RF MOSFET modeling accounting for distributed substrate and channel

- resistance with emphasis on BSIM3v3 Spice model [A]. IEDM [C].1997. 309-312
- 【15】. Gotzfriend R, Wang F B, Gerlach S. Designer of RF integrated circuits using SiGe Bipolar technology[J].IEEE J SolSts Cire,1998;33(9): 1417-1422
- 【16】. Ou J-J, Jin X, Ma,etal.CMOS RF modeling for GHz communication IC's [A].ProcVLSI Symp Technology [C].1998
- 【17】. Gerhard Knoblinger. Thermal Channel Noise of quarter and sub-quarter micron NMOSTEFs.2000
- 【18】. M.J.Deen and Y. Cheng.MOSFET Modeling for Low Noise, RF Circuit Design. IEEE CICC 2002,Oriando,Florida.
- 【19】. S.P Voinigecu,M.C. Maliepaard, J. L. Showell,G. E. abcock, D. Marchesan, M. S. chrolaer, P. Schvan, and D.L.Harame," A Scalable High-Frequency Noise Model for Bipolar Transistors with Application to Optional Transistor Sizing for Low-Noise Amplifier Design", IEEE J. Solid-State Circuit, Vol.32, No. 9,pp.1430-1439,September 1997.
- 【20】. J.Mager,"Varactors and inductors for integrated Rf circuits in standard MOS Technologies"Ph.D. dissertation,University of Bundeswehr,2002.
- 【21】. Yue C P, Wong S S. Physical modeling of spiral inductors on silicon[J]. *IEEE Trans on Electron Devices*, 2000,47(3):155—158.
- 【22】. H.M.Greenhouse, "Design of Planar Rectangular Microelectronic Inductors", IEEE Transaction on Parts, Hybirds, and Packaging, Vol.PHP-10, No.2, pp.101-109, Jun. 1974
- 【23】. C.P. Yue and S. S. Wong, "A Physical model for planar spiral inductors on silicon," International Electron Devices Meeting. Dec. 1996. PP.155-158
- 【24】. 朱键, 林金庭, 林立强, DC-20GHz RF MEMS switch [J] 半导体学报, 2001; 22 (6): 706—709。
- 【25】. Soyuer M.Burghartez J.N. Multlevel monolithic inductors in silicon technology [J], *Electron Lett.*1995;31(5):359-360.
- 【26】. Liu C, Chen x-L,yan J-L .Novel substrate pn junction isolation for Rf integrated inductors on silicon [J].半导体学报, 2001: 22 (12): 1486—1489。
- 【27】. Yoshitom I T. On-chip spiral inductors with diffused shields using channel-stop implant

- [A].IEEE IEDM [C], San Francisco,1998,541-543.
- 【28】. Yu C P,Wong S S .On-chip spiral inductors with pattern ground shield for Si-based RF IC's[J].IEEE J Sol Sta Cire,1998:33(5) :743-752.
- 【29】. Lopez-Villegas J. M. Samitier J. Charles C. Improvement of the quality factor of RF integrated inductors by layout optimization[J] IEEE Trans Microwave Theory and Technique.2000:48 (1) :76-83.
- 【30】. J. Craninckx and M. Steyaert . Wireless CMOS Frequency Dynthesizer design [M]. Boston: Kluwer Academic, 1998.
- 【31】. Xiao Huo, Chen K J, Chan Philip C H. Silicon-based high-Q inductors incorporating electroplated copper and low-K BCB dielectric [J]. *IEEE Electron Device Letters*, 2002, 23 (9): 591—593.
- 【32】. Ling F, Song J, Kamgaing T, et al. Systematic analysis of inductors on silicon using EM simulations[A]. *Proceedings Electronic Components and Technology Conference[C]*.San Diego, CA, USA 2002. 484—489.
- 【33】. Niknejad A M. Meyer R G. Design, simulation and applications of inductors and transformers for SI RF ICs[M]. Kluwer: *Kluwer Academic Publishers*, 2002. 56—58.
- 【34】. Q.T.Huang, P. Orsatti and F. Piazza,"GSM Transceiver Front-End Circuits in 0.25um CMOS ", IEEE Journal of Solid-state Circuits, vol.34 ,no.6,pp292-303,Mar. 1999
- 【35】. Y.Ding, "A +18dBm LNA in 0.35um CMOS ", ISSCC Digest of Technical papers, vol.10,pp162-163,2001
- 【36】. M.lin, H. Y. Wang and Y. M. Li,"Design and Test of 2-GHz CMOS RF Low Noise Amplifier".Acta Electronica Sinica, Vol.30,no.9,pp1278-1281,sep.2002(in Chinese)[林敏, 王海永, 李永明, 等. 2-GHZ CMOS 射频低噪声放大器的设计与测试. 电子学报, 2002, 30 (9): 1278]
- 【37】. R. P. Jindal, "Hot-electron effects on channel thermal noise in fine-line NMOS field-effect transisitors",IEEE Trans.Electron Devices,vol.ED-33,pp.1395-1397,Sept.1986.
- 【38】. 黄煜梅, 叶菁华等, "2.4GHz 增益可控的 CMOS 低噪声放大器", 固体电子学研究进展

- 【39】. R.Fujimoto,K.Kojima and S.Otaka,"A 7-GHz 1.8-dB NF CMOS Low-Noise Amplifier",
IEEE Journal of Solid-State Circuit, vol.37,no.7,pp852-856,Jul.2002
- 【40】. R. Wang et al. , "Partial Positive Feedback for Gain-Enhancement of LowPower CMOS
OTAs,"Analog Integrated Circuits and Signal Processing,No. 8,pp. 21-35,1995.
- 【41】. M.E. Scholarmann,et al. , "Positive Feedback Gain-Enhancemen Techniques for
Amplifier Design,"International Symposiums on Circuits and Systems
Vol.2,pp37-40,2002
- 【42】. Y. Ding, R. Harjani,"A + 18dB IIP3 LNA in 0.35um CMOS,"ISSCc Dig.Tech
Papers,vol.10,pp.162-163.2001
- 【43】. R P Jindal. Noise associated with distributed resistance of MOSFET gate structures in
integrated circuits [J] . IEEE Trans on Electron Devices,1984,ED-31(10):1505-1509.
- 【44】. Q. T. Huang, P.Orsatti and F. Piazza, "GSM Transceiver Front-End Circuits in 0.25-um
CMOS", IEEE Journal of Solid-State Circuits, vol.34, no.3,pp292-303,Mar.1999

作者在攻读硕士期间发表的论文

- 1 陈雪芳, 程东方, 杨文荣. 硅衬底 RF 集成电路金属线厚度对螺旋电感 Q 值的影响. 上大学报, 上海大学, 2004, 已录用.

致 谢

本论文的完成首先要感谢我的导师程东方老师。从论文的选题、课题的进行，直到论文的撰写都是在老师的悉心知道和鼓励下完成的。另外在本人攻读硕士期间，程东方老师不仅在学术方面不吝赐教，为我在广博的学术领域指引了正确的研究方向，而且尽可能地为我创造良好的科研和学习环境，生活上给予了无微不至的关心和无私的帮助。在此谨向导师程东方老师表示深切感谢并致以崇高的敬意！

此外，还要感谢杨文荣博士，在繁忙的工作中抽出时间给予我学术上的指导和帮助。在他的悉心指导和帮助下，课题研究才得以顺利完成。杨博士渊博的学识、严谨的治学态度和一丝不苟的工作作风深深地感染了我，使我从中受益匪浅。最后还对本论文的撰写提出了很多独到的见解，并为论文作了细致的修正工作，使论文更加完善。在此向杨博士表示我深深的谢意！

另外，感谢陪伴我共同度过三年研究生生活的师兄师姐们：姜玉稀博士、李娇博士、高海、嵇维贵，是他们无微不至的关怀和帮助才使我渡过了愉快、充实的三年。感谢我的同窗好友方蓉，三年以来在学习、工作和生活上的关怀和帮助。还要感谢我们一个课题组的同学：布明恩、周灵运等，对我工作的支持和帮助。

感谢上海大学微电子中心给我提供了一流的硬件平台，使我的课题得以顺利进行。

感谢我的爱人赖学文，在我求学生涯中给予的真诚鼓励，正是有他无私的奉献和支持才能使我顺利完成学业。最后感谢上海大学多年的培养，感谢曾经教育和帮助过我的所有老师，衷心感谢在百忙之中抽出时间参加论文评审的各位专家和学者。

陈雪芳

2005年5月于上海大学物理系